

Bit Location	Register Description	Attributes
0	Equalization bypass to highest rate Disable - 清 0 时，此端口表示在链路训练期间希望训练到最高的公共链路数据速率，并跳过中间数据速率的均衡。有关详细信息，请参见 Section 4.2.3。 如果 Equalization bypass to highest rate Supported 设置为 1，则该位为 RWS，默认值为 0b。 如果 Equalization bypass to highest rate Supported 设置为 0，则允许将该位硬接线为 0b。	RWS/RO
1	No Equalization Needed Disable - 清 0 时，允许该端口指示它不需要均衡。置 1 时，此端口必须始终指示它需要均衡。有关详细信息，请参见 Section 4.2.3。 如果 No Equalization Needed Supported 设置为 1，则该位为 RWS，默认值为 0b。 如果 No Equalization Needed Supported 设置为 0，则允许将该位硬接线为 0b。	RWS/RO
10:8	Modified TS Usage Mode Selected - 该字段指示下一次链路进入 L0 LTSSM 状态时，此下游端口将使用哪种 Usage Mode。有关详细信息，请参见 Section 4.2.4.2。 如果此字段指示不支持的 Usage Mode（即，关联的 Modified TS Usage Mode Supported 为 0），则行为未定义。 允许将该字段中未使用的比特位硬接线为 0b。如果唯一支持的 Usage Mode 是 PCI Express，则允许将该字段硬连线到 000b。 下游端口中实现此字段。在上游端口中，此字段为 RsvdP。 默认值为 000b。	RWS/RO/RsvdP

7.7.6.4 32.0 GT/s Status Register (Offset 0Ch)

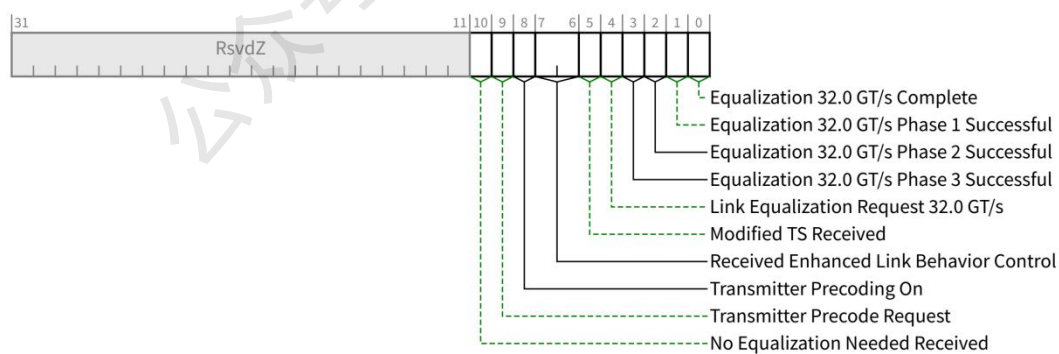


Figure 7-91 32.0 GT/s Status Register

Bit Location	Register Description	Attributes
0	Equalization 32.0 GT/s Complete - 置 1 时，该位表示 32.0 GT/s 发送器均衡过程已完成。Section 4.2.6.4.2 提供了发送器均衡过程以及何时需要将该位设置为 1b 的详细信息。	ROS/RsvdZ

该位的默认值为 0b。

对于 Multi-Function Upstream Port，必须在 Function 0 中实现此比特位，而在其他 Function 中实现为 RsvdZ。

- | | | |
|-----|---|-------------|
| 1 | <p>Equalization 32.0 GT/s Phase 1 Successful - 当设置为 1b 时，该位表示 32.0 GT/s 发送器均衡过程的 Phase 1 已成功完成。Section 4.2.6.4.2 提供了发送器均衡过程以及何时需要将该位设置为 1b 的详细信息。</p> <p>该位的默认值为 0b。</p> <p>对于 Multi-Function Upstream Port，必须在 Function 0 中实现此比特位，而在其他 Function 中实现为 RsvdZ。</p> | ROS/RsvdZ |
| 2 | <p>Equalization 32.0 GT/s Phase 2 Successful - 当设置为 1b 时，该位表示 32.0 GT/s 发送器均衡过程的 Phase 2 已成功完成。Section 4.2.6.4.2 提供了发送器均衡过程以及何时需要将该位设置为 1b 的详细信息。</p> <p>该位的默认值为 0b。</p> <p>对于 Multi-Function Upstream Port，必须在 Function 0 中实现此比特位，而在其他 Function 中实现为 RsvdZ。</p> | ROS/RsvdZ |
| 3 | <p>Equalization 32.0 GT/s Phase 3 Successful - 当设置为 1b 时，该位表示 32.0 GT/s 发送器均衡过程的 Phase 3 已成功完成。Section 4.2.6.4.2 提供了发送器均衡过程以及何时需要将该位设置为 1b 的详细信息。</p> <p>该位的默认值为 0b。</p> <p>对于 Multi-Function Upstream Port，必须在 Function 0 中实现此比特位，而在其他 Function 中实现为 RsvdZ。</p> | ROS/RsvdZ |
| 4 | <p>Link Equalization Request 32.0 GT/s - 该位由硬件置 1，以请求在链路上执行 32.0 GT/s 链路均衡过程。有关详细信息，请参见 Section 4.2.3 和 Section 4.2.6.4.2。</p> <p>该位的默认值为 0b。</p> <p>对于 Multi-Function Upstream Port，必须在 Function 0 中实现此比特位，而在其他 Function 中实现为 RsvdZ。</p> | RW1CS/RsvdZ |
| 5 | <p>Modified TS Received - 如果置 1，则 Received Modified TS Data 1 Register 和 Received Modified TS Data 2 Register 包含有意义的数据。</p> <p>当链路断开时，该位清零。当接收到 Modified TS1/TS2 Ordered Set 时，该位置 1（Section 4.2.6.3.3）。默认值为 0b。</p> | RO |
| 7:6 | <p>Received Enhanced Link Behavior Control - 该字段包含在 Polling 或 Configuration 状态下最新收到的 TS1 或 TS2 的 Enhanced Link Behavior Control 字段的值。参见 Section 4.2.4.1, Table 4-6 和 Table 4-7。</p> <p>在 DL_Down 状态此字段清 0。</p> | RO |

默认值为 00b。

- 8 **Transmitter Precoding On** - 该字段指示接收方是否要求该发送方启用 Precoding 。参见 Section 4.2.2.5。在 DL_Down 状态此字段清 0。

默认值为 0b。

- 9 **Transmitter Precode Request** - 设置为 1 时，此端口将通过在切换到 Recovery.Speed 状态之前在发送的 TS1/TS2 中把 Transmitter Precode Request 字段置 1 来请求发送器使用 Precoding （Section 4.2.2.5）。

默认值是特定于实现的。

- 10 **No Equalization Needed Received** - 设置为 1 时，此端口要么接收到 No Equalization Needed 字段置 1 的 Modified TS1/TS2, 要么接收到 No Equalization Needed 被编码的 non-modified TS1/TS2 （也在 Received Enhanced Link Behavior Control 字段中进行了报告）。

默认值为 0b。

7.7.6.5 **Received Modified TS Data 1 Register (Offset 10h)**

该寄存器表示 Modified TS1/TS2 Ordered Set 中接收的值（Table 4-8）。

如果 PCI Express （Usage Mode 0）是端口支持的唯一端口，则允许将该寄存器硬连线到 0000 0000h。

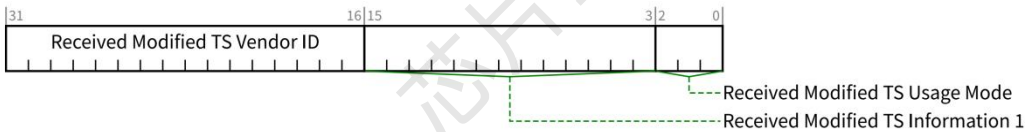


Figure 7-92 Received Modified TS Data 1 Register

Bit Location	Register Description	Attributes
2:0	Received Modified TS Usage Mode - 如果 Modified TS Received 置 1，则此字段表示 Modified TS1/TS2 Ordered Set 中的 Modified TS Usage 字段启用 (Section 4.2.6.3.6)。如果 Modified TS Received 清 0，则此字段值为 000b。 允许将该字段中未使用的位硬连线到 0b。如果唯一支持 PCI Express （Usage Mode 0），则允许将该字段硬连线到 000b。 默认值为 000b。	RO
15:3	Received Modified TS Information 1 - 如果 Modified TS Received 置 1，则此字段表示 Modified TS1/TS2 Ordered Set 的 Modified TS Information 1 字段的值（Section 4.2.6.3.6）。如果 Modified TS Received 清 0，则此字段值为 0 0000 0000 0000b。 15:8 位对应 Symbol 9 的值。 位 7:3 对应 Symbol 8 的 Bit 7:3。	RO

如果唯一支持 PCI Express (Usage Mode 0) , 则允许将该字段硬连线到 0 0000 0000 0000b。

默认值为 0 0000 0000 0000b。

31:16	Received Modified TS Vendor ID - 如果 Modified TS Received 置 1, 则此字段表示 Modified TS1/TS2 Ordered Set 的 Training Set Message Vendor ID 或 Alternate Protocol Vendor ID 字段的值 (Section 4.2.6.3.6) 。 如果 Modified TS Received 清 0, 则此字段包含 0000h。 15:8 对应 Symbol 11 的值。 7:0 对应 Symbol 10 的值。 如果唯一支持 PCI Express (Usage Mode 0) , 则允许将该字段硬连线到 0000h。 默认值为 0000h。	RO
-------	--	----

7.7.6.6 Received Modified TS Data 2 Register (Offset 14h)

该寄存器表示 Modified TS1/TS2 的 Symbol 12 至 14 中的值 (Table 4-8) 。

如果支持 Modified TS Usage Mode 1 Supported - Training Set Message 和 Modified TS Usage Mode 2 Supported - Alternate Protocol 都为 0, 则允许将该寄存器硬连线到 0000 0000h。

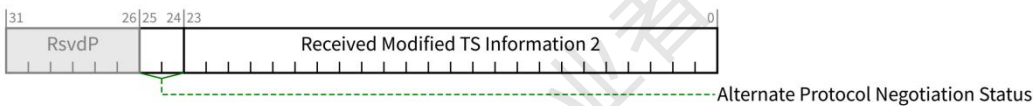


Figure 7-93 Received Modified TS Data 2 Register

Bit Location	Register Description	Attributes
23:0	Alternate Protocol Negotiation Status - 如果 Modified TS Received 置 1, 则此字段表示接收到的 Modified TS1/TS2 Ordered Set 的 Modified TS Information 2 字段的值 (Section 4.2.6.3.6) 。 如果 Modified TS Received 清 0, 则此字段值为 00 0000h。 23:16 对应 Symbol 14 的值。 16:8 对应 Symbol 13 的值。 7:0 对应 Symbol 12 的值。 如果唯一支持 PCI Express (Usage Mode 0) , 则允许将该字段硬连线到 00 0000h。 默认值为 00 0000h。	RO
25:24	Received Modified TS Information 2 - 表示 Alternate Protocol Negotiation 的状态。编码为: 00b 不支持 Alternate Protocol Negotiation - Modified TS Usage Mode 2 Supported - Alternate Protocol 清 0。 01b Alternate Protocol Negotiation 被禁用 - 对应 LTSSM 状态, Modified TS Usage Mode 2	RO

Supported - Alternate Protocol 置 1 但是 Modified TS Usage Mode Selected 不等于 2。

- 10b Alternate Protocol Negotiation 失败 - 尝试执行 Alternate Protocol Negotiation，但并非链路两端都支持 Alternate Protocol Negotiation。
- 11b Alternate Protocol Negotiation 成功 - 链路两端支持一个或多个协议，Downstream Port 选择其中一个使用。

如果该字段置 1，则 Alternate Protocol Negotiation 成功完成。如果为 0，则 Alternate Protocol Negotiation 未成功完成。如果 Modified TS Usage Mode 1 Supported - Training Set Message 和 Modified TS Usage Mode 2 Supported - Alternate Protocol 都清 0，则允许将该寄存器硬连线到 0000 0000h。

如果 Modified TS Usage Mode 2 Supported - Alternate Protocol 清 0，则该位硬连线至 0b。

如果 Modified TS Usage Mode Selected 不等于 2，则此位值为 0b。

该位在 Detect LTSSM 状态时被清 0。

默认值为 0b。

7.7.6.7 Transmitted Modified TS Data 1 Register (Offset 18h)

该寄存器表示 Modified TS1/TS2 Ordered Set 中接收的值 (Table 4-8)。

如果 PCI Express (Usage Mode 0) 是端口支持的唯一端口，则允许将该寄存器硬连线到 0000 0000h。

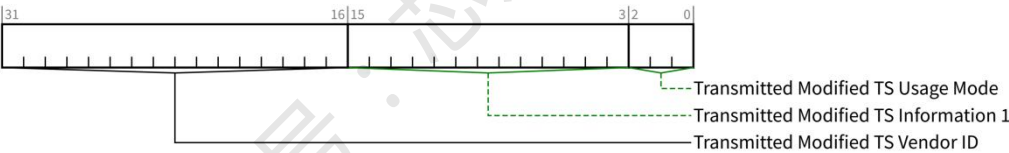


Figure 7-94 Transmitted Modified TS Data 1 Register

Bit Location	Register Description	Attributes
2:0	Transmitted Modified TS Usage Mode - 如果 Modified TS Received 置 1，则此字段表示在 Configuration.Complete LTSSM 状态 (Section 4.2.6.3.6) 中发送的 Modified TS2 Ordered Set 中的 Modified TS Usage 字段的值。 允许将该字段中未使用的位硬连线到 0b。如果唯一支持 PCI Express (Usage Mode 0)，则允许将该字段硬连线到 000b。 默认值为 000b。	RO
15:3	Transmitted Modified TS Information 1 - 如果 Modified TS Received 置 1，则此字段表示在 Configuration.Complete LTSSM 状态 (Section 4.2.6.3.6) 中发送的 Modified TS2 Ordered Set 中的 Modified TS Information 1 字段的值。	RO

15:8 对应 Symbol 9 的值。

7:3 对应 Symbol 8 的 Bit 7:3。

如果唯一支持 PCI Express (Usage Mode 0) , 则允许将该字段硬连线到 0 0000 0000 0000b。

默认值为 0 0000 0000 0000b。

31:16

Transmitted Modified TS Vendor ID - 如果 Modified TS Received 置 1 , 则此字段表示在 Configuration.Complete LTSSM 状态期间发送的 Modified TS2 Ordered Set 中的 Training Set Message Vendor ID 或 Alternate Protocol Vendor ID 字段的值 (Section 4.2.6.3.6) 。

RO

15:8 对应 Symbol 11 的值。

7:0 对应 Symbol 10 的值。

如果唯一支持 PCI Express (Usage Mode 0) , 则允许将该字段硬连线到 0000h。

默认值为 0000h。

7. 7. 6. 8 Transmitted Modified TS Data 2 Register (Offset 1Ch)

该寄存器表示 Modified TS1/TS2 的 Symbol 12 至 14 中的值 (Table 4-8) 。

如果支持 Modified TS Usage Mode 1 Supported - Training Set Message 和 Modified TS Usage Mode 2 Supported - Alternate Protocol 都为 0, 则允许将该寄存器硬连线到 0000 0000h。

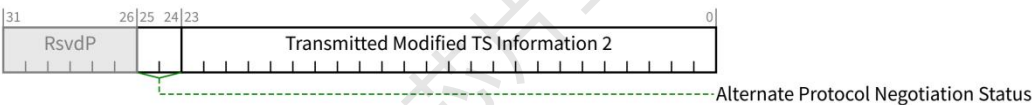


Figure 7-95 Transmitted Modified TS Data 2 Register

Bit Location	Register Description	Attributes
23:0	Alternate Protocol Negotiation Status - 如果 Modified TS Received 置 1 , 则此字段表示在 Configuration.Complete LTSSM 状态期间发送的 Modified TS1/TS2 Ordered Set 的 Modified TS Information 2 字段的值 (Section 4.2.6.3.6) 。	RO
	23:16 对应 Symbol 14 的值。	
	16:8 对应 Symbol 13 的值。	
	7:0 对应 Symbol 12 的值。	
	如果唯一支持 PCI Express (Usage Mode 0) , 则允许将该字段硬连线到 00 0000h。	
	默认值为 00 0000h。	
25:24	Transmitted Modified TS Information 2 - 表示 Alternate Protocol Negotiation 的状态。编码为：	RO
	00b 不支持 Alternate Protocol Negotiation - Modified TS Usage Mode 2 Supported - Alternate	

Protocol 清 0。

- 01b** Alternate Protocol Negotiation 被禁用 - 对应 LTSSM 状态, Modified TS Usage Mode 2 Supported - Alternate Protocol 置 1 但是 Modified TS Usage Mode Selected 不等于 2。
- 10b** Alternate Protocol Negotiation 失败 - 尝试执行 Alternate Protocol Negotiation, 但并非链路两端都支持 Alternate Protocol Negotiation。
- 11b** Alternate Protocol Negotiation 成功 - 链路两端支持一个或多个协议, Downstream Port 选择其中一个使用。

如果该字段置 1, 则 Alternate Protocol Negotiation 成功完成。如果为 0, 则 Alternate Protocol Negotiation 未成功完成。如果 Modified TS Usage Mode 1 Supported - Training Set Message 和 Modified TS Usage Mode 2 Supported - Alternate Protocol 都清 0, 则允许将该寄存器硬连线到 0000 0000h。

如果 Modified TS Usage Mode 2 Supported - Alternate Protocol 清 0, 则该位硬连线至 0b。

如果 Modified TS Usage Mode Selected 不等于 2, 则此位值为 0b。

该位在 Detect LTSSM 状态时被清 0。

默认值为 0b。

7. 7. 6. 9 **32.0 GT/s Lane Equalization Control Register (Offset 20h)**

Lane Equalization Control Register 由 per-Lane 32.0 GT/s 均衡所需的控制字段组成。它包含至少由 Maximum Link Width (请参见 Section 7.5.3.6 或 Section 7.9.9.2) 定义的 Lane 数个条目, 必须以整个 DW 粒度实现 (例如, 如果 Maximum Link Width 为 x1, 则寄存器将仍然包含 4 个 Lane 的条目, 而 Lane 1、2 和 3 的条目未定义), 并且无论 Maximum Link Width 如何, 最多可以包含 32 个条目。超出 Maximum Link Width 的条目的值是不确定的。

每个条目均包含带对应 Lane number 的默认的 Lane 值, 该默认 Lane number 对于在链路训练期间发生的 Link width 和 Lane reversal negotiation 是不变的。

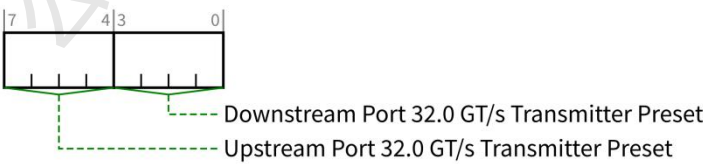


Figure 7-96 32.0 GT/s Lane Equalization Control Register Entry

Bit Location	Register Description	Attributes
3:0	Downstream Port 32.0 GT/s Transmitter Preset - 当端口作为 Downstream Port 运行时, 此端口用于 32.0 GT/s 均衡的发送器 Preset。当端口作为 Upstream Port 运行时, 将忽略此字段。有关详细信息, 请参见 Chapter 8。字段编码在 Section 4.2.3.2 中定义。 对于 Upstream Port, 如果 Crosslink Supported 为 0b, 则此字段为 RsvdP。否则, 此字段为 HwInit。	HwInit/RsvdZ

参见 Section 7.5.3.18。

默认值为 1111b。

7:4 **Upstream Port 32.0 GT/s Transmitter Preset** - 该字段包含在 32.0 GT/s 链路均衡期间发送或接收的发送器 Preset 值。字段用法如下： HwInit/RsvdZ

	Operating Port Direction	Crosslink Support	Usage
A	Downstream Port	Any	此字段表示在链路均衡期间在相关 Lane 上发送的值。 此字段为 HwInit 属性。
B	Upstream Port	0b	该字段用于调试和诊断。它表示在链路均衡期间从相关的 Lane 上捕获的值。 字段是 RO 属性。 注意：当支持 crosslink 时，情况 C（如下）适用，并且此捕获的信息对软件不可见。鼓励供应商提供一种替代机制来获取此信息。
C	Upstream Port	1b	当前的链路均衡不使用或不影响该字段。如果将来的交叉链接协商切换了“工作端口方向”，则将使用该字段值，从而适用情况 A（上述）。 字段为 HwInit 属性。

有关详细信息，请参见 Section 4.2.3 和 Chapter 8。字段编码在 Section 4.2.3.2 中定义。

默认值为 1111b。

7.7.7 Lane Margining at the Receiver Extended Capability

以下场景必须要实现 Lane Margining at the Receiver Extended Capability structure：

- Downstream Port 的 Function，其 Supported Link Speeds Vector 字段表示支持 16.0 GT/s 或更高的链路速度。
- Upstream Port 的 single-Function Device 的 Function，其 Supported Link Speeds Vector 字段表示支持 16.0 GT/s 或更高的链路速度。
- 与 Upstream Port 关联的 Multi-Function Device 的 Function 0（仅 Function 0），其 Supported Link Speeds Vector 字段表示支持 16.0 GT/s 或更高的链路速度。

Figure 7-97 显示了 Margining Extended Capability 的布局。此 Capability 包含一对 per-Port 寄存器，然后是一组 per-Lane 寄存器。

每个 Lane 的条目数由 Maximum Link Width 决定（Section 7.5.3.6 或 Section 7.9.9.2）。无论 Maximum Link Width 如何，最多允许 32 个条目。超出 Maximum Link Width 的条目的值是不确定的。

每个 Lane 条目均包含该 Lane 的值。Lane 编号使用默认的 Lane number，因此对于链路训练期间发生的 Link width 和 Lane reversal

协商是不变的。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	Byte Offset
PCI Express Extended Capability Header																																+000h
Margining Port Status Register																Margining Port Capabilities Register																+004h
Margining Lane Status: Lane 0																Margining Lane Control: Lane 0																+008h
Margining Lane Status: Lane 1 (Optional)																Margining Lane Control: Lane 1 (Optional)																+00Ch
Margining Lane Status: Lane 2 (Optional)																Margining Lane Control: Lane 2 (Optional)																+010h
Margining Lane Status: Lane 3 (Optional)																Margining Lane Control: Lane 3 (Optional)																+014h
Margining Lane Status: Lane 4 (Optional)																Margining Lane Control: Lane 4 (Optional)																+018h
Margining Lane Status: Lane 5 (Optional)																Margining Lane Control: Lane 5 (Optional)																+01Ch
Margining Lane Status: Lane 6 (Optional)																Margining Lane Control: Lane 6 (Optional)																+020h
Margining Lane Status: Lane 7 (Optional)																Margining Lane Control: Lane 7 (Optional)																+024h
Margining Lane Status: Lane 8 (Optional)																Margining Lane Control: Lane 8 (Optional)																+028h
Margining Lane Status: Lane 9 (Optional)																Margining Lane Control: Lane 9 (Optional)																+02Ch
Margining Lane Status: Lane 10 (Optional)																Margining Lane Control: Lane 10 (Optional)																+030h
Margining Lane Status: Lane 11 (Optional)																Margining Lane Control: Lane 11 (Optional)																+034h
Margining Lane Status: Lane 12 (Optional)																Margining Lane Control: Lane 12 (Optional)																+038h
Margining Lane Status: Lane 13 (Optional)																Margining Lane Control: Lane 13 (Optional)																+03Ch
Margining Lane Status: Lane 14 (Optional)																Margining Lane Control: Lane 14 (Optional)																+040h
Margining Lane Status: Lane 15 (Optional)																Margining Lane Control: Lane 15 (Optional)																+044h
Margining Lane Status: Lane 16 (Optional)																Margining Lane Control: Lane 16 (Optional)																+048h
Margining Lane Status: Lane 17 (Optional)																Margining Lane Control: Lane 17 (Optional)																+04Ch
Margining Lane Status: Lane 18 (Optional)																Margining Lane Control: Lane 18 (Optional)																+050h
Margining Lane Status: Lane 19 (Optional)																Margining Lane Control: Lane 19 (Optional)																+054h
Margining Lane Status: Lane 20 (Optional)																Margining Lane Control: Lane 20 (Optional)																+058h
Margining Lane Status: Lane 21 (Optional)																Margining Lane Control: Lane 21 (Optional)																+05Ch
Margining Lane Status: Lane 22 (Optional)																Margining Lane Control: Lane 22 (Optional)																+060h
Margining Lane Status: Lane 23 (Optional)																Margining Lane Control: Lane 23 (Optional)																+064h
Margining Lane Status: Lane 24 (Optional)																Margining Lane Control: Lane 24 (Optional)																+068h
Margining Lane Status: Lane 25 (Optional)																Margining Lane Control: Lane 25 (Optional)																+06Ch
Margining Lane Status: Lane 26 (Optional)																Margining Lane Control: Lane 26 (Optional)																+070h
Margining Lane Status: Lane 27 (Optional)																Margining Lane Control: Lane 27 (Optional)																+074h
Margining Lane Status: Lane 28 (Optional)																Margining Lane Control: Lane 28 (Optional)																+078h
Margining Lane Status: Lane 29 (Optional)																Margining Lane Control: Lane 29 (Optional)																+07Ch
Margining Lane Status: Lane 30 (Optional)																Margining Lane Control: Lane 30 (Optional)																+080h
Margining Lane Status: Lane 31 (Optional)																Margining Lane Control: Lane 31 (Optional)																+084h

7.7.7.1 Lane Margining at the Receiver Extended Capability Header (Offset 00h)

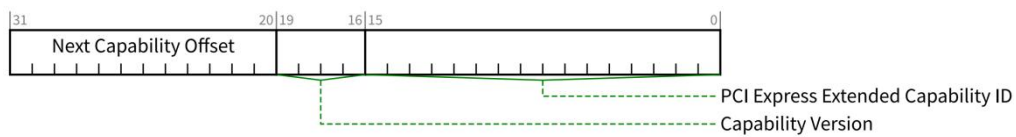


Figure 7-98 Lane Margining at the Receiver Extended Capability Header

Bit Location	Register Description	Attributes
15:0	PCI Express Extended Capability ID - 该字段是 PCI-SIG 定义的 ID 号, 用于指示扩展功能的性质和格式。 Physical Layer 16.0 GT/s Margining Extended Capability 的 PCI Express Extended Capability ID 为 0027h。	RO
19:16	Capability Version - 该字段是 PCI-SIG 定义版本号, 指示实现的 Capability structure 的版本。 对于该版本的规范, 必须为 1h。	RO
31:20	Next Capability Offset - 此字段指示到下一个 PCI Express Extended Capability structure 的偏移量; 如果在 Capability 的链接列表中不存在其他项, 则为 000h。	RO

7.7.7.2 Margining Port Capabilities Register (Offset 04h)

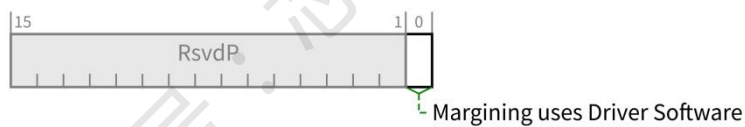


Figure 7-99 Margining Port Capabilities Register

Bit Location	Register Description	Attributes
0	Margining uses Driver Software - 如果设置为 1, 则表示使用设备驱动程序软件部分实现了 Margining 设置。Margining Software Ready 指示何时初始化此软件。如果清 0, 则 Margining 不需要设备驱动程序软件设置。在这种情况下, 未定义从 Margining Software Ready 中读取的值。	HwInit

7.7.7.3 Margining Port Status Register (Offset 06h)

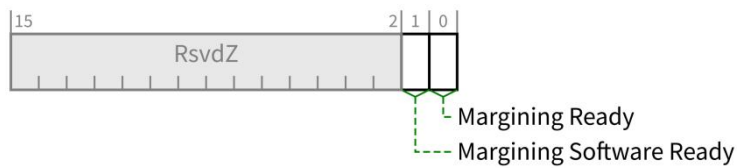


Figure 7-100 Margining Port Status Register

Bit Location	Register Description	Attributes
0	Margining Ready - 指示 Margining 功能何时准备好接受 margining command。 如果该位为 0, 并且未定义任何行为, 则对于任何 Lane, Receiver Number、Margin Type、Usage Model 或 Margin Payload 被写入 (Section 7.7.7.4) 。 如果 Margining uses Driver Software 设置为 1, 则必须在 Margining Software Ready 设置为 1 或链路训练到 16.0 GT/s 之后, 不迟于 100 ms 把 Margining Ready 设置为 1。 如果 Margining uses Driver Software 设置为 0, 则必须在链路训练到 16.0 GT/s 后不迟于 100 ms 把 Margining Ready 设置为 1。 默认值是特定于实现的。	RO
1	Margining Software Ready - 如果 Margining uses Driver Software 设置为 1 时, 则该位置 1 表示所需的软件已执行了所需的初始化。 如果 Margining uses Driver Software 设置为 1 为 0, 则该位的值不确定。该位的默认值是特定于实现的。	RO

7.7.7.4 Margining Lane Control Register (Offset 08h)

Margining Lane Control Register 包括每个 Lane Margining 所需的控制字段。

该寄存器中的条目数由 Maximum Link Width 决定 (Section 7.5.3.6) 。

有关此寄存器的详细信息, 请参见 Section 4.2.7.2。

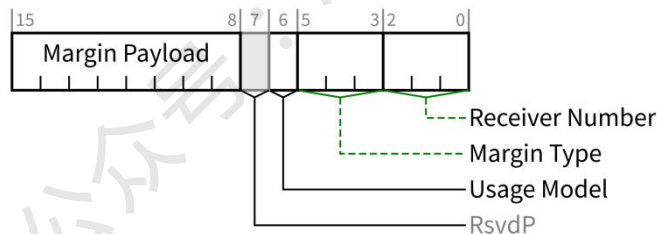


Figure 7-101 Lane N: Margining Control Register Entry

Bit Location	Register Description	Attributes
2:0	Receiver Number - 有关详细信息, 请参见 Section 8.4.4。 默认值为 000b。 如果端口变为 DL_Down 状态, 则必须将该字段重置为默认值。	RW
5:3	Margin Type - 有关详细信息, 请参见 Section 8.4.4。 默认值为 111b。	RW

如果端口变为 DL_Down 状态，则必须将该字段重置为默认值。

6 **Usage Model** - 有关详细信息，请参见 Section 8.4.4。 RW

默认值为 0b。

如果端口变为 DL_Down 状态，则必须将该字段重置为默认值

15:8 **Margin Payload** - 有关详细信息，请参见 Section 8.4.4。 RW

如 Section 8.4.4 所述，此字段的值与 Margin Type 字段结合使用。

默认值为 9Ch。

如果端口变为 DL_Down 状态，则必须将该字段重置为默认值

7.7.7.5 **Margining Lane Status Register (Offset 0Ah)**

Margining Lane Status 寄存器由 per-Lane margining 所需的状态字段组成。该寄存器中的条目数由 Maximum Link Width (Section 7.5.3.6)决定。有关此寄存器的详细信息，请参见 Section 4.2.7.2。

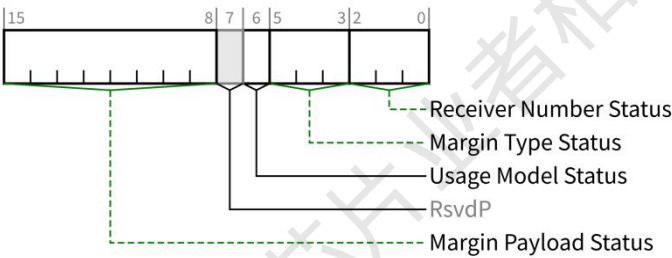


Figure 7-102 Lane N: Margining Lane Status Register Entry

Bit Location	Register Description	Attributes
2:0	Receiver Number Status - 有关详细信息，请参见 Section 8.4.4。 默认值为 000b。 对于 Downstream Port，如果端口变为 DL_Down 状态，则必须将此字段重置为默认值。	RO
5:3	Margin Type Status - 有关详细信息，请参见 Section 8.4.4。 默认值为 000b。 如果端口变为 DL_Down 状态，则必须将此字段重置为默认值。	RO
6	Usage Model Status - 有关详细信息，请参见 Section 8.4.4。 默认值为 0b。 如果端口变为 DL_Down 状态，则必须将此字段重置为默认值。	RO

仅当 Margin Type 编码部位“No Command”时此字段才有意义。

默认值为 00h。

对于 Downstream Port，如果端口变为 DL_Down 状态，则必须将此字段重置为默认值。

7. 7. 8 **ACS Extended Capability**

ACS Extended Capability 是一项可选功能, 可提供增强的访问控制 (Section 6.12)。此 Capability 可以在 Root Port、Switch Downstream Port 或 Multi-Function Device Function 中实现。PCI Express to PCI Bridge 或 Root Complex Event Collector 中不能实现这个 Capability。此 Capability 也不在 Switch Upstream Port 中实现，除非该 Switch Upstream Port 是一个 Multi-Function Device 中的 Function。

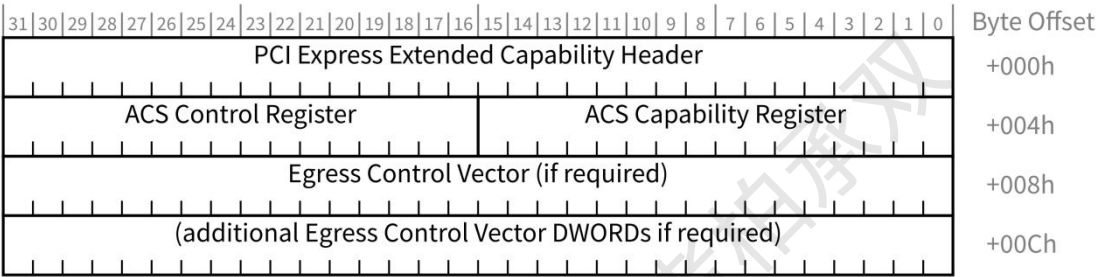


Figure 7-103 ACS Extended Capability

7. 7. 8. 1 **ACS Extended Capability Header (Offset 00h)**

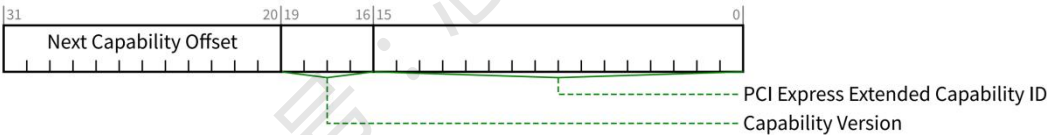


Figure 7-104 ACS Extended Capability Header

Bit Location	Register Description	Attributes
15:0	PCI Express Extended Capability ID - 该字段是 PCI-SIG 定义的 ID 号, 用于指示扩展功能的性质和格式。 ACS Extended Capability 的 PCI Express Extended Capability ID 为 000Dh。	RO
19:16	Capability Version - 该字段是 PCI-SIG 定义版本号, 指示实现的 Capability structure 的版本。 对于该版本的规范, 必须为 1h。	RO
31:20	Next Capability Offset - 此字段指示到下一个 PCI Express Extended Capability structure 的偏移量; 如果在 Capability 的链接列表中不存在其他项, 则为 000h。	RO

7.7.8.2 ACS Capability Register (Offset 04h)

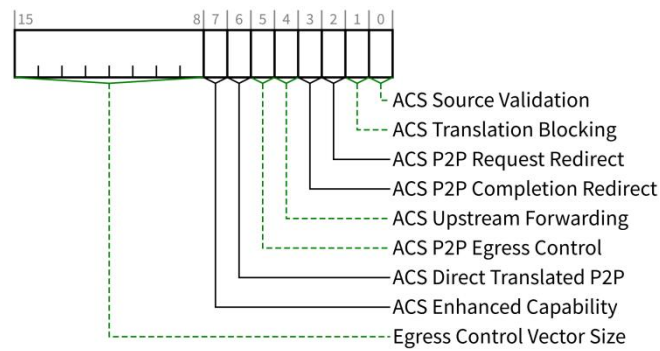


Figure 7-105 ACS Capability Register

Bit Location	Register Description	Attributes
0	ACS Source Validation - Root Port 和 Switch Downstream Port 必须实现；否则必须硬连线至 0b。如果为 1b，则表示该组件实现了 ACS Source Validation。	RO
1	ACS Translation Blocking - Root Port 和 Switch Downstream Port 必须实现；否则必须硬连线至 0b。如果为 1b，则表示该组件实现了 ACS Translation Blocking。	RO
2	ACS P2P Request Redirect - 支持与其他 Root Port 进行点对点通信的 Root Port 必需实现；Switch Downstream Port 必须实现；支持与其他 Function 进行点对点通信的 Multi-Function Device Function 必需实现；否则必须硬连线至 0b。 如果为 1b，则表示组件实现了 ACS P2P Request Redirect。	RO
3	ACS P2P Completion Redirect - 所有支持 ACS P2P Request Redirect 的 Function 都必需实现；否则必须硬连线至 0b。 如果为 1b，则表示组件实现了 ACS P2P Completion Redirect。	RO
4	ACS Upstream Forwarding - 如果 RC 支持 Redirected Request Validation，则 RootPort 是需实现；Switch Downstream Port 必须实现；否则必须硬连线至 0b。 如果为 1b，则表示组件实现了 ACS Upstream Forwarding。	RO
5	ACS P2P Egress Control - Root Port、Switch Downstream Port 和 Multi-Function Device Function 可选实现；否则必须硬连线至 0b。 如果为 1b，则表示组件实现了 ACS P2P Egress Control。	RO
6	ACS Direct Translated P2P - 对于支持 ATS 功能并且还支持与其他 Root Port 的对等通信的 Root Port，是必需实现的；Switch Downstream Port 必须实现；支持 ATS 功能并与其他 Function 同时支持对等通信的 Multi-Function Device Function 必需实现；否则必须硬连线至 0b。 如果为 1b，则表示该组件实现了 ACS Direct Translated P2P。	RO
7	ACS Enhanced Capability - 支持 ACS Enhanced Capability 机制的 Root Port 和 Switch Downstream Port 必须实现此 Capability。 如果设置为 1，则表示该组件支持以下任何一种机制：	RO

- ACS I/O Request Blocking
- ACS DSP Memory Target Access
- ACS USP Memory Target Access
- ACS Unclaimed Request Redirect

15:8 **Egress Control Vector Size** - 编码 01h-FFh 表示 Egress Control Vector 中使用的比特位数。编码 00h 表示使用 256 位。 HwInit

如果 ACS P2P Egress Control 为 0b，则未定义 size 字段的值，并且不需要实现 Egress Control Vector Register。

7.7.8.3 **ACS Control Register (Offset 06h)**

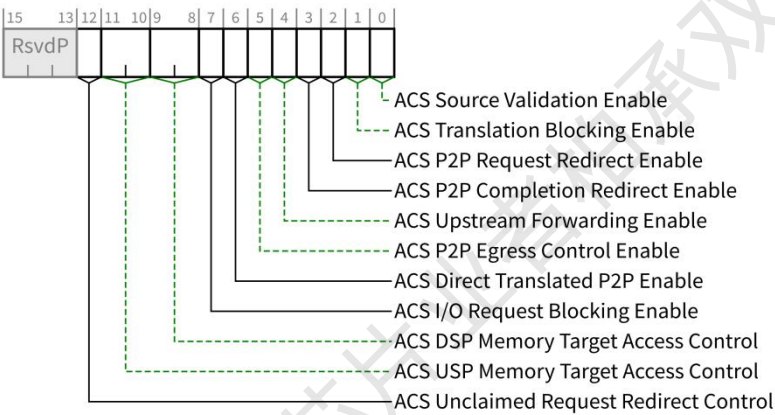


Figure 7-106 ACS Control Register

Bit Location	Register Description	Attributes
0	ACS Source Validation Enable - 设置为 1 时，组件将根据 secondary/subordinate Bus Number 从上游请求的 Requester ID 验证 Bus Number。 该位的默认值为 0b。如果未实现 ACS Source Validation 功能，则必须硬连线至 0b。	RW
1	ACS Translation Blocking Enable - 设置为 1 时，组件将阻止 Address Type (AT) 字段未设置为默认值的所有 Upstream Memory Request。 该位的默认值为 0b。如果未实现 ACS Translation Blocking 功能，则必须硬连线至 0b。	RW
2	ACS P2P Request Redirect Enable - 结合 ACS P2P Egress Control 和 ACS Direct Translated P2P 机制，确定组件何时将对等请求重定向到上游（Section 6.12.3）。请注意，对于 Downstream Port，此位仅适用于到达 Downstream Port 的 Upstream Request，其正常路由选择的目标是另一个 Downstream Port。 该位的默认值为 0b。如果未实现 ACS P2P Request Redirect 功能，则必须硬连线至 0b。	RW

3	ACS P2P Completion Redirect Enable - 确定组件何时将对等 Completion 重定向到上游; 仅适用于 Relaxed Ordering Attribute 清 0 的 Completion。	RW
	该位的默认值为 0b。 如果未实现 ACS P2P Completion Redirect 功能, 则必须硬连线至 0b。	
4	ACS Upstream Forwarding Enable - 设置为 1 时, 组件将其接收到的所有请求或完成 TLP 转发给上游, 这些请求或完成 TLP 被层次结构中较低级别的组件重定向到上游。请注意, 此位仅适用于到达下游端口的上游 TLP, 并且其正常路由以相同的下游端口为目标。	RW
	该位的默认值为 0b。如果未实现 ACS Upstream Forwarding 功能, 则必须硬连线至 0b。	
5	ACS P2P Egress Control Enable - 结合 Egress Control Vector 以及 ACS P2P Request Redirect 和 ACS Direct Translated P2P 机制, 确定何时允许、禁止或重定向对等请求 (Section 6.12.3) 。	RW
	该位的默认值为 0b。如果未实现 ACS P2P Egress Control 功能, 则必须硬连线至 0b。	
6	ACS Direct Translated P2P Enable - 设置为 1 时, 将使用 peer-to-peer Memory Request 覆盖 ACS P2P Request Redirect 和 ACS P2P Egress Control 机制, 该 peer-to-peer Memory Request 的 Address Type (AT) 字段指示已转换地址 (Section 6.12.3) 。	RW
	如果 ACS Translation Blocking Enable 为 1b, 则忽略此位。	
	该位的默认值为 0b。如果未实现 ACS Direct Translated P2P 功能, 则必须硬连线至 0b。	
7	ACS I/O Request Blocking Enable - 如果设置为 1, 则下游端口接收到的上游 I/O 请求必须作为 ACS Violation 处理。	RW/RsvdP
	如果 ACS Enhanced Capability 位被置 1, 则 Root Port 和 Switch Downstream Port 需要实现该位; 否则必须是 RsvdP。该位的默认值为 0b。	
9:8	ACS DSP Memory Target Access Control - 此字段控制 Downstream Port 如何处理尝试访问适用的 Root Port 或 Switch Downstream Port (包括入口) 上的任何 Memory BAR Space 的 Upstream Memory Request。参见 Section 6.12.1.1。	RW/RsvdP
	编码值为:	
	00b Direct Request access enabled	
	01b Request blocking enabled	
	10b Request redirect enabled	
	11b Reserved	
	如果 ACS Enhanced Capability 被设置为 1 并且有适当的 Memory BAR Space 需要保护, 则对于 Root Port 或 Switch Downstream Port, 此字段是必实现字段。否则必须是 RsvdP。该字段的默认值为 00b。	
11:10	ACS USP Memory Target Access Control - 该字段控制 Switch Downstream Port 如何处理试图访问 Switch Upstream Port 上的任何任何 Memory BAR Space 的 Upstream Memory Request。参见 Section 6.12.1.1。	RW/RsvdP

编码值为：

- 00b** Direct Request access enabled
- 01b** Request blocking enabled
- 10b** Request redirect enabled
- 11b** Reserved

如果 ACS Enhanced Capability 被设置为 1 并且有适当的 Memory BAR Space 需要保护, 则对于 Root Port 或 Switch Downstream Port, 此字段是必实现字段。否则必须是 RsvdP。该字段的默认值为 00b。

- 12 **ACS Unclaimed Request Redirect Control** - 控制 Switch Downstream Port 如何处理传入的请求, 这些请求针对的目标是位于 Switch Upstream Port 的 Memory aperture 的内存空间, 该内存空间不在 Switch 的任何 Downstream Port 的 Memory aperture 或 Memory BAR Space 之内。 RW/RsvdP
- 置 1 时, Switch 必须将此类上游请求转发出 Switch。
- 清 0 时, Switch Downstream Port 必须处理诸如不支持的请求 (UR) 之类的请求。
- 如果 ACS Enhanced Capability 设置为 1, 则此位对于 Switch Downstream Port 是必需的。否则必须是 RsvdP。该位的默认值为 0b。
-

7.7.8.4 Egress Control Vector Register (Offset 08h)

Egress Control Vector 是一个包含比特位阵列的读写寄存器。寄存器中的比特位数由 Egress Control Vector Size 字段指定, 如果需要, 寄存器可跨越多个 DWORD。如果 ACS Capability Register 中的 ACS P2P Egress Control 字段为 0b, 则 Egress Control Vector Size 字段是未定义的, 并且不需要实现 Egress Control Vector Register。

对于跨越多个 DWORD 的 Egress Control Vector 的一般情况, 给定任意位 K 的 DWORD 偏移量和该 DWORD 中的位数由以下公式指定:

$$\begin{aligned}\text{DWORD offset} &= 08h + (K \div 32) \times 4 \\ \text{DWORD bit\#} &= K \bmod 32\end{aligned}$$

Equation 7-4 Egress Control Vector Access

DWORD 中超出 Egress Control Vector Size 字段指定的位为 RsvdP。

对于 Root Port 和 Switch Downstream Port, 比特位阵列中的每个比特位始终对应于一个 Port Number。否则, 对于 Multi-Function Device 中的 Function 而言, 比特位阵列中的每一位都对应一个或多个 Function Number 或 Function Group Number。例如, 对 Function 2 的访问由比特位阵列中的 Bit 2 来控制。对于 Port Number 情况和 Function Number 情况, 与实现此 Extended Capability structure 的 Function 相对应的比特位必须硬连线至 0b。

如果 ARI 设备实现了 ACS Function Group (ACS Function Groups Capability 为 1), 则其 Egress Control Vector Size 必须为 2 的 8 到 256 的幂, 并且其所有已实现的 Egress Control Vector 比特位必须为 RW。使用 ARI 设备, 可以将多个 Function 与一个比特位相关联, 因此对于每个 Function, 其相关比特位决定了如何处理针对来自与该位相关联的其他 Function (如果有) 的请求。

如果在 ARI 设备中启用了 ACS Function Group (ACS Function Groups Enable 置 1), 则每个 Function 中的前 8 个 Egress Control Vector 位将与功 Function Group Number 而不是 Function Number 相关联。在这种情况下, 将在 Function Group 之间而不是 Function 之间实施访问控制, 并且未使用前 8 个以外的任何已实现 Egress Control Vector 比特位。

与 ARI 设备是否实现 ACS Function Group 无关，不需要其 Egress Control Vector Size 来覆盖该设备实现的所有 Function 的整个 Function Number 范围。如果未启用 ACS Function Group，则通过将 Egress Control Vector Size 取模为 2 的幂，将 Function Number 映射到已实现的 Egress Control Vector 比特位。

对于 RC，某些 Port Number 可能引用内部端口而不是 Root Port。对于此类 RC 中的 Root Port，比特位阵列中与内部端口相对应的每个位都必须硬连线至 0b。

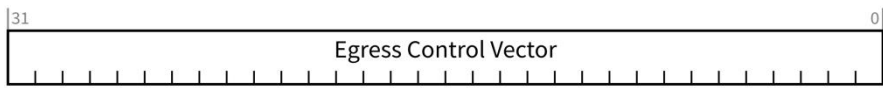


Figure 7-107 Egress Control Vector Register

Bit Location	Register Description	Attributes
31:0	Egress Control Vector - 由软件配置的 N 位比特位阵列，其中 N 由 Egress Control Vector Size 字段中的值给出。设置给定的位后，将锁定或重定向针对关联的 Port、Function 或 Function Group 的对等请求（如果启用）（Section 6.12.3）。 Figure 7-107 显示了单个 DWORD 寄存器。该寄存器始终是 DWORD 的整数。 每个位的默认值为 0b。	RW

以下示例说明了如何配置此 vector：

- 对于一个 8-Port Switch，每个 Port 将实现一个单独的向量，指示其可以将请求转发到哪些 Downstream Egress Port。
Port 1 不允许与任何其他 Downstream Port 进行通信，它应该配置为：
1111 1100b，其中 Bit-0 对应于 Upstream Port（硬连线至 0b），Bit-1 对应于 Ingress Port（硬连线至 0b）。
允许 Port 2 与 Port 3、5 和 7 通信的端口配置为：0101 0010b。
- 对于一个 4-Function device，每个 Function 将实现一个单独的向量，该向量指示其可以将请求转发到哪个 Function 。
Function 0 不允许与任何其他 Function 进行通信，其配置为：1110b，其中 Bit-0 对应于 Function0（硬连线至 0b）。
允许将 Function 1 与 Function 2 和 3 进行通信的功能配置为：0001b，其中 Bit-1 对应于 Function 1（硬连线至 0b）。

7.8 Common PCI and PCIe Capabilities

这部分对一些常见的 PCI 或 PCIe 需要实现的 Capability 进行介绍，这些 Capability 是可选实现的，根据需求选择实现。

7.8.1 Power Budgeting Extended Capability

Power Budgeting Extended Capability 使系统可以将电源分配给在运行时添加到系统的设备。通过此 Capability，设备可以报告在各种操作条件下、各种设备电源管理状态下在各种电源轨上消耗的功率。系统可以使用此信息来确保系统能够为设备提供适当的电源和冷却级别。如果未指出正确的设备功耗，则可能会导致设备或系统发生故障。

对于不支持热插拔的外形规格实现的 PCI Express 设备或集成在系统板上的 PCI Express 设备，实现 Power Budgeting Extended Capability 是可选的。PCI Express 外形规格可能需要支持电源预算。Figure 7-108 详细说明了 Power Budgeting Extended Capability 中寄存器字段的分配。

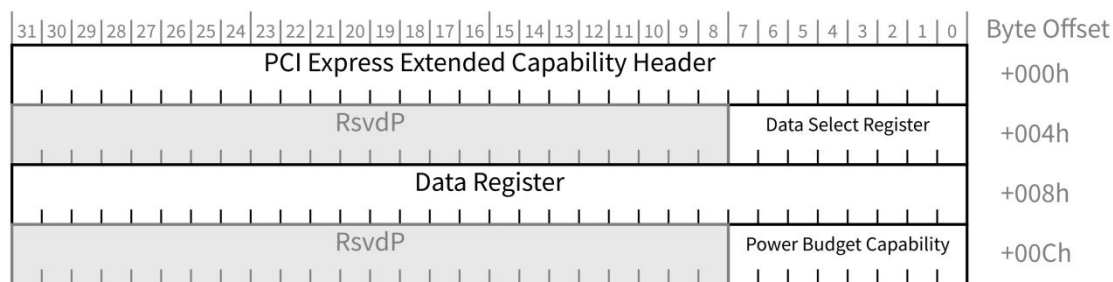


Figure 7-108 Power Budgeting Extended Capability

7.8.1.1 Power Budgeting Extended Capability Header (Offset 00h)

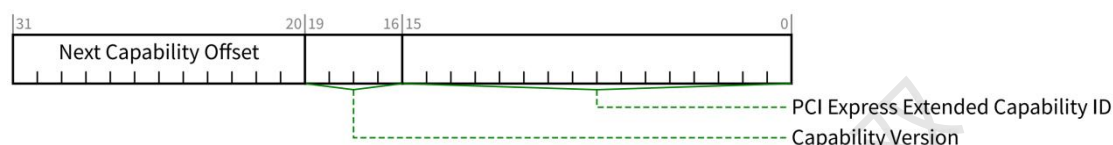


Figure 7-109 Power Budgeting Extended Capability Header

Bit Location	Register Description	Attributes
15:0	PCI Express Extended Capability ID - 该字段是 PCI-SIG 定义的 ID 号, 用于指示扩展功能的性质和格式。 Power Budgeting Extended Capability 的 PCI Express Extended Capability ID 为 0004h。	RO
19:16	Capability Version - 该字段是 PCI-SIG 定义的版本号, 指示实现的 Capability structure 的版本。 对于该版本的规范, 必须为 1h。	RO
31:20	Next Capability Offset - 此字段指示到下一个 PCI Express Extended Capability structure 的偏移量; 如果在 Capability 的链接列表中不存在其他项, 则为 000h。	RO

7.8.1.2 Power Budgeting Data Select Register (Offset 04h)

Power Budgeting Data Select Register 是一个 8 比特的可读可写寄存器, 它是 Power Budgeting Data Register 中报告的电源预算数据的索引。该寄存器的值从 0 开始, 0 表示选择电源预算数据的第一个 DWORD。索引值可以增加, 以选择后续的功率预算数据的 DWORD。该寄存器的默认值是不确定的。

7.8.1.3 Power Budgeting Data Register (Offset 08h)

该只读寄存器返回由 Power Budgeting Data Select Register 索引的电源预算数据的 DWORD。电源预算数据的每个 DWORD 描述了特定操作条件下设备的电源使用情况。不同操作条件下的电源预算数据不需要以任何特定顺序返回, 只要递增 Power Budgeting Data Select Register 就会导致返回不同操作条件的信息。如果 Power Budgeting Data Select Register 的值大于或等于设备为其提供电源信息的工作条件的数量, 则该寄存器必须返回全零。该寄存器的默认值是不确定的。Figure 7-110 详细说明了 Power Budgeting

Data Register 中寄存器字段的分配；Table 7-89 提供了相应的比特位定义。

Base Power 和 Data Scale 字段描述了设备的电源使用情况。Power Rail、Type、PM State 和 PM Sub State 字段描述设备工作在此电源使用情况下的条件。

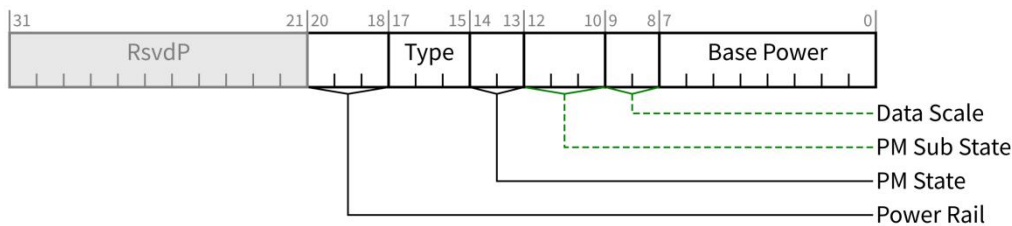


Figure 7-110 Power Budgeting Data Register

Bit Location	Register Description	Attributes
7:0	Base Power - 指定给定操作条件下的基本功率值。此值乘以 Data Scale 产生实际功耗值，当 Data Scale 字段等于 00b（1.0x）并且 Base Power 超过 EFh 时，将使用以下编码替代： F0h 大于 239W 并小于等于 250W 的 Slot Power Limit 功率 F1h 大于 250W 并小于等于 275W 的 Slot Power Limit 功率 F2h 大于 275W 并小于等于 300W 的 Slot Power Limit 功率 F3h to FFh 保留给大于 300W 的功率值	RO
9:8	Data Scale - 指定用于 Base Power 值的比例。器件的功率是通过将 Base Power 字段的值乘以该字段返回的编码相对应的值来确定的（如上所述）。 定义的编码值为： 00b 1.0 x 01b 0.1 x 10b 0.01 x 11b 0.001 x	RO
12:10	PM Sub State - 指定正在描述的操作条件的电源管理子状态。定义的编码为： 000b Default Sub State 001b-111b 设备指定的 Sub State	RO
14:13	PM State - 指定正在描述的操作条件的电源管理状态。定义的编码为： 00b D0 01b D1 10b D2	RO

11b D3

如果设备在此字段中返回 11b, 在 Type 字段中返回 Aux 或 PME Aux, 则表示 D3Cold PM 状态。如果此字段为 11b, 则 Type 字段的其他值都表示 D3Hot 状态。

17:15	Type - 指定正在描述的操作条件的类型。定义的编码为:	RO
000b	PME Aux	
001b	Auxiliary	
010b	Idle	
011b	Sustained	
100b	Sustained - Emergency Power Reduction State (see Section 6.25)	
101b	Maximum- Emergency Power Reduction State (see Section 6.25)	
111b	Maximum	
Others	Reserved	
20:18	Power Rail - 指定所描述操作条件的热负荷(thermal load)或电源轨(power rail)。定义的编码为:	RO
000b	Power (12V)	
001b	Power (3.3V)	
010b	Power (1.5V or 1.8V)	
111b	Thermal	
Others	Reserved	

实现 Power Budgeting Extended Capability 的设备, 需要为消耗功率的每个 power rail 提供 D0 Maximum、D0 Sustained PM State 和 Type 的一组值的组合。如果这些值与为 power rail 上的 D0 Maximum 和 D0 Sustained 所报告的操作条件值的总和不同, 则还必须提供 D0 Maximum 和 D0 Sustained for Thermal 的数据。

支持辅助电源或来自辅助电源的 PME 的设备必须提供适当电源类型 (Auxiliary 或 PME Aux) 的数据。

如果设备实现了 Emergency Power Reduction State, 则它必须报告以下内容的功率预算值:

- Maximum Emergency Power Reduction State, PM State D0, all power rails used by the device.
- Maximum Emergency Power Reduction State, PM State D0, Thermal (if different from the sum of the preceding values).
- Sustained Emergency Power Reduction State, PM State D0, all power rails used by the device.
- Sustained Emergency Power Reduction State, PM State D0, Thermal (if different from the sum of the preceding values).

7.8.1.4 Power Budgeting Capability Register (Offset 0Ch)

该寄存器指示设备的功率预算功能。Figure 7-111 详细说明了 Power Budgeting Capability Register 中的寄存器字段分配; Table 7-90 提供了相应的比特位定义。

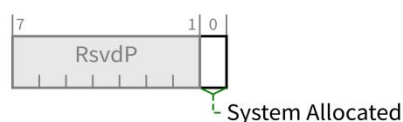


Figure 7-111 Power Budgeting Capability Register

Bit Location	Register Description	Attributes
0	System Allocated - 置 1 时, 该位表示设备的电源预算已包含在系统电源预算中。 如果该位置 1, 则该设备报告的 Power Budgeting Data 必须由软件忽略。	HwInit

7.8.2 Latency Tolerance Reporting (LTR) Extended Capability

PCI Express Latency Tolerance Reporting (LTR) Extended Capability 是可选实现的, 它允许软件向 Upstream Ports(Endpoint 和 Switch) 的组件提供平台延迟信息, 并且如果 Function 支持 LTR 机制, 则 Switch Upstream Port 和 Endpoint 也要实现 LTR。它不适用于 Root Port、Bridge 或 Switch Downstream Port。

对于实现 LTR 机制的 Upstream Port 相关联的 Multi-Function Device, 此 Capability structure 必须只在 Function 0 中实现, 并且必须代表设备的所有 Function 控制组件的链路行为。

作为 Multi-Function Device 实现的 RCiEP 可以在多个 Function 中实现此 Capability structure。

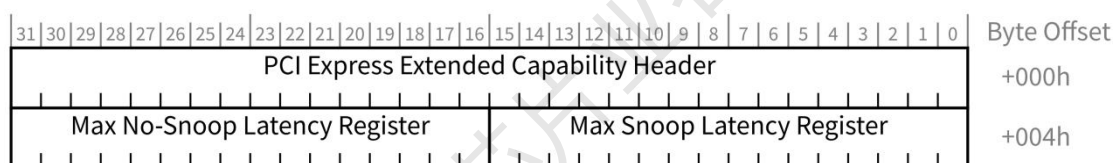


Figure 7-112 LTR Extended Capability Structure

7.8.2.1 LTR Extended Capability Header (Offset 00h)

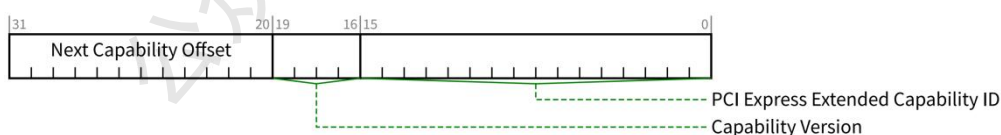


Figure 7-113 LTR Extended Capability Header

Bit Location	Register Description	Attributes
15:0	PCI Express Extended Capability ID - 该字段是 PCI-SIG 定义的 ID 号, 用于指示扩展功能的性质和格式。 LTR Extended Capability 的 PCI Express Extended Capability ID 为 0018h。	RO
19:16	Capability Version - 该字段是 PCI-SIG 定义版本号, 指示实现的 Capability structure 的版本。	RO

对于该版本的规范，必须为 1h。

31:20 **Next Capability Offset** - 此字段指示到下一个 PCI Express Extended Capability structure 的偏移量；如果在 Capability 的链接列表中不存在其他项，则为 000h。 RO

7.8.2.2 **Max Snoop Latency Register (Offset 04h)**

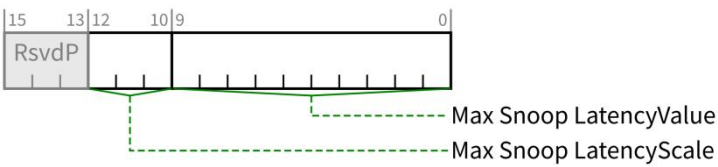


Figure 7-114 Max Snoop Latency Register

Bit Location	Register Description	Attributes
9:0	Max Snoop LatencyValue - 与 Max Snoop LatencyScale 字段一起使用，用于指定设备 Snoop 请求的最大延迟。软件应将此设置为不大于平台最大支持的延迟时间。强烈建议对此字段的任何更新都反映在设备在 1 ms 内发送的 LTR Message 中。 默认值为 00 0000 0000b。	RW
12:10	Max Snoop LatencyScale - 该寄存器为 Max Snoop LatencyValue 字段的值提供缩放比例。其编码与 LTR Message 中的 LatencyScale 字段相同。参见 Section 6.18。强烈建议对此字段的任何更新都反映在设备在 1 ms 内发送的 LTR Message 中。 该字段的默认值为 000b。 如果软件在此字段中写入编码之外的值，则硬件操作是不确定的。	RW

7.8.2.3 **Max No-Snoop Latency Register (Offset 06h)**

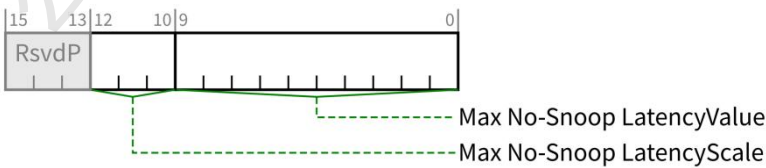


Figure 7-115 Max No-Snoop Latency Register

Bit Location	Register Description	Attributes
9:0	Max No-Snoop LatencyValue - 与 Max No-Snoop LatencyScale 字段一起使用，用于指定设备 No-Snoop 请求的最大延迟。软件应将此设置为不大于平台最大支持的延迟时间。强烈建议对此字段的任何更新都反映在设备在 1 ms 内发送的 LTR Message 中。	RW

默认值为 00 0000 0000b。

12:10 **Max No-Snoop LatencyScale** - 该寄存器为 Max No-Snoop LatencyValue 字段的值提供缩放比例。其编码与 LTR Message 中的 LatencyScale 字段相同。参见 Section 6.18。强烈建议对此字段的任何更新都反映在设备在 1 ms 内发送的 LTR Message 中。

该字段的默认值为 000b。

如果软件在此字段中写入编码之外的值，则硬件操作是不确定的。

7. 8. 3 **L1 PM Substates Extended Capability**

L1 PM Substates Extended Capability 是可选实现的扩展能力，如果端口实现了 L1 PM Substate，则需要实现此 Capability。如 Figure 7-116 所示，定义了 L1 PM Substates Extended Capability structure。

对于实现 L1 PM Substate 的 Upstream Port 的 Multi-Function Device 而言，此 Extended Capability structure 必须仅在 Function 0 中实现，并且必须代表设备的所有 Function 控制 Upstream Port 的链路行为。

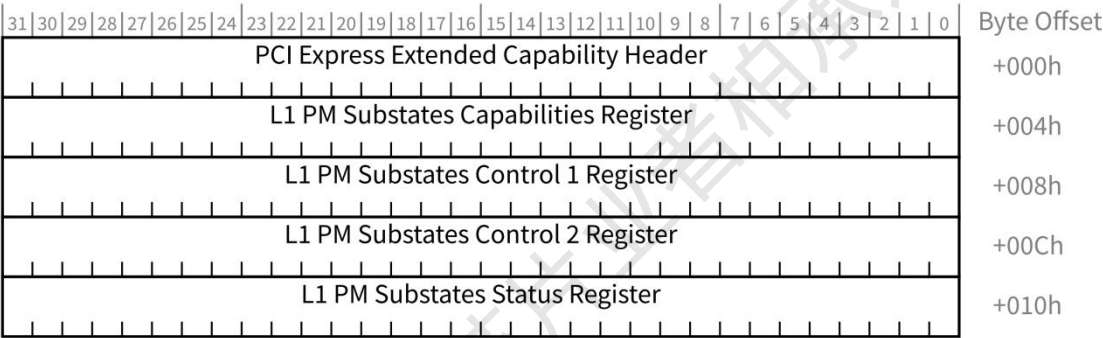


Figure 7-116 L1 PM Substates Extended Capability

7. 8. 3. 1 **L1 PM Substates Extended Capability Header (Offset 00h)**

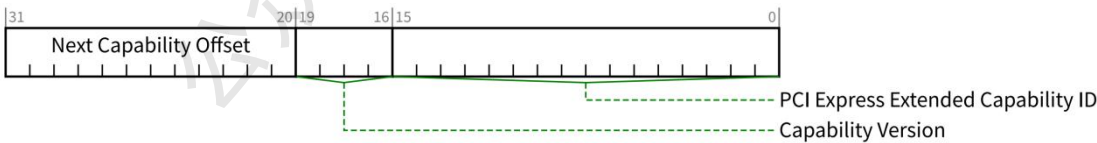
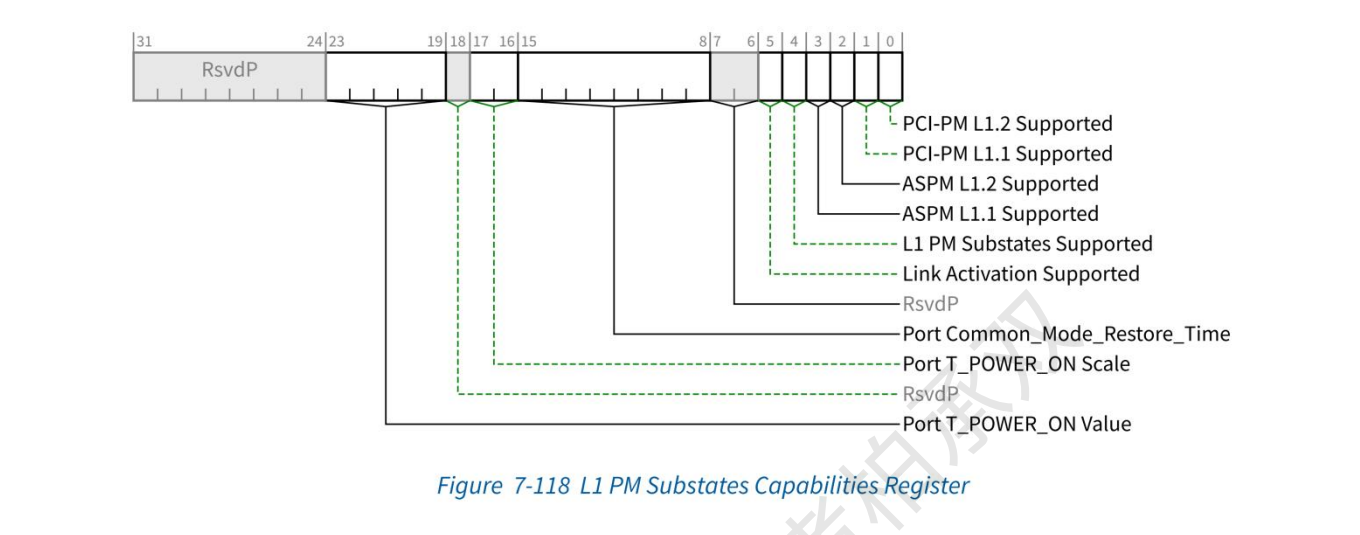


Figure 7-117 L1 PM Substates Extended Capability Header

Bit Location	Register Description	Attributes
15:0	PCI Express Extended Capability ID - 该字段是 PCI-SIG 定义的 ID 号，用于指示扩展功能的性质和格式。 L1 PM Substates Extended Capability 的 PCI Express Extended Capability ID 为 001Eh。	RO
19:16	Capability Version - 该字段是 PCI-SIG 定义版本号，指示实现的 Capability structure 的版本。	RO

	对于该版本的规范，必须为 1h。	
31:20	Next Capability Offset - 此字段指示到下一个 PCI Express Extended Capability structure 的偏移量；如果在 Capability 的链接列表中不存在其他项，则为 000h。	RO

7.8.3.2 L1 PM Substates Capabilities Register (Offset 04h)



Bit Location	Register Description	Attributes
0	PCI-PM L1.2 Supported - 置 1 表示支持 PCI-PM L1.2。	HwInit
1	PCI-PM L1.1 Supported - 置 1 表示支持 PCI-PM L1.1，一旦置 1 则所有实现 L1 PM Substate 的 Port 都要将该字段置 1。	HwInit
2	ASPM L1.2 Supported - 置 1 表示支持 ASPM L1.2。	HwInit
3	ASPM L1.1 Supported - 置 1 表示支持 ASPM L1.1。	HwInit
4	L1 PM Substates Supported - 置 1 表示该 Port 支持 L1 PM Substate。	HwInit
5	Link Activation Supported - 对 Downstream Port，该字段置 1 表示支持 Link Activation，参见 Section 5.5.6。 对 Upstream Port，该字段为 RsvdP。	HwInit/RsvdP
15:8	Port Common_Mode_Restore_Time - 指定该 Port 重建共模电压需要的时间(us)，参考 Table 5-11。 如果 PCI-PM L1.2 Supported 或 PCI-PM L1.1 Supported 两者中有一个置 1 或者都置 1，则该字段的值是有意义的，否则为 RsvdP。	HwInit/RsvdP
17:16	Port T_POWER_ON Scale - 为 Port T_POWER_ON Value 指定缩放比例。值的范围为：	HwInit/RsvdP

- 00b 2 us
- 01b 10 us
- 10b 100 us
- 11b Reserved

如果 PCI-PM L1.2 Supported 或 PCI-PM L1.1 Supported 两者中有一个置 1 或者都置 1, 则该字段的值是有意义的, 否则为 RsvdP。

默认值为 00b。

23:19

Port T_POWER_ON Value - 与 Port T_POWER_ON Scale 字段一起, 用于设置在 CLKREQ#信号有效之后当前 Port 需要链路另一端的 Port 从 L1.2 Exit 到接口有效的的时间。

HwInit/RsvdP

最终的 Port T_POWER_ON 的值是 Port T_POWER_ON Value 字段与 Port T_POWER_ON Scale 字段的乘积。

默认值为 00101b。

如果 PCI-PM L1.2 Supported 或 PCI-PM L1.1 Supported 两者中有一个置 1 或者都置 1, 则该字段的值是有意义的, 否则为 RsvdP。

7. 8. 3. 3 L1 PM Substates Control 1 Register (Offset 08h)

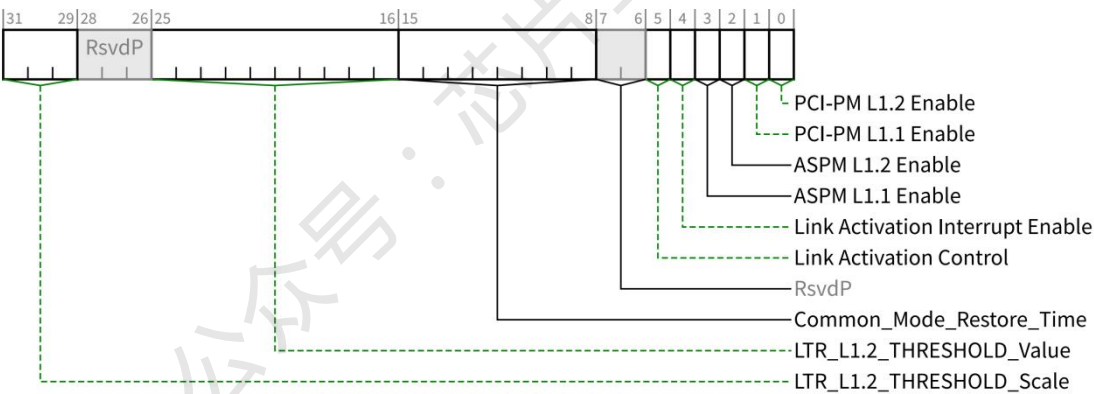


Figure 7-119 L1 PM Substates Control 1 Register

Bit Location	Register Description	Attributes
0	PCI-PM L1.2 Enable - 置 1 表示使能 PCI-PM L1.2。 Upstream Port 和 Downstream Port 都需要实现此字段。如果 PCI-PM L1.2 Support 字段为 0 则允许将此字段硬连线为 0。 为了与将来可能的扩展兼容, 如果 L1 PM Substates Supported 字段不为 1, 则软件不能使能 L1 PM Substate。 默认值为 0b。	RW

1	PCI-PM L1.1 Enable - 置 1 表示使能 PCI-PM L1.1。 Upstream Port 和 Downstream Port 都需要实现此字段。 为了与将来可能的扩展兼容, 如果 L1 PM Substates Supported 字段不为 1, 则软件不能使能 L1 PM Substate。 默认值为 0b。	RW
2	ASPM L1.2 Enable - 置 1 表示使能 ASPM L1.2。 Upstream Port 和 Downstream Port 都需要实现此字段。 如果 ASPM L1.2 Support 字段为 0 则允许将此字段硬连线为 0。 为了与将来可能的扩展兼容, 如果 L1 PM Substates Supported 字段不为 1, 则软件不能使能 L1 PM Substate。 默认值为 0b。	RW
3	ASPM L1.1 Enable - 置 1 表示使能 ASPM L1.1。 Upstream Port 和 Downstream Port 都需要实现此字段。 如果 ASPM L1.1 Support 字段为 0 则允许将此字段硬连线为 0。 为了与将来可能的扩展兼容, 如果 L1 PM Substates Supported 字段不为 1, 则软件不能使能 L1 PM Substate。 默认值为 0b。	RW
4	Link Activation Interrupt Enable - 置 1 时使能产生中断以指示 Link Activation 过程已完成。有关详细信息, 请参见 Section 5.5.6。 对 Downstream Port, 当 Link Activation Supported 为 1 时此字段有意义。其他情况允许将此字段硬连线为 0。 对 Upstream Port, 此字段为 RsvdP。 默认值为 0b。	RW/RsvdP
5	Link Activation Control - 置 1 时发起一个 Link Activation 过程。有关详细信息, 请参见 Section 5.5.6。 对 Downstream Port, 当 Link Activation Supported 为 1 时此字段有意义。其他情况允许将此字段硬连线为 0。 对 Upstream Port, 此字段为 RsvdP。 默认值为 0b。	RW/RsvdP
15:8	Common_Mode_Restore_Time - 设置 $T_{COMMONMODE}$ 的值 (us), Downstream Port 用此值记录重建共模电压的时间, 如 Table 5-11 描述。	RW/RsvdP

当 ASPM L1.1 Enable 和 ASPM L1.2 Enable 都为 0 时此字段的值才能被更改。如果 ASPM L1.1 Enable 和 ASPM L1.2 Enable 任何一个设置为 1 则行为不确定。

如果 PCI-PM L1.2 Supported 或 PCI-PM L1.1 Supported 两者中有一个置 1 或者都置 1，则该字段的值是有意义的，否则为 RsvdP。

对 Upstream Port，此字段为 RsvdP。

默认值是实现相关的。

25:16 **LTR_L1.2_THRESHOLD_Value** - 与 LTR_L1.2_THRESHOLD_Scale 一起用于指示由 L1.1 或 L1.2（if Enable）导致的进入 L1 的 LTR 阈值。 RW/RsvdP

该字段的默认值为 00 0000 0000b。

仅当 ASASPM L1.2 Enable 为 0 时，才可以修改此字段。ASASPM L1.2 Enable 为 1 时修改此字段，则端口行为是不确定的。

所有 ASPM L1.2 Supported 字段置 1 的 Port 此字段都是有意义的，否则此字段的类型为 RsvdP。

31:29 **LTR_L1.2_THRESHOLD_Scale** - 此字段为 LTR_L1.2_THRESHOLD_Value 字段提供缩放比例。编码值与 LTR Message 中的 LatencyScale 字段一致（Section 6.18）。 RW/RsvdP

该字段的默认值为 000b。

如果软件在此字段中写入编码之外的值，则硬件行为是不确定的。

仅当 ASPM L1.2 Enable 为 0 时，才可以修改此字段。ASASPM L1.2 Enable 为 1 时修改此字段，则端口行为是不确定的。

所有 ASPM L1.2 Supported 字段置 1 的 Port 此字段都是有意义的，否则此字段的类型为 RsvdP。

7.8.3.4 **L1 PM Substates Control 2 Register (Offset 0Ch)**

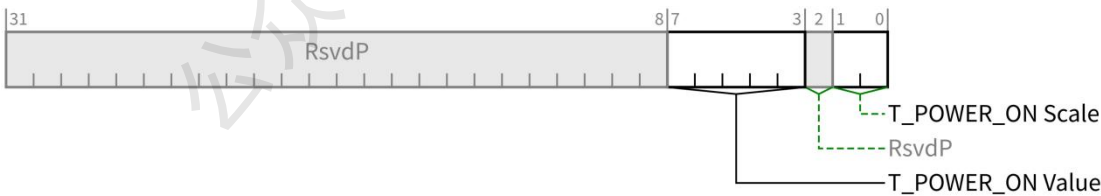


Figure 7-120 L1 PM Substates Control 2 Register

Bit Location	Register Description	Attributes
1:0	T_POWER_ON Scale - 为 T_POWER_ON Value 指定缩放比例。值的范围为： 00b 2 us 01b 10 us 10b 100 us	RW/RsvdP

11b Reserved

所有支持 L1.2 的 Port 此字段都需要实现此字段，否则为 RsvdP。

当 ASPM L1.1 Enable 和 ASPM L1.2 Enable 都为 0 时此字段的值才能被更改。如果 ASPM L1.1 Enable 和 ASPM L1.2 Enable 任何一个设置为 1 则行为不确定。

默认值为 00b。

7:3 **T_POWER_ON Value** - 与 T_POWER_ON Scale 字段一起，用于设置在 CLKREQ# 信号有效之后当前 Port 需要链路另一端的 Port 从 L1.2 Exit 到接口有效的最小时间。 RW/RsvdP

最终的 T_POWER_ON 的值是 T_POWER_ON Value 字段与 T_POWER_ON Scale 字段的乘积。

当 ASPM L1.1 Enable 和 ASPM L1.2 Enable 都为 0 时此字段的值才能被更改。如果 ASPM L1.1 Enable 和 ASPM L1.2 Enable 任何一个设置为 1 则行为不确定。

默认值是 00101b。

所有支持 L1.2 的 Port 此字段都需要实现此字段，否则为 RsvdP。

7.8.3.5 L1 PM Substates Status Register (Offset 10h)

如果 L1 PM Substates Extended Capability Header 中的 Capability Version 为 2h 或更大，则硬件必须实现此寄存器。如果 Capability Version 为 1h，则此寄存器不存在。

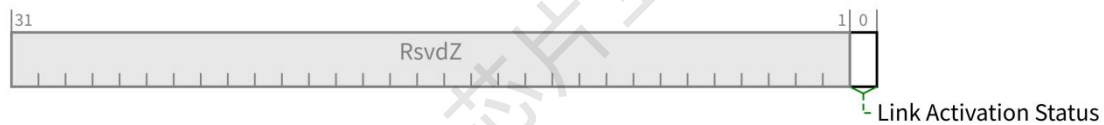


Figure 7-121 L1 PM Substates Status Register

Bit Location	Register Description	Attributes
0	Link Activation Status - 指示 Link Activation 的状态。参见 Section 5.5.6。 对 Downstream Port，当 Link Activation Supported 为 1 时此字段有意义，否则可以硬连线为 0b。 对 Upstream Port，此字段必须为 RsvdP。 默认值为 0b。	RW1C/RsvdP

7.8.4 Advanced Error Reporting Extended Capability

本节描述高级错误报告功能。Root Port 和 Root Complex Event Collector 实现了一些额外的寄存器来支持高级错误报告功能。软件读取 Device/Port Type 的值来判断是否是 Root Port 或 Root Complex Event Collector，以此判断是否实现了额外的寄存器。

Figure 7-122 给出了 PCI Express Advanced Error Reporting Capability 的结构。

请注意，如果错误报告比特位在错误寄存器中标记为可选，则这些位必须在 Status、Mask 和 Severity 寄存器中要么都实现要么

都不实现。除非另有说明，否则未实现的比特位必须硬连线为 0。

除 Root Port 和 Root Complex Event Collector 外，如果 End-End TLP Prefix Supported 置 1，则 Root Error Command 和 Error Source Identification Register 必须为 RsvdP，Root Error Status Register 必须为 RsvdZ。

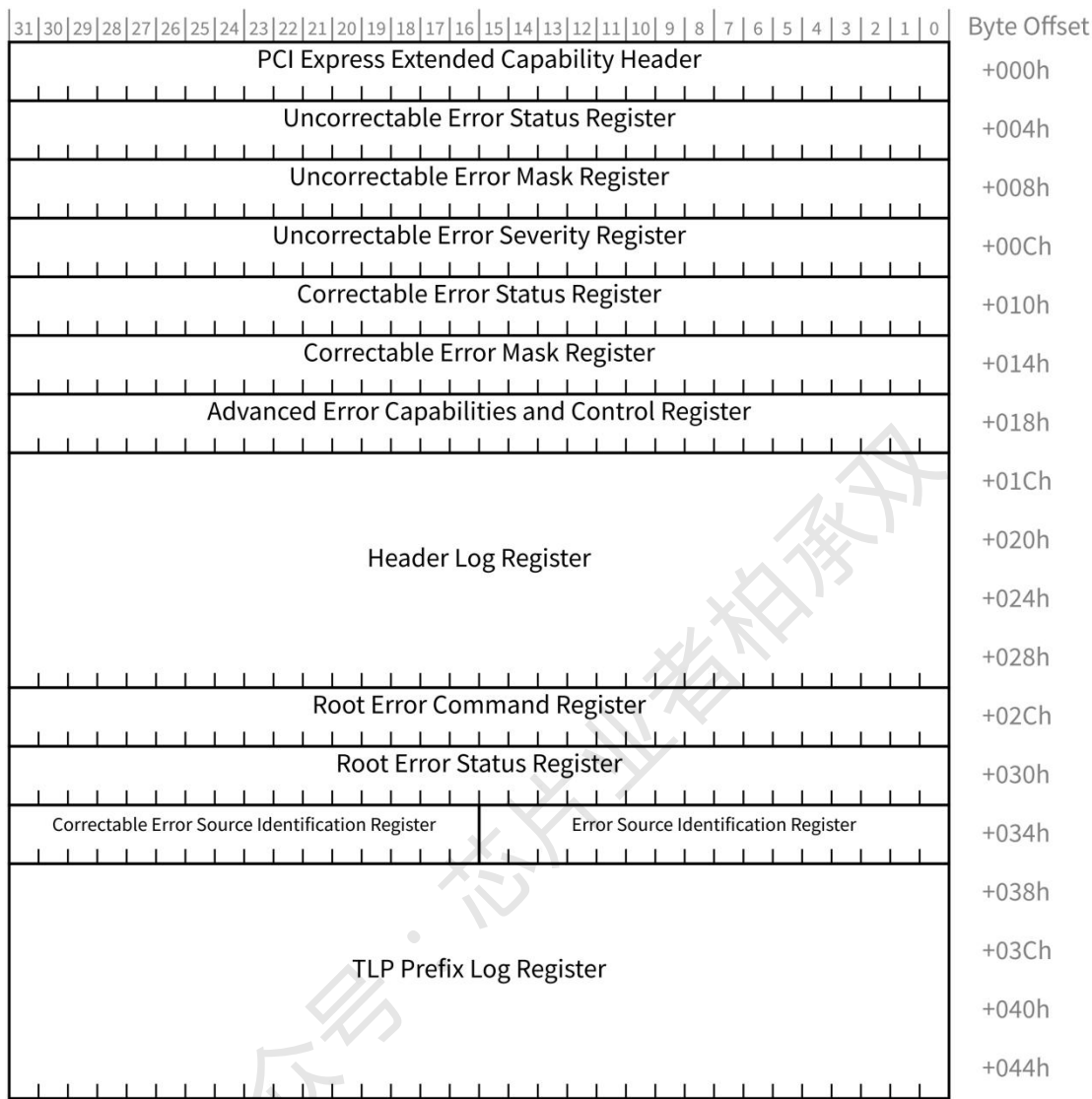


Figure 7-122 Advanced Error Reporting Extended Capability Structure

7.8.4.1 Advanced Error Reporting Extended Capability Header (Offset 00h)

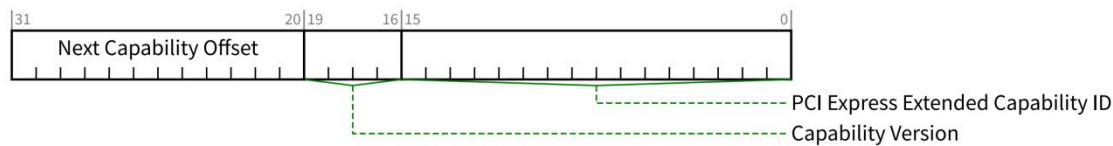


Figure 7-123 Advanced Error Reporting Extended Capability Header

Bit Location	Register Description	Attributes
--------------	----------------------	------------

15:0	PCI Express Extended Capability ID - 该字段是 PCI-SIG 定义的 ID 号, 用于指示扩展功能的性质和格式。	RO
	Advanced Error Reporting Capability 的 PCI Express Extended Capability ID 为 0001h。	
19:16	Capability Version - 该字段是 PCI-SIG 定义版本号, 指示实现的 Capability structure 的版本。	RO
	如果 End-End TLP Prefix Supported 置 1 (Section 7.5.3.15), 则此字段必须为 2h, 否则必须为 1h 或 2h。	
31:20	Next Capability Offset - 此字段指示到下一个 PCI Express Extended Capability structure 的偏移量; 如果在 Capability 的链接列表中不存在其他项, 则为 000h。	RO

7.8.4.2 Uncorrectable Error Status Register (Offset 04h)

Uncorrectable Error Status Register 指示 PCI Express device Function 的错误检测状态。对应比特位置 1 表示检测到特定错误; 软件可以写 1b 来清除错误状态。有关更多详细信息, 请参见 Section 6.2。该 Function 未实现的错误状态位硬连线至 0b。Figure 7-124 详细说明了 Uncorrectable Error Status Register 的字段分配; Section 7.8.4.2 提供了相应的比特位定义。

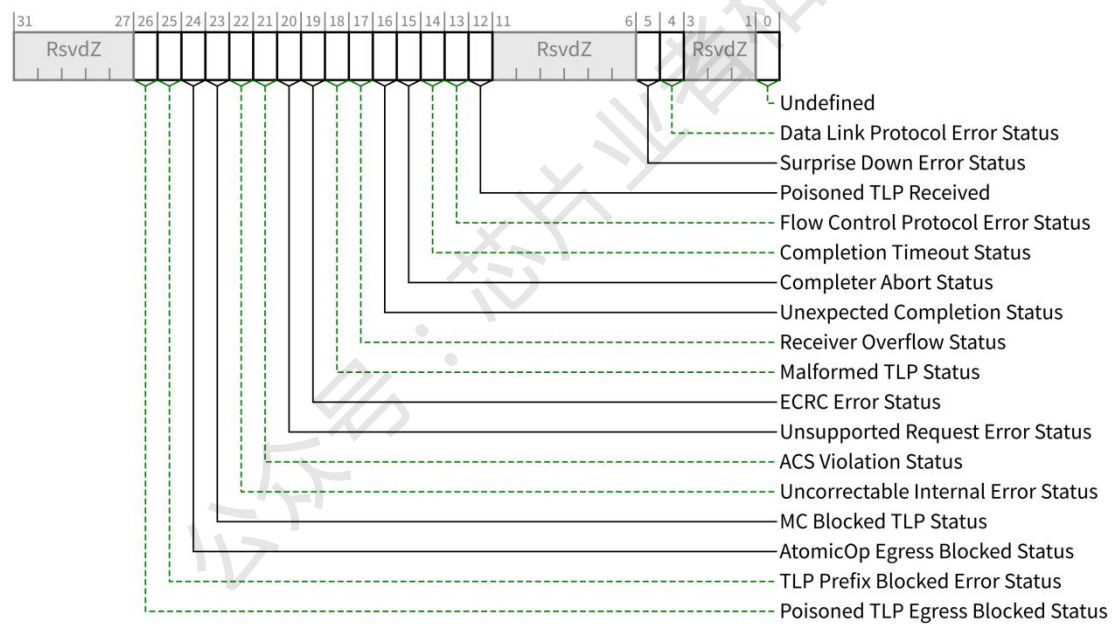


Figure 7-124 Uncorrectable Error Status Register

Bit Location	Register Description	Attributes	Default
0	Undefined - 读取该字段的值是不确定的。在以前的规范中, 该字段用于指示链路训练错误。系统软件必须忽略从该字段读取的值。 允许系统软件向该位写入任何值。	Undefined	Undefined
4	Data Link Protocol Error Status - 。	RW1CS	0b

5	Surprise Down Error Status (Optional) - 。	RW1CS	0b
12	Poisoned TLP Received -	RW1CS	0b
13	Flow Control Protocol Error Status (Optional) - 。	RW1CS	0b
14	Completion Timeout Status ¹⁵⁰ - 。	RW1CS	0b
15	Completer Abort Status (Optional) - 。	RW1CS	0b
16	Unexpected Completion Status - 。	RW1CS	0b
17	Receiver Overflow Status (Optional) - 。	RW1CS	0b
18	Malformed TLP Status - 。	RW1CS	0b
19	ECRC Error Status (Optional) - 。	RW1CS	0b
20	Unsupported Request Error Status - 。	RW1CS	0b
21	ACS Violation Status (Optional) - 。	RW1CS	0b
22	Uncorrectable Internal Error Status (Optional) - 。	RW1CS	0b
23	MC Blocked TLP Status (Optional) - 。	RW1CS	0b
24	AtomicOp Egress Blocked Status (Optional) - 。	RW1CS	0b
25	TLP Prefix Blocked Error Status (Optional) - 。	RW1CS	0b
26	Poisoned TLP Egress Blocked Status (Optional) - 。	RW1CS	0b

Note 150：对于 Switch Port，如果 Switch Port 自己发出 Non-Posted Request（相对于仅转发其他设备生成的此类请求），则为必选。如果 Switch Port 自己不发出此类请求，则完成超时机制不适用，并且该位必须硬连线至 0b。

7.8.4.3 Uncorrectable Error Mask Register (Offset 08h)

Uncorrectable Error Mask Register 的每个比特用于对 Uncorrectable Error Status Register 中的对应比特做掩码。被掩码的比特位对应的错误不会在 Header Log、TLP Prefix Log 或 First Error Pointer 中记录，也不会向 Root Complex 上报错误消息。有关更多详细信息，请参见 Section 6.2。Figure 7-125 详细说明了该寄存器字段的分配；Table 7-101 提供了相应的比特位定义。

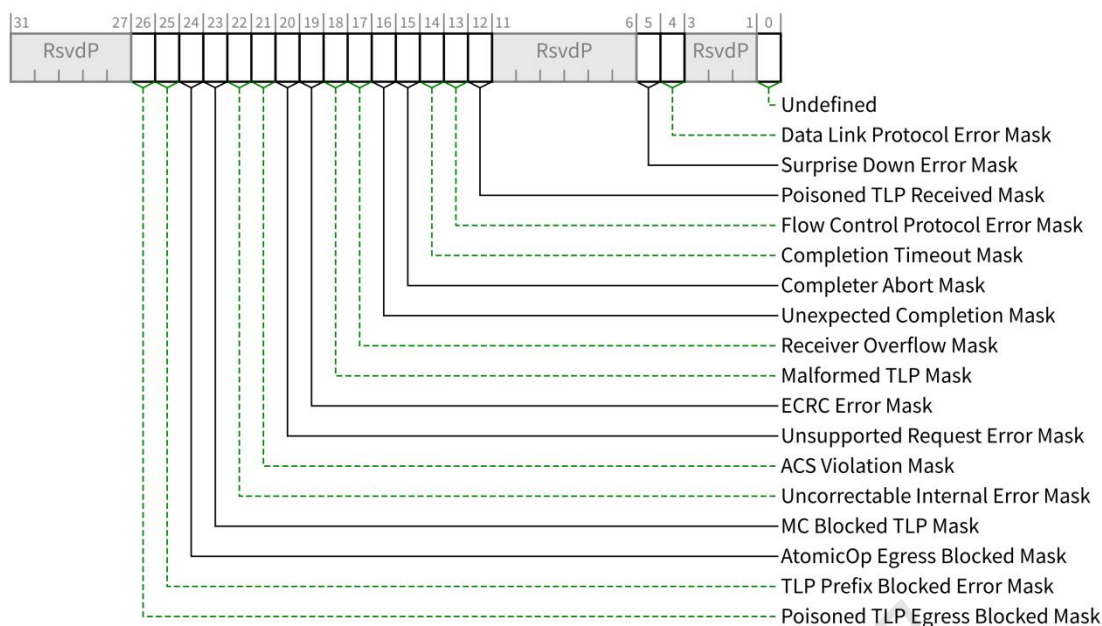


Figure 7-125 Uncorrectable Error Mask Register

Bit Location	Register Description	Attributes	Default
0	Undefined - 读取该字段的值是不确定的。在以前的规范中，该字段用于指示链路训练错误。系统软件必须忽略从该字段读取的值。允许系统软件向该位写入任何值。	Undefined	Undefined
4	Data Link Protocol Error Mask - 。	RWS	0b
5	Surprise Down Error Mask (Optional) - 。	RWS	0b
12	Poisoned TLP Received Mask - 。	RWS	0b
13	Flow Control Protocol Error Mask (Optional) - 。	RWS	0b
14	Completion Timeout Mask ¹⁴ - 。	RWS	0b
15	Completer Abort Mask (Optional) - 。	RWS	0b
16	Unexpected Completion Mask - 。	RWS	0b
17	Receiver Overflow Mask (Optional) - 。	RWS	0b
18	Malformed TLP Mask - 。	RWS	0b
19	ECRC Error Mask (Optional) - 。	RWS	0b
20	Unsupported Request Error Mask - 。	RWS	0b

21	ACS Violation Mask (Optional) - 。	RWS	0b
22	Uncorrectable Internal Error Mask (Optional) - 。	RWS	1b
23	MC Blocked TLP Mask (Optional) - 。	RWS	0b
24	AtomicOp Egress Blocked Mask (Optional) - 。	RWS	0b
25	TLP Prefix Blocked Error Mask (Optional) - 。	RWS	0b
26	Poisoned TLP Egress Blocked Mask (Optional) - 。	RWS	1b

Note 151：对于 Switch Port，如果 Switch Port 自己发出 Non-Posted Request（相对于仅转发其他设备生成的此类请求），则为必选。如果 Switch Port 自己不发出此类请求，则完成超时机制不适用，并且该位必须硬连线至 0b。

7.8.4.4 Uncorrectable Error Severity Register (Offset 0Ch)

Uncorrectable Error Severity Register 控制将对应错误报告为非致命错误还是致命错误。当严重性寄存器中的相应比特位被置 1 时，对应错误被报告为致命错误。如果该位为 0，则将对应的错误视为非致命错误。有关更多详细信息，请参见 Section 6.2。Function 未实现的比特位硬连线至实现特定的值。Figure 7-126 详细说明了该寄存器的字段分配；Table 7-102 提供了相应的比特位定义。

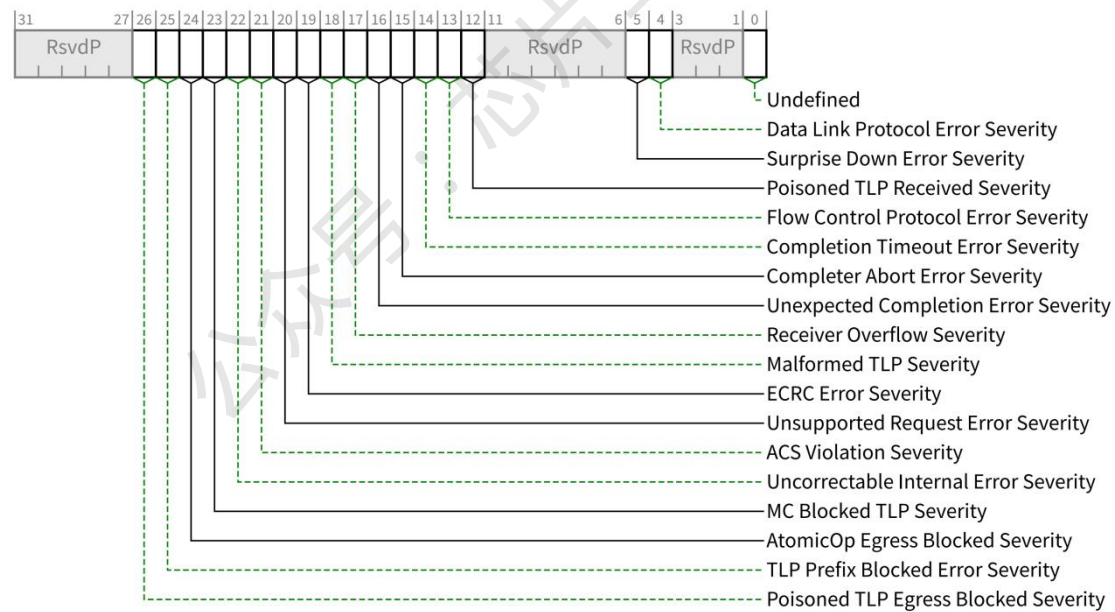


Figure 7-126 Uncorrectable Error Severity Register

Bit Location	Register Description	Attributes	Default
0	Undefined - 读取该字段的值是不确定的。在以前的规范中，该字段用于指示链路训练错误。系统软件必须忽略从该字段读取的值。 允许系统软件向该位写入	Undefined	Undefined

任何值。

4	Data Link Protocol Error Severity - 。	RWS	1b
5	Surprise Down Error Severity (Optional) - 。	RWS	1b
12	Poisoned TLP Received Severity -	RWS	0b
13	Flow Control Protocol Error Severity (Optional) - 。	RWS	1b
14	Completion Timeout Severity ¹⁵² - 。	RWS	0b
15	Completer Abort Severity (Optional) - 。	RWS	0b
16	Unexpected Completion Severity - 。	RWS	0b
17	Receiver Overflow Severity (Optional) - 。	RWS	1b
18	Malformed TLP Severity - 。	RWS	1b
19	ECRC Error Severity (Optional) - 。	RWS	0b
20	Unsupported Request Error Severity - 。	RWS	0b
21	ACS Violation Severity (Optional) - 。	RWS	0b
22	Uncorrectable Internal Error Severity (Optional) - 。	RWS	1b
23	MC Blocked TLP Severity (Optional) - 。	RWS	0b
24	AtomicOp Egress Blocked Severity (Optional) - 。	RWS	0b
25	TLP Prefix Blocked Error Severity (Optional) - 。	RWS	0b
26	Poisoned TLP Egress Blocked Severity (Optional) - 。	RWS	0b

Note 152：对于 Switch Port，如果 Switch Port 自己发出 Non-Posted Request（相对于仅转发其他设备生成的此类请求），则为必选。如果 Switch Port 自己不发出此类请求，则完成超时机制不适用，并且该位必须硬连线至 0b。

7.8.4.5 Correctable Error Status Register (Offset 10h)

Correctable Error Status Register 指示 PCI Express device Function 的错误检测状态。对应比特位置 1 表示检测到特定错误；软件可以写 1b 来清除错误状态。有关更多详细信息，请参见 Section 6.2。该 Function 未实现的错误状态位硬连线至 0b。Figure 7-127 详细说明了该寄存器的字段分配；Table 7-103 提供了相应的比特位定义。

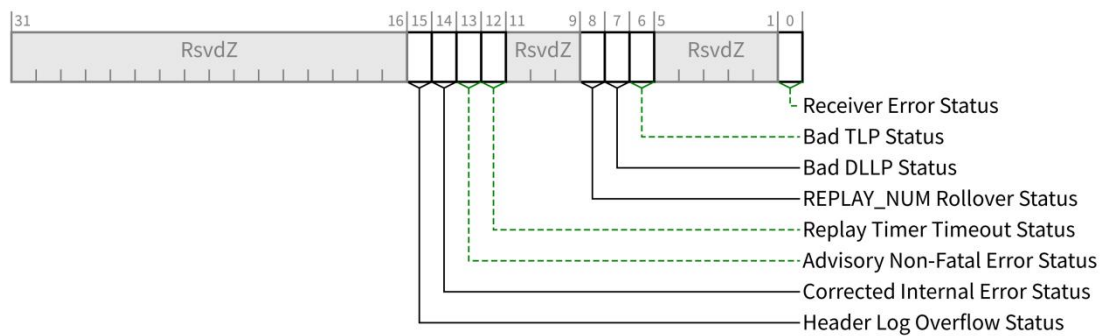


Figure 7-127 Correctable Error Status Register

Bit Location	Register Description	Attributes	Default
0	Receiver Error Status ¹⁵³ - 。	Undefined	Undefined
6	Bad TLP Status - 。	RW1CS	0b
7	Bad DLLP Status - 。	RW1CS	0b
8	REPLAY_NUM Rollover Status -	RW1CS	0b
12	Replay Timer Timeout Status - 。	RW1CS	0b
13	Advisory Non-Fatal Error Status - 。	RW1CS	0b
14	Corrected Internal Error Status - 。	RW1CS	0b
15	Header Log Overflow Status - 。	RW1CS	0b

Note 153: 由于历史原因，该位的实现是可选的。如果未实现，则该位必须为 RsvdZ，并且 Correctable Error Mask Register 中的对应比特位也不得实现。 请注意，在所有情况下都需要对接收器错误进行一些检查（请参见 Section 4.2.1.1.3，Section 4.2.4.8 和 Section 4.2.6）。

7. 8. 4. 6 Correctable Error Mask Register (Offset 14h)

Correctable Error Mask Register 的每个比特用于对 Correctable Error Status Register 中的对应比特做掩码。被掩码的比特位对应的错误不会向 Root Complex 上报错误消息。有关更多详细信息，请参见 Section 6.2。Figure 7-128 详细说明了该寄存器字段的分配；Table 7-104 提供了相应的比特位定义。

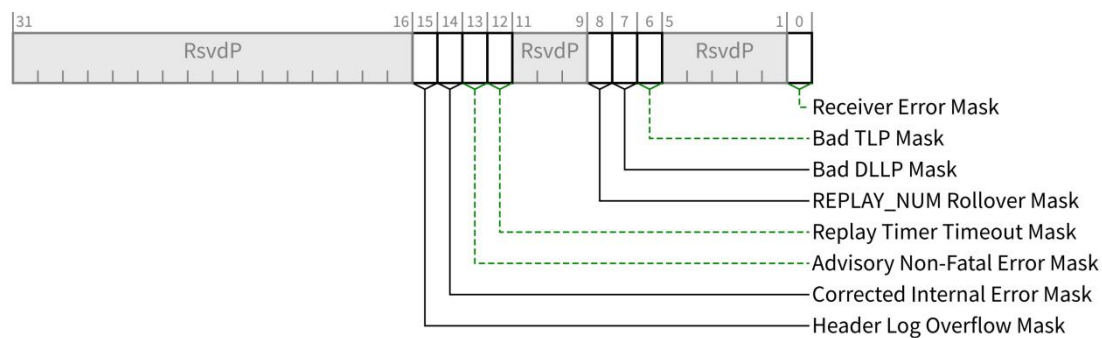


Figure 7-128 Correctable Error Mask Register

Bit Location	Register Description	Attributes	Default
0	Receiver Error Mask ¹⁵⁴ - 。	Undefined	Undefined
6	Bad TLP Mask - 。	RWS	0b
7	Bad DLLP Mask - 。	RWS	0b
8	REPLAY_NUM Rollover Mask -	RWS	0b
12	Replay Timer Timeout Mask - 。	RWS	0b
13	Advisory Non-Fatal Error Mask - 。	RWS	1b
14	Corrected Internal Error Mask - 。	RWS	1b
15	Header Log Overflow Mask - 。	RWS	1b

Note 154: 由于历史原因，该位的实现是可选的。如果未实现，则该位必须为 RsvdZ，并且 Correctable Error Mask Register 中的对应比特位也不得实现。 请注意，在所有情况下都需要对接收器错误进行一些检查（请参见 Section 4.2.1.1.3，Section 4.2.4.8 和 Section 4.2.6）。

7. 8. 4. 7 Advanced Error Capabilities and Control Register (Offset 18h)

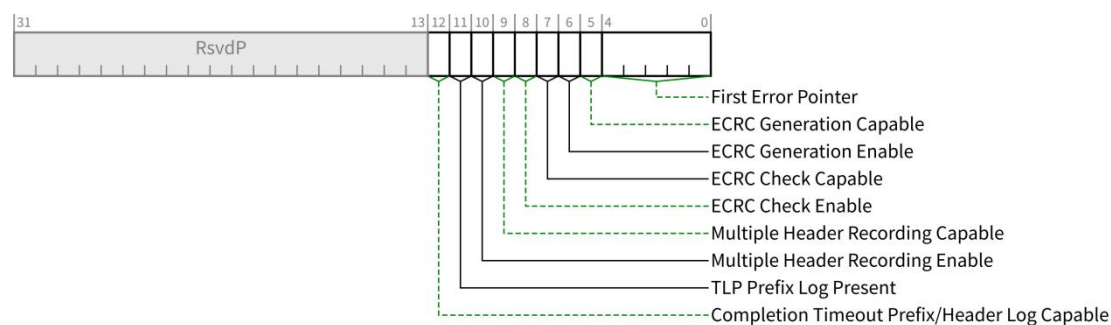


Figure 7-129 Advanced Error Capabilities and Control Register

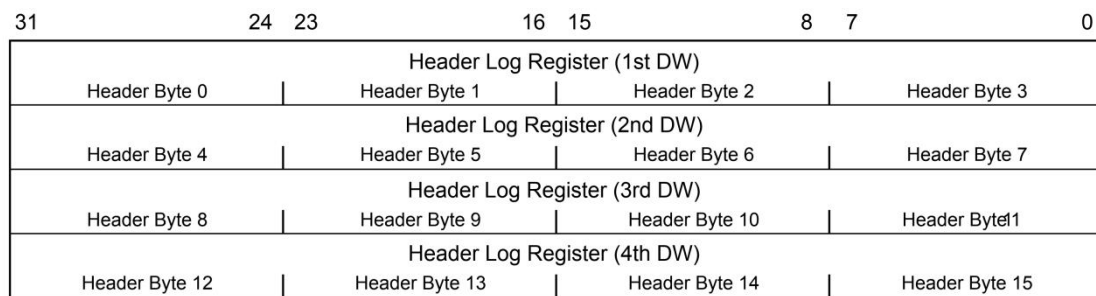
Bit Location	Register Description	Attributes
4:0	First Error Pointer - 该字段用于标识 Uncorrectable Error Status Register 中报告的第一个错误的比特位的位置。有关更多详细信息，请参见 Section 6.2。	ROS
5	ECRC Generation Capable - 置 1 表示该 Function 支持生成 ECRC (Section 2.7) 。	RO
6	ECRC Generation Enable - 置 1 表示使能 ECRC 生成。Function 没有实现相关机制的话该比特位可以硬连线为 0b。 默认值为 0b。	RWS
7	ECRC Check Capable - 置 1 表示该 Function 支持 ECRC 检查 (Section 2.7) 。	RO
8	ECRC Check Enable - 置 1 表示使能 ECRC 检查。Function 没有实现相关机制的话该比特位可以硬连线为 0b。 默认值为 0b。	RWS
9	Multiple Header Recording Capable - 置 1 表示该 Function 能够记录多个 error header。有关更多详细信息，请参见 Section 6.2。	RO
10	Multiple Header Recording Enable - 置 1 表示启用记录多个 error header 的功能。Function 没有实现相关机制的话该比特位可以硬连线为 0b。 默认值为 0b。	RWS
11	TLP Prefix Log Present - 如果该字段置 1 并且 First Error Pointer 有效，则表示 TLP Prefix Log Register 包含有效信息。如果该字段为 0 或者 First Error Pointer 无效，则 TLP Prefix Log Register 是未定义的。 默认值为 0。如果 End-End TLP Prefix Supported 为 0，则该字段为 RsvdP。	ROS
12	Completion Timeout Prefix/Header Log Capable - 置 1 表示此 Function 会记录引发完成超时机制的 Request TLP 的 Prefix/Header。	RO

7.8.4.8 Header Log Register (Offset 1Ch)

Header Log Register 存储检测到的错误对应的 TLP Header；有关更多详细信息，请参见 Section 6.2。Section 6.2 还描述了记录 TLP Header 的条件。该寄存器为 16 个字节，并遵循规范定义的 TLP Header 格式。

在某些情况下，如果报告了一个 Malformed TLP，则 Header Log Register 可能包含 TLP Prefix 信息。有关详细信息，请参见 Section 6.2.4.4。

Figure 7-130 给出了 Header Log Register 字段的分配；Table 7-106 提供了相应的比特位定义。



OM14549A

Figure 7-130 Header Log Register

Bit Location	Register Description	Attributes	Default
127:0	Header of TLP associated with error - 。	ROS	0

7.8.4.9 Root Error Command Register (Offset 2Ch)

Root Error Command Register 可以进一步控制 Root Complex 对 Correctable、Non-Fatal 和 Fatal 错误消息的响应。Figure 7-131 给出该寄存器的字段分配，Table 7-107 描述了这些字段，这些字段用于控制当设备报告错误消息时 Root Complex 是否生成中断。

对于 Root Port 和 Root Complex Event Collector，为了使接收到的错误消息或内部生成的错误消息生成此寄存器使能的中断，Root Port 或 Root Complex Event Collector 必须实现一种类似传输错误消息的机制（请参阅 Section 6.2.4.1 和 Section 6.2.8.1）。

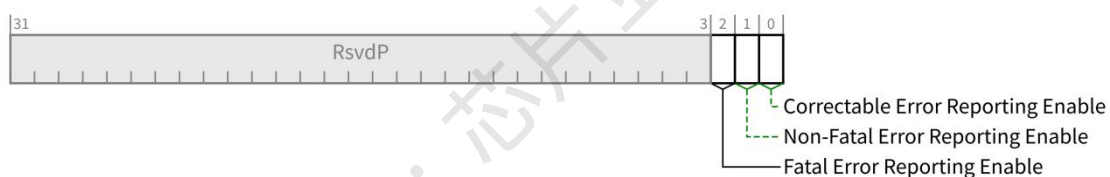


Figure 7-131 Root Error Command Register

Bit Location	Register Description	Attributes	Default
0	Correctable Error Reporting Enable - 置 1 时, 当此 Root Port 下的拓扑中有 Function 报告了可纠正错误时会生成一个中断。 Root Complex Event Collector 为 RCiEP 提供了上述功能的支持。 参阅 Section 6.2 获取详细信息。	RW	0b
1	Non-Fatal Error Reporting Enable - 置 1 时, 当此 Root Port 下的拓扑中有 Function 报告了非致命错误时会生成一个中断。 Root Complex Event Collector 为 RCiEP 提供了上述功能的支持。 参阅 Section 6.2 获取详细信息。	RW	0b
2	Fatal Error Reporting Enable - 置 1 时, 当此 Root Port 下的拓扑中有 Function 报告	RW	0b

了致命错误时会生成一个中断。

Root Complex Event Collector 为 RCiEP 提供了上述功能的支持。

参阅 Section 6.2 获取详细信息。

对于因响应 PCI Express 错误消息而生成的系统错误中断, 系统软件可以使用 Section 7.5.3 中描述的 PCI Express Capability structure 来关闭。有关更多详细信息, 请参见 Section 6.2。

7.8.4.10 Root Error Status Register (Offset 30h)

Root Error Status Register 报告 Root Port 接收到的错误消息 (ERR_COR, ERR_NONFATAL 和 ERR_FATAL) 的状态, 以及 Root Port 本身检测到的错误的状态 (在概念上被视为 Root Port 向其自身发送错误消息)。ERR_NONFATAL 和 ERR_FATAL 消息被分组为不可纠正错误消息。每个可纠正和不可纠正 (包括非致命和致命) 错误源分别具有一个第一错误比特位和一个下一个错误比特位。当 Root Complex 收到错误时, 相应的第一个错误比特位将被置位, 并且其 Requester ID 将记录在 Error Source Identification Register 中。对应错误状态位置 1 表示发生了特定的错误; 软件可以通过将 1b 写入相应的比特位来清除错误状态。如果在接收到相同类别 (可纠正或不可纠正) 的另一个错误消息之前, 软件未清除第一个报告的错误, 则将设置相应的下一个错误状态比特位, 但后续错误消息的 Requester ID 将被丢弃。下一个错误状态比特位也可以由软件清除, 方法也是将 1b 写入相应的比特位。有关更多详细信息, 请参见 Section 6.2。无论 Root Control Register 和 Root Error Command Register 的设置如何, 都会更新该寄存器。Figure 7-132 详细说明了 Root Error Status Register 中的寄存器字段分配; Table 7-108 提供了相应的比特位定义。Root Complex Event Collector 为 RCiEP (以及 Root Complex Event Collector 本身) 提供了上述功能的支持。为了更新此寄存器, 必须由 Root Complex Event Collector 从其关联的 RCiEP 接收到的错误消息和/或内部生成的错误消息, 以进行“传输”。

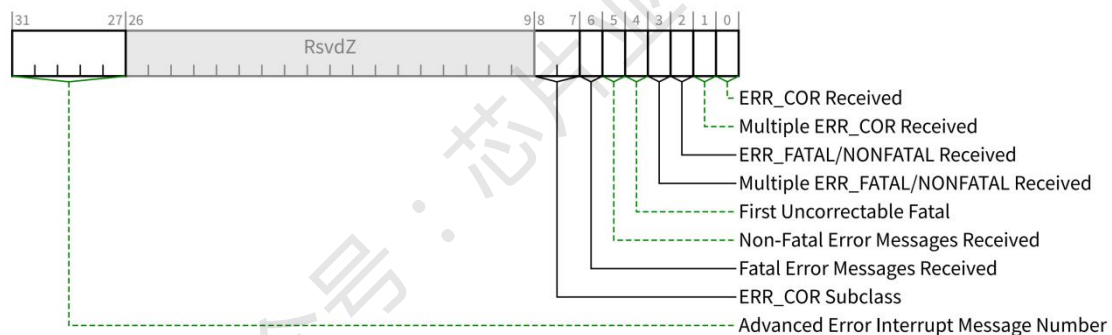


Figure 7-132 Root Error Status Register

Bit Location	Register Description	Attributes
0	ERR_COR Received - 当收到一个 Correctable error Message 且该字段之前未置 1 时, 该字段置 1。 默认值为 0b。	RW1CS
1	Multiple ERR_COR Received - 当收到一个 Correctable error Message 且 ERR_COR Received 字段置 1 时, 该字段置 1。 默认值为 0b。	RW1CS
2	ERR_FATAL/NONFATAL Received - 当收到一个 Fatal 或者 Non-Fatal error Message 且该字段之前未置 1 时, 该字段置 1。	RW1CS

	默认值为 0b。	
3	Multiple ERR_FATAL/NONFATAL Received - 当收到一个 Fatal 或者 Non-Fatal error Message 且 ERR_FATAL/NONFATAL Received 字段置 1 时, 该字段置 1。 默认值为 0b。	RW1CS
4	First Uncorrectable Fatal - 当收到第一个针对 Fatal error 的 Uncorrectable error Message 时此字段置 1。 默认值为 0b。	RW1CS
5	Non-Fatal Error Messages Received - 当收到一个或多个 Non-Fatal Uncorrectable error Message 时该字段置 1。 默认值为 0b。	RW1CS
6	Fatal Error Messages Received - 当收到一个或多个 Fatal Uncorrectable error Message 时该字段置 1。 默认值为 0b。	RW1CS
8:7	ERR_COR Subclass - 如果 Function 实现了 ERR_COR Subclass capable, 并且 ERR_COR Received 字段未置 1, 则此字段的值为接收到的 ERR_COR 消息中对应字段的值。参阅 Section 2.2.8.3。该字段中的值仅在 ERR_COR Received 位置 1 时有效。如果该 Function 不支持 ERR_COR Subclass, 则此字段为 RsvdZ。 如果 Function 实现了 ERR_COR Subclass capable, 并且接收到一个 SIG_SFW ERR_COR 消息, 则应使用特定于系统的机制来发信号通知系统固件。 默认值为 00b。	ROS/RsvdZ
31:27	Advanced Error Interrupt Message Number - 该寄存器指示哪个 MSI/MSI-X 向量用于与该 Capability 的任何状态位关联生成的中断消息。 对于 MSI, 此寄存器中的值指示基本 Message Data 和所生成的中断消息之间的偏移量。需要硬件来更新此字段, 以便当软件写入 Message Control Register 中的 Multiple Message Enable 字段时, 分配给该 Function 的 MSI 消息的数目发生改变时, 它是正确的。 对于 MSI-X, 此寄存器中的值指示使用哪个 MSI-X Table entry 来生成中断消息。即使 Function 实现了 32 个以上的条目, 该条目也必须是前 32 个条目之一。对于给定的 MSI-X 实现, 该条目必须保持不变。 如果同时实现了 MSI 和 MSI-X, 则允许它们使用不同的向量, 尽管允许软件一次仅启用一种机制。如果使能了 MSI-X, 则该寄存器中的值必须指示 MSI-X 的向量。 如果使能了 MSI 或两只都不使能, 则该寄存器中的值必须指示 MSI 的向量。如果软件同时使能 MSI 和 MSI-X, 则该寄存器中的值未定义。	RO

7.8.4.11 Error Source Identification Register (Offset 34h)

Error Source Identification Register 标识 Root Error Status Register 中报告的第一个可纠正和不可纠正 (非致命/致命) 错误的来源 (以 Requester ID 标识)。有关更多详细信息, 请参见 Section 6.2。无论 Root Control Register 和 Root Error Command Register 的设置如何, 都会更新该寄存器。Figure 7-13 详细说明了该寄存器字段的分配; Table 7-109 提供了相应的比特位定义。

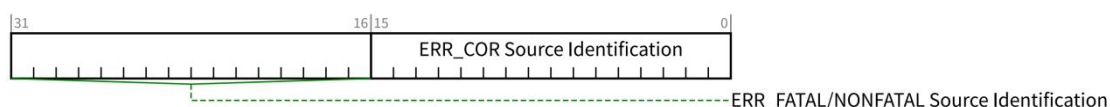


Figure 7-133 Error Source Identification Register

Bit Location	Register Description	Attributes
15:0	ERR_COR Source Identification - 记录当 ERR_COR Received 字段未置 1 时收到的 ERR_COR Message 中的 Requester ID。 默认值为 0000h。	ROS
31:16	ERR_FATAL/NONFATAL Source Identification - 记录当 ERR_FATAL/NONFATAL Received 字段未置 1 时收到的 ERR_FATAL 或 ERR_NONFATAL Message 中的 Requester ID。 默认值为 0000h。	ROS

7.8.4.12 TLP Prefix Log Register (Offset 38h)

TLP Prefix Log Register 捕获与检测到的错误相对应的 TLP 的 End-End TLP Prefix。有关更多详细信息, 请参见 Section 6.2。仅当 TLP Prefix Log Present 置 1 时, TLP Prefix Log Register 才有意义 (请参见 Section 7.8.4.7)。

TLP Prefix 这样捕获, 以便在使用 DW 访问读取时, 以与描述 TLP Prefix 的字段相同的方式布局 TLP Prefix 的字段。因此, TLP Prefix 的 Byte 0 位于相关的 TLP Prefix Log Register 的 Byte 3 中; TLP Prefix 的 Byte 1 位于 TLP Prefix Log Register 的 Byte 2 中; 依次类推。

First TLP Prefix Log Register 包含来自 TLP 的第一个 End-End TLP Prefix (Section 6.2.4.4)。Second TLP Prefix Log Register 包含来自 TLP 的第二个 End-End TLP Prefix, 依此类推。如果 TLP 的 End-End TLP Prefix 个数少于四个, 则其余的 TLP Prefix Log Register 值为 0。如果 TLP 的 End-End TLP Prefix 个数大于 Max End-End TLP Prefixes 字段指定的值, 则该 TLP 必须作为错误处理 (有关详细信息, 请参阅 Section 2.2.10.2)。为了使软件能够检测到这种情况, 在此寄存器中记录了所支持数量的 End-End TLP Prefix, 然后第一个溢出的 End-End TLP Prefix 记录在 Header Log 寄存器的第一个 DW 中, Header Log 的其余 DW 是未定义的 (请参见 Section 6.2.4.4)。

超出 Function 支持数量的 TLP Prefix Log Register 被硬接线为零。例如, 如果 Function 的 Max End-End TLP Prefixes 字段值为 10b (指示 2 DW 的缓冲), 则将第三和第四个 TLP Prefix Log Register 硬连线为零。如果 End-End TLP Prefix Supported 字段 (Section 7.5.3.15) 清零, 则不需要实现 TLP Prefix Log Register。

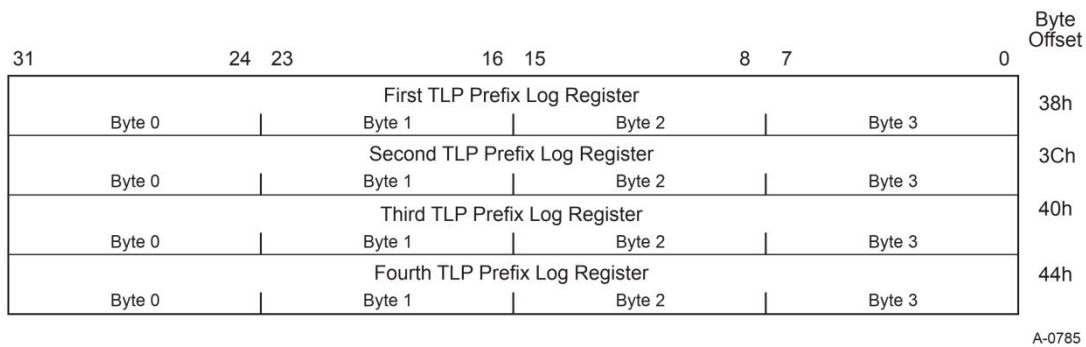


Figure 7-134 TLP Prefix Log Register

Bit Location	Register Description	Attributes	Default
127:0	TLP Prefix Log	ROS	0

7. 8. 5 Enhanced Allocation Capability Structure (EA)

支持 Enhanced Allocation 机制的每个 Function 都必须实现 Enhanced Allocation capability structure。

在以下各节中定义每个字段。当读和写操作必须无效时，保留寄存器必须返回 0。只读寄存器在读取时返回有效数据，并且写入操作必须无效。

7. 8. 5. 1 Enhanced Allocation Capability First DW (Offset 00h)

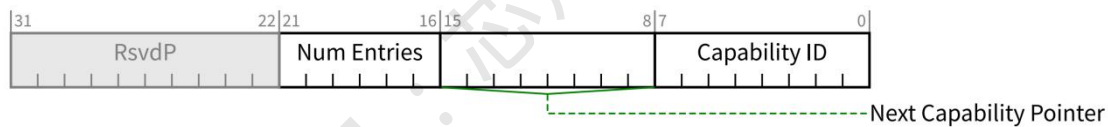


Figure 7-135 First DW of Enhanced Allocation Capability

Bit Location	Register Description	Attributes
7:0	Capability ID - Enhanced Allocation capability 的 Capability ID 为 14h。此字段为只读。	HwInit
15:8	Next Capability Pointer - 指向 Capability 链表的下一个地址。如果是链表的最后一项则该值为 NULL。此字段为只读。	HwInit
21:16	Num Entries - 指定该 DW 后的 entry 数。000000b 表示之后无 entry。此字段为只读。	HwInit

7. 8. 5. 2 Enhanced Allocation Capability Second DW (Offset 04h)[Type 1 Functions Only]

仅用于 Type 1 Function，这意味着在第一个 entry 之前 Function 中还有第二个 DW。每当在 Type 1 Function 中实现此 Capability 时，Enhanced Allocation Capability 必须实现第二个 DW。Enhanced Allocation Capability 的第二个 DW 如 Figure 7-136 所示，并记录在 Table 7-112 中。

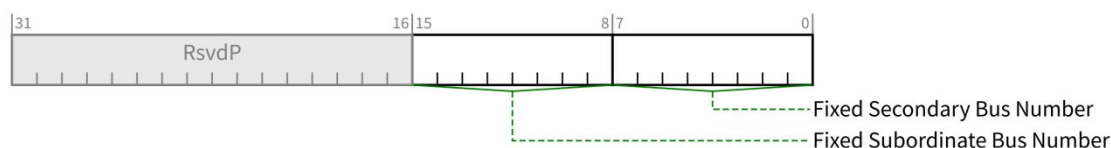


Figure 7-136 Second DW of Enhanced Allocation Capability

Bit Location	Register Description	Attributes
7:0	Fixed Secondary Bus Number - 如果在该 Function 的后面至少有一个使用 EA 的 Function，则必须设置此字段以指示该 Function 的 secondary interface 的 Bus Number。如果此 Function 后面没有使用 EA 的 Function，则此字段必须设置为 00h。	HwInit
15:8	Fixed Subordinate Bus Number - 如果在该 Function 的后面至少有一个使用 EA 的 Function，则必须设置此字段以指示该 Function 下最高的 Bus Number。如果此 Function 后面没有使用 EA 的 Function，则此字段必须设置为 00h。	HwInit

7.8.5.3 Enhanced Allocation Per-Entry Format (Offset 04h or 08h)

一个 Enhanced Allocation Entry 由一个 First DW 和随后的 2 到 4 各 DW 的 Base/MaxOffset 信息组成。

- 对于 Type 0 Function，Enhanced Allocation Entry 从此 Capability 的偏移量 04h 开始。
- 对于 Type 1 Function，Enhanced Allocation Entry 从此 Capability 的偏移量 08h 开始。
- 如果还有 Enhanced Allocation Entry，则紧跟这两个 Entry。

Enhanced Allocation Capability 中每个 Entry 的第一个 DW 在 Figure 7-137 中说明，并在 Table 7-113 中定义。

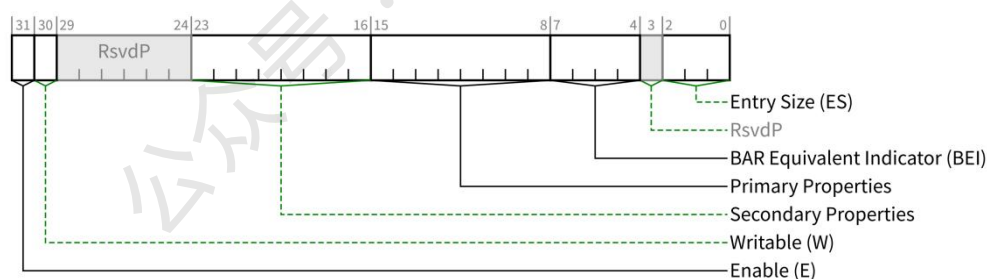


Figure 7-137 First DW of Each Entry for Enhanced Allocation Capability

Bit Location	Register Description	Attributes
2:0	Entry Size (ES) - 此 entry 中初始 DW 后的 DW 数。 处理此 Capability 时，要求软件使用此字段中的值确定该 entry 的大小。软件也必须严格遵守此要求，即使此字段指示的 entry size 与本规范中定义的任何条目都不对应。 值 000b 表示该 entry 中仅包含第一个 DW（包含 Entry Size 字段）。	HwInit

7:4	BAR Equivalent Indicator (BEI) - 该字段表示该 entry 的等效 BAR。	HwInit
-----	---	--------

本节后面会给出使用此字段的特定规则。

BEI Value	Description
0	此 Entry 等效于地址为 10h 的 BAR。
1	此 Entry 等效于地址为 14h 的 BAR。
2	此 Entry 等效于地址为 18h 的 BAR。
3	此 Entry 等效于地址为 1Ch 的 BAR。
4	此 Entry 等效于地址为 20h 的 BAR。
5	此 Entry 等效于地址为 24h 的 BAR。
6	仅允许实现 Type 1 Configuration Space Header 的 Function 使用，可选地用于指示位于 Function 后面的资源。
7	Equivalent Not Indicated。
8	Expansion ROM Base Address
9-14	此 Entry 分别与 VF BAR 0-5 相对应。
15	保留-软件必须将此字段的值视为“Equivalent Not Indicated”。

15:8	Primary Properties - 指示 Table 7-114 中定义的 entry 属性。	HwInit
------	---	--------

23:16	Secondary Properties - 可选地，使用 Table 7-114 中定义的属性指示不同但兼容的 entry 属性。	HwInit
-------	---	--------

30	Writable (W) - 值 1b 表示该 entry 的 Base 和 MaxOffset 字段是 RW，并且该 entry 的 Field Size 是 RW 或 HwInit。值 0b 表示这些字段是 HwInit。	HwInit
----	--	--------

有关此字段的值的其他要求，请参见 Table 7-114。

31	Enable (E) - 1b 表示该 entry 已使能，0b 表示该 entry 已禁用。	RW/HwInit
----	--	-----------

如果系统软件禁用了该 entry，则指示的资源仍必须与此 Function 关联，并且不允许将该资源重新分配给任何其他实体。

对于要求分配相关资源的 Function，可以将该字段实现为 HwInit；对于可以允许系统软件禁用此资源的 Function，例如，如果要使用 BAR 机制代替此资源，则可以将该字段实现为 RW。

BEI 字段的使用规则如下：

- 允许 Type 0 Function 使用 EA 为其自身分配资源，并且此类资源的 BEI 值必须为 0-5、7 或 8。
- 允许 Physical Function（支持 SR-IOV 的 Type 0 Function）使用 EA 为其相关的 Virtual Function 分配资源，并且这些资源的 BEI 值必须为 9-14。
- 允许 Type 1 Function（Bridge）使用 EA 为其自身分配资源，并且此类资源的 BEI 值必须为 0、1 或 7。
- 允许使用但不要求 Type 1 Function 指示映射在该 Function 后面的资源，但是如果 Type 1 Function 指示了此类资源，则该 entry 的 BEI 值必须为 6。
- 对于 64 位 Base Address Register，BEI 指示较低 DWORD 的等效 BAR 位置。
- 对于 Primary 或 Secondary Properties 为 00h 或 01h 的 Memory BAR，允许一次为 Base + MaxOffset 小于 4 GB 的范围分配 0 到 5 范围内的相同 BEI，然后一次为 Base + MaxOffset 大于 4 GB 的范围分配相同的 BEI；否则，不允许为多个 entry 在 0 到 5 范围内分配相同的 BEI。
- 对于 Primary 或 Secondary Properties 为 03h 或 04h 的 Virtual Function BAR，允许一次为 Base + MaxOffset 小于 4 GB 的范围分配 9 到 14 范围内的相同 BEI，然后一次为 Base + MaxOffset 大于 4 GB 的范围分配相同的 BEI；否则，不允许为多个 VF entry 在 9 到 14 的范围内分配相同的 BEI。
- 对于允许具有相同 BEI 的两个 entry 的所有情况，对于给定 Function，软件必须一次只能使用两个范围之一。
- 允许任意数量的 entry 将 BEI 分配为 6 或 7。
- BEI 为 8 的情况下最多允许一个 entry；如果存在这样的 entry，则 Expansion ROM Base Address Register 的行为会改变（请参阅 Section 7.5.1.2.4）。
- 对于 Type 1 Function，BEI 值 2 到 5 保留。

Figure 7-138 说明了 Type 0 Function 的完整 Enhanced Allocation entry 的格式。对于 Base 和 MaxOffset 字段，Bit[1]表示该字段是 32b（0）还是 64b（1）字段。

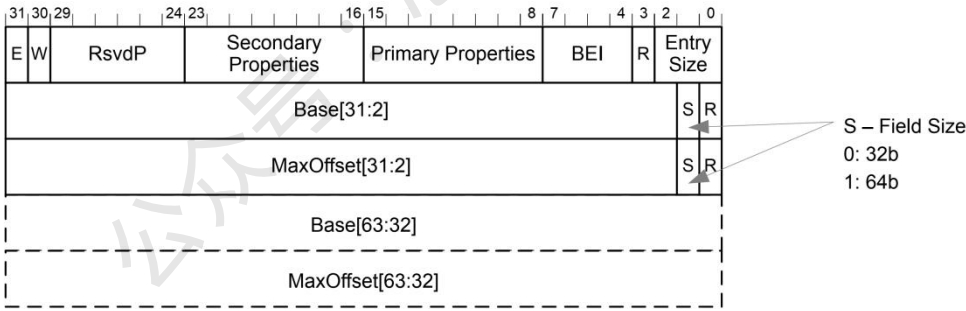


Figure 7-138 Format of Entry for Enhanced Allocation Capability

Base 字段中的值（[63:2]或[31:2]）表示资源范围的起始地址。地址的 Bit[1:0]必须始终解释为 00b。

Base 字段中的值加上 MaxOffset 字段的值（[63:2]或[31:2]）指示资源范围中最后一个 DW 的地址。此地址的 Bit[1:0]必须始终解释为 11b。Base 字段指定资源的起始地址，MaxOffset 字段指定资源的范围。

对于 Base 和 MaxOffset 字段，如果不使用 Bit[63:32]，则这些位必须解释为全 0。

尽管允许 Type 0 Function 指示使用不是自然对齐和/或不是 2 的幂的范围，但是如果这样做，某些系统软件可能会失败。特别是对于通过指示介于 0 到 5 之间的 BEI 映射到传统 BAR 的范围，强烈建议 Type 0 Function 的 Base 和 MaxOffset 字段指示自然对齐的区域。

必须由硬件设置 Primary Properties [7:0]字段，以标识 entry 指示的资源类型。强烈建议硬件设置 Secondary Properties[7:0]以指示备用资源类型，当软件不理解 Primary Properties [7:0]字段的值时（例如，在较旧的系统中），软件可以使用该备用资源类型。软件与新硬件一起使用，该新硬件使用在实现较旧系统软件时保留的 Primary Properties 值来实现资源。完成此操作后，硬件必须确保根据 Secondary Properties 字段中指示的值使用资源运行的软件将以功能正确的方式运行，尽管不要求此操作将导致最佳的系统性能或行为。

Table 7-114 中定义了 Primary Properties [7:0]和 Secondary Properties[7:0]字段。该 Table 还定义了是否允许该 entry 可写。除非该 entry 的 Primary 和 Secondary 属性均允许，否则任何 entry 中的 Writeable 字段必须为 0b。

Table 7-114 Enhanced Allocation Entry Field Value Definitions for both the Primary Properties and Secondary Properties Fields

Value (h)	Resource Definition	Writeable permitted
00	Memory Space, Non-Prefetchable.	No
01	Memory Space, Prefetchable.	No
02	I/O Space.	No
03	For use only by <u>Physical Functions</u> to indicate resources for <u>Virtual Function</u> use, Memory Space, Prefetchable.	No
04	For use only by <u>Physical Functions</u> to indicate resources for <u>Virtual Function</u> use, Memory Space, Non-Prefetchable.	No
05	For use only by <u>Type 1 Functions</u> to indicate Memory, Non-Prefetchable, for Allocation Behind that Bridge.	No
06	For use only by <u>Type 1 Functions</u> to indicate Memory, Prefetchable, for Allocation Behind that Bridge.	No
07	For use only by <u>Type 1 Functions</u> to indicate I/O Space for Allocation Behind that Bridge.	No
08-FC	Reserved for future use; System firmware/software must not write to this entry, and must not attempt to interpret this entry or to use this resource. When software reads a Primary Properties value that is within this range, is it strongly recommended that software treat this resource according to the value in the Secondary Properties field, if that field contains a non-reserved value.	Yes
FD	Memory Space Resource Unavailable For Use - - System firmware/software must not write to this entry, and must not attempt to use the resource described by this entry for any purpose.	No
Value (h)	Resource Definition	Writeable permitted
FE	I/O Space Resource Unavailable For Use - - System firmware/software must not write to this entry, and must not attempt to use the resource described by this entry for any purpose.	No
FF	Entry Unavailable For Use - System firmware/software must not write to this entry, and must not attempt to interpret this entry as indicating any resource. It is strongly recommended that hardware use this value in the Secondary Properties field to indicate that for proper operation, the hardware requires the use of the resource definition indicated in the Primary Properties field .	No

下图说明了各种情况下 Enhanced Allocation entry 的布局。

31	30	29				24	23					16	15					8	7			4	3	2	0		
E	W		RsvdP				Secondary Properties				Primary Properties				BEI				R	1	0	0					
Base[31:2]																								1	R		
MaxOffset[31:2]																								1	R		
Base[63:32]																											
MaxOffset[63:32]																											

Figure 7-139 Example Entry with 64b Base and 64b MaxOffset

31	30	29					24	23						16	15					8	7			4	3	2	0
E	W		RsvdP				Secondary Properties			Primary Properties						BEI		R	0	1	1						
Base[31:2]																							1	R			
MaxOffset[31:2]																							0	R			
Base[63:32]																											

Figure 7-140 Example Entry with 64b Base and 32b MaxOffset

31	30	29					24	23					16	15					8	7				4	3	2	0
E	W		RsvdP				Secondary Properties				Primary Properties				BEI				R	0	1	1					
Base[31:2]																								0	R		
MaxOffset[31:2]																								1	R		
MaxOffset[63:32]																											

Figure 7-141 Example Entry with 32b Base and 64b MaxOffset

31	30	29				24	23					16	15					8	7			4	3	2	0		
E	W					RsvdP						Secondary Properties						Primary Properties				BEI		R	0	1	0
Base[31:2]																								0	R		
MaxOffset[31:2]																								0	R		

Figure 7-142 Example Entry with 32b Base and 32b MaxOffset

7.8.6 Resizable BAR Extended Capability

Synopsys 的 IP 可以在 Firmware 中通过 DBI 口配置 BAR Mask 寄存器来调整 BAR 映射空间的大小; 而 Resizable BAR Extended Capability 可以在 BIOS 或 UEFI 中通过主机发的配置请求来调整 BAR 映射空间的大小。

Resizable BAR Capability 是一项可选功能，它允许硬件传达资源大小，并且系统软件在确定最佳大小后，可以将此最佳大小传达回硬件。硬件通过 Resizable BAR Capability 和 Control Register 传达可接受的资源大小。硬件必须支持范围从 1 MB 到 512 GB 中的至少一种 Size。

IMPLEMENTATION NOTE

Resizable BAR Backward Compatibility With Software

Resizable BAR Extended Capability 最初支持 20 种 Size，范围从 1 MB 到 512 GB，后来又扩展了 16 种更大的 Size。支持至少一种初始大小的要求确保了与仅包含初始大小的软件的向后兼容性。

软件通过专有机确定资源的最佳大小，然后通过 Resizable BAR Control 寄存器的 BAR Size 字段对大小进行编程。硬件立即在合适的 Base Address 寄存器的只读字段中反映关于这个资源的大小的推断。硬件必须清除从 RW 变为只读的所有字段，以便后续读操作返回零。在写入 BAR Size 字段之前，软件必须清除 Command 寄存器中的 Memory Space Enable 字段。写入 BAR Size 字段后，相应的 BAR 的内容是未定义的。为了确保在调整 BAR 大小后包含有效地址，系统软件必须重新编程 BAR，并设置 Memory Space Enable 字段（除非未分配资源）。

仅当 BAR 是 64 位 BAR 时，才允许 Resizable BAR Capability 寄存器指示 4 GB 或更高容量工作的能力。

此 Capability 仅适用于有 Base Address Register 的 Function。强烈建议 Function 不要在其 Resizable BAR Capability 寄存器中通告这样的 BAR size：此 BAR size 的空间大于有效利用的空间。

IMPLEMENTATION NOTE

Using the Capability During Resource Allocation

分配资源的系统软件可以使用此 Capability 来调整 Function 的 BAR 的只读位推断出的资源大小。该软件的早期版本通过将 FFFFh 写入 BAR，读取值并通过设置的位数确定的大小来确定资源的大小。然后，基地址被写入 BAR。

系统软件使用此 Capability 来代替上述确定资源大小的方法，并且在将基地址分配给 BAR 之前。潜在的可用资源大小由 Function 报告，并从 Resizable BAR Capability 寄存器中读取。如果分配的地址空间少于最大报告的 size 可能会导致性能降低，因此该软件应分配其可以报告的最大 size。然后，软件将该 size 写到 Function 的合适的 BAR 的 Resizable BAR Command 寄存器中。然后，基地址被写入 BAR。

出于互操作性的原因，硬件可能会将 BAR 的默认 size 设置为较小的 size，即其 size 小于 Resizable BAR Capability 寄存器中报告的最大 size。不使用此 Capability 来分配资源大小的软件可能会导致资源分配不足，或者资源无法分配，因为没有空间容纳这些资源。

借助 Resizable BAR Capability，设备消耗的地址空间量可以更改。在资源受限的环境中，向设备分配更多地址空间可能会导致向其他内存映射硬件（例如系统 RAM）分配更少的地址空间。建议在这种环境下负责分配资源的系统软件适当地分配有限的地址空间。

Resizable BAR Capability structure 定义了一个 PCI Express Extended Capability，该 Capability 位于 PCI Express Extended Configuration Space 中，如 Figure 7-143 所示。这种结构可以识别和控制具有此 Capability 的设备。为每个可调整大小的 BAR 实现了 Capability 和 Control 寄存器。由于任何 Function 最多可以实现六个 BAR，因此 Resizable BAR Capability structure 的范围可以从 12 个字节（单个 BAR）到 52 个字节长（六个 BAR）。

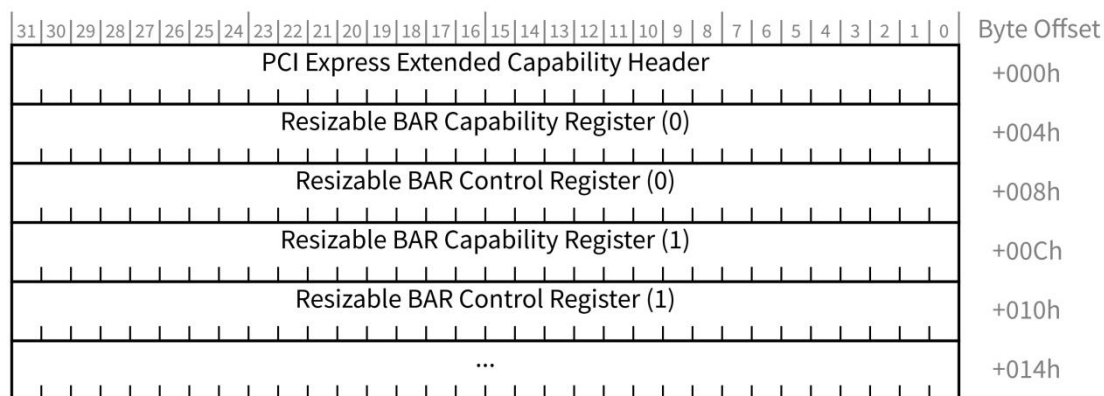


Figure 7-143 Resizable BAR Extended Capability

一个案例就是 AMD 的 SAM (Smart Access Memory) 技术, 该技术就是应用了 PCIe 的 Resizable BAR Capability。在没有此技术之前, 所有的操作系统都是通过 256MB 的空间做二次映射来访问所有显存空间。应用此技术之后, 在 BIOS 中开启 Above 4G Decoding 和 Re-Size BAR Support 两个选项, 就开启了 SAM 功能, 该功能就允许 64 位操作系统访问 4GB 以上内存, 从而可以在 4G 以上地址空间为显卡分配全部的空间, 而这是根据 Resizable BAR Capability 寄存器来确定 BAR size 的。注意: 如果使用的是 32bit 操作系统, 开启这个功能可能导致无法进入操作系统。

7.8.6.1 Resizable BAR Extended Capability Header (Offset 00h)

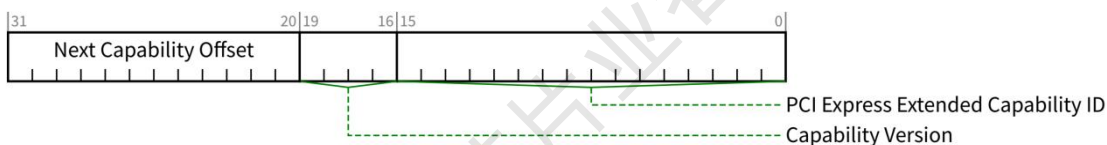


Figure 7-144 Resizable BAR Extended Capability Header

Bit Location	Register Description	Attributes
15:0	PCI Express Extended Capability ID - 该字段是 PCI-SIG 定义的 ID 号, 用于指示扩展功能的性质和格式。 Resizable BAR Capability 的 PCI Express Extended Capability ID 为 0015h。	RO
19:16	Capability Version - 该字段是 PCI-SIG 定义版本号, 指示实现的 Capability structure 的版本。 对于该版本的规范, 必须为 1h。	RO
31:20	Next Capability Offset - 此字段指示到下一个 PCI Express Extended Capability structure 的偏移量; 如果在 Capability 的链接列表中不存在其他项, 则为 000h。	RO

7.8.6.2 Resizable BAR Capability Register

为了与软件向后兼容, 硬件必须在 4 到 23 的范围内设置至少一位。请参阅 Section 7.8.6 中的相关实现说明。

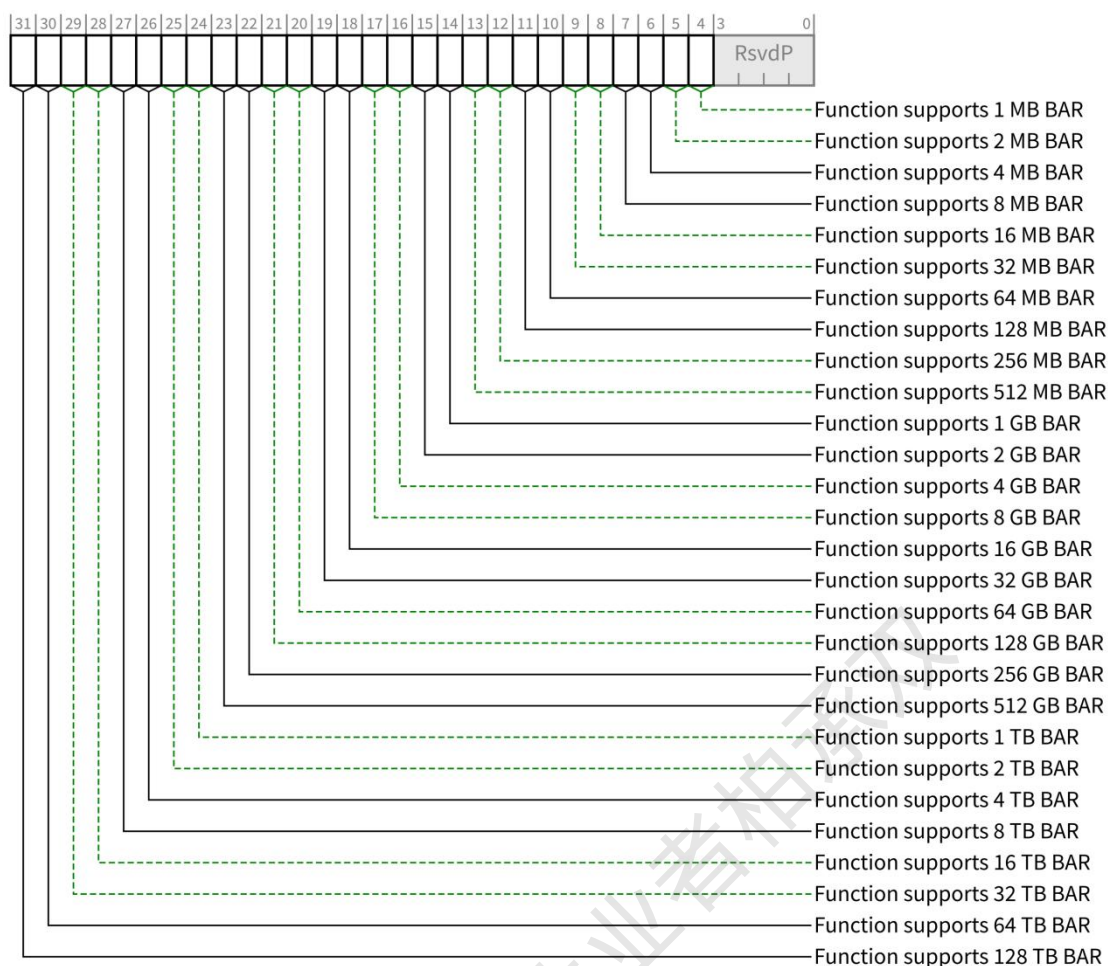


Figure 7-145 Resizable BAR Capability Register

Bit Location	Register Description	Attributes
4	Function supports 1 MB BAR - 置 1 时表示 Function 支持以 BAR Size 为 1 MB (2^{20} Byte) 进行操作。	RO
5	Function supports 2 MB BAR - 置 1 时表示 Function 支持以 BAR Size 为 2 MB (2^{21} Byte) 进行操作。	RO
6	Function supports 4 MB BAR - 置 1 时表示 Function 支持以 BAR Size 为 4 MB (2^{22} Byte) 进行操作。	RO
7	Function supports 8 MB BAR - 置 1 时表示 Function 支持以 BAR Size 为 8 MB (2^{23} Byte) 进行操作。	RO
8	Function supports 16 MB BAR - 置 1 时表示 Function 支持以 BAR Size 为 16 MB (2^{24} Byte) 进行操作。	RO
9	Function supports 32 MB BAR - 置 1 时表示 Function 支持以 BAR Size 为 32 MB (2^{25} Byte) 进行操作。	RO
10	Function supports 64 MB BAR - 置 1 时表示 Function 支持以 BAR Size 为 64 MB (2^{26} Byte) 进行操作。	RO
11	Function supports 128 MB BAR - 置 1 时表示 Function 支持以 BAR Size 为 128 MB (2^{27} Byte) 进行操作。	RO

12	Function supports 256 MB BAR - 置 1 时表示 Function 支持以 BAR Size 为 256 MB (2^{28} Byte) 进行操作。	RO
13	Function supports 512 MB BAR - 置 1 时表示 Function 支持以 BAR Size 为 512 MB (2^{29} Byte) 进行操作。	RO
14	Function supports 1 GB BAR - 置 1 时表示 Function 支持以 BAR Size 为 1 GB (2^{30} Byte) 进行操作。	RO
15	Function supports 2 GB BAR - 置 1 时表示 Function 支持以 BAR Size 为 2 GB (2^{31} Byte) 进行操作。	RO
16	Function supports 4 GB BAR - 置 1 时表示 Function 支持以 BAR Size 为 4 GB (2^{32} Byte) 进行操作。	RO
17	Function supports 8 GB BAR - 置 1 时表示 Function 支持以 BAR Size 为 8 GB (2^{33} Byte) 进行操作。	RO
18	Function supports 16 GB BAR - 置 1 时表示 Function 支持以 BAR Size 为 16 GB (2^{34} Byte) 进行操作。	RO
19	Function supports 32 GB BAR - 置 1 时表示 Function 支持以 BAR Size 为 32 GB (2^{35} Byte) 进行操作。	RO
20	Function supports 64 GB BAR - 置 1 时表示 Function 支持以 BAR Size 为 64 GB (2^{36} Byte) 进行操作。	RO
21	Function supports 128 GB BAR - 置 1 时表示 Function 支持以 BAR Size 为 128 GB (2^{37} Byte) 进行操作。	RO
22	Function supports 256 GB BAR - 置 1 时表示 Function 支持以 BAR Size 为 256 GB (2^{38} Byte) 进行操作。	RO
23	Function supports 512 GB BAR - 置 1 时表示 Function 支持以 BAR Size 为 512 GB (2^{39} Byte) 进行操作。	RO
24	Function supports 1 TB BAR - 置 1 时表示 Function 支持以 BAR Size 为 1 TB (2^{40} Byte) 进行操作。	RO
25	Function supports 2 TB BAR - 置 1 时表示 Function 支持以 BAR Size 为 2 TB (2^{41} Byte) 进行操作。	RO
26	Function supports 4 TB BAR - 置 1 时表示 Function 支持以 BAR Size 为 4 TB (2^{42} Byte) 进行操作。	RO
27	Function supports 8 TB BAR - 置 1 时表示 Function 支持以 BAR Size 为 8 TB (2^{43} Byte) 进行操作。	RO
28	Function supports 16 TB BAR - 置 1 时表示 Function 支持以 BAR Size 为 16 TB (2^{44} Byte) 进行操作。	RO
29	Function supports 32 TB BAR - 置 1 时表示 Function 支持以 BAR Size 为 32 TB (2^{45} Byte) 进行操作。	RO
30	Function supports 64 TB BAR - 置 1 时表示 Function 支持以 BAR Size 为 64 TB (2^{46} Byte) 进行操作。	RO
31	Function supports 128 TB BAR - 置 1 时表示 Function 支持以 BAR Size 为 128 TB (2^{47} Byte) 进行操作。	RO

7. 8. 6. 3 **Resizable BAR Control Register**

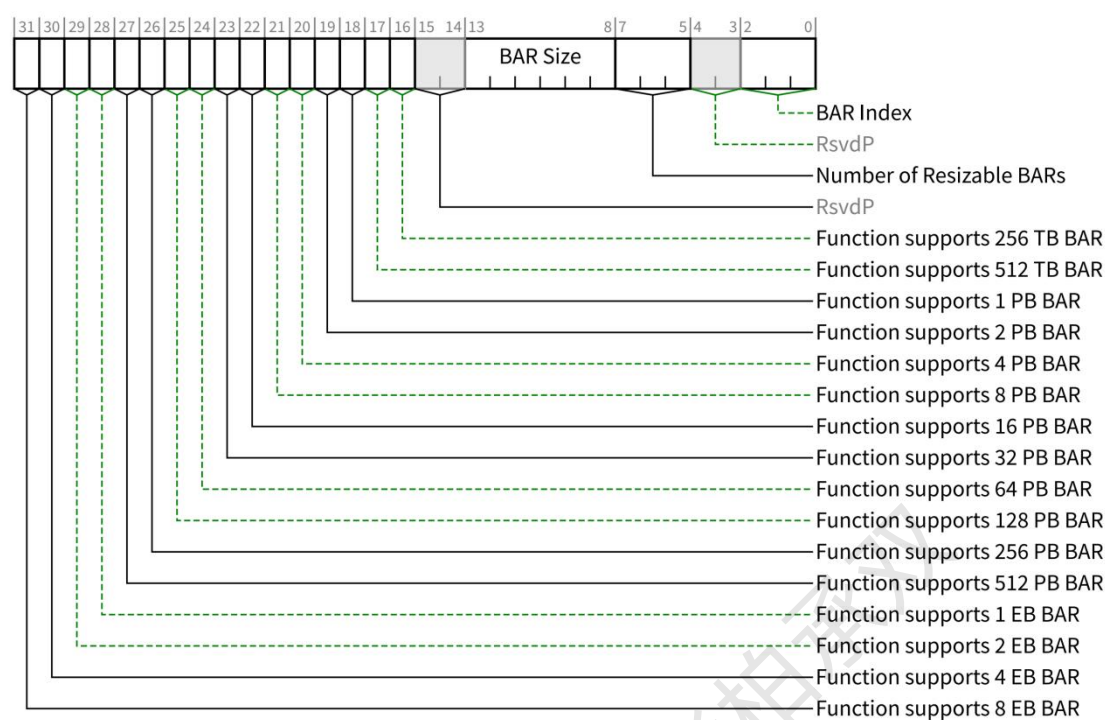


Figure 7-146 Resizable BAR Control Register

Bit Location	Register Description	Attributes
2:0	BAR Index - 该编码值指向 BAR 的开始。 0 BAR located at offset 10h 1 BAR located at offset 14h 2 BAR located at offset 18h 3 BAR located at offset 1Ch 4 BAR located at offset 20h 5 BAR located at offset 24h Others 保留 对于 64 位 BAR，BAR index 指示较低的 DWORD。 此值指示哪个 BAR 支持可协商的大小。	RO
7:5	Number of Resizable BARs - 指示 Function 的 capability structure 中可调整大小的 BAR 总数。参见 Figure 7-143。 该字段的值必须在 01h 到 06h 的范围内。该字段在 Resizable BAR Control Register (0) 中有效（偏移量 008h），其他所有字段均为 RsvdP。	RO/RsvdP

13:8	BAR Size - 编码的 BAR Size 如下： 0 1 2 3 ... 43 1MB (2^{20} bytes) 2MB (2^{21} bytes) 4MB (2^{22} bytes) 8MB (2^{23} bytes) 8EB (2^{63} bytes) 此字段的默认值等于通过 BAR 的只读位请求的地址空间的默认的 BAR 资源大小。为了与软件向后兼容，默认值必须在 0 到 19 之间。 对该寄存器字段进行编程后，该值将立即反映在资源的 Size 中，如 BAR 中的只读位数所编码的那样。 软件只能写入与 Resizable BAR Capability and Control Register 中指示的值相对应的值。写入不受支持的值得产生不确定的结果。不需要设置 BAR Size 字段以指示每个受支持的大小可以将其硬接线为 0。	RW
16	Function supports 256 TB BAR - 置 1 时表示 Function 支持以 BAR Size 为 256 TB (2^{48} Byte) 进行操作。	RO
17	Function supports 512 TB BAR - 置 1 时表示 Function 支持以 BAR Size 为 512 TB (2^{49} Byte) 进行操作。	RO
18	Function supports 1 PB BAR - 置 1 时表示 Function 支持以 BAR Size 为 1 PB (2^{50} Byte) 进行操作。	RO
19	Function supports 2 PB BAR - 置 1 时表示 Function 支持以 BAR Size 为 2 PB (2^{51} Byte) 进行操作。	RO
20	Function supports 4 PB BAR - 置 1 时表示 Function 支持以 BAR Size 为 4 PB (2^{52} Byte) 进行操作。	RO
21	Function supports 8 PB BAR - 置 1 时表示 Function 支持以 BAR Size 为 8 PB (2^{53} Byte) 进行操作。	RO
22	Function supports 16 PB BAR - 置 1 时表示 Function 支持以 BAR Size 为 16 PB (2^{54} Byte) 进行操作。	RO
23	Function supports 32 PB BAR - 置 1 时表示 Function 支持以 BAR Size 为 32 PB (2^{55} Byte) 进行操作。	RO
24	Function supports 64 PB BAR - 置 1 时表示 Function 支持以 BAR Size 为 64 PB (2^{56} Byte) 进行操作。	RO
25	Function supports 128 PB BAR - 置 1 时表示 Function 支持以 BAR Size 为 128 PB (2^{57} Byte) 进行操作。	RO
26	Function supports 256 PB BAR - 置 1 时表示 Function 支持以 BAR Size 为 256 PB (2^{58} Byte) 进行操作。	RO

27	Function supports 512 PB BAR - 置 1 时表示 Function 支持以 BAR Size 为 512 PB (2^{59} Byte) 进行操作。	RO
28	Function supports 1 EB BAR - 置 1 时表示 Function 支持以 BAR Size 为 1 EB (2^{60} Byte) 进行操作。	RO
29	Function supports 2 EB BAR - 置 1 时表示 Function 支持以 BAR Size 为 2 EB (2^{61} Byte) 进行操作。	RO
30	Function supports 4 EB BAR - 置 1 时表示 Function 支持以 BAR Size 为 4 EB (2^{62} Byte) 进行操作。	RO
31	Function supports 8 EB BAR - 置 1 时表示 Function 支持以 BAR Size 为 8 EB (2^{63} Byte) 进行操作。	RO

7.8.7 ARI Extended Capability

ARI 是个可选实现的 Capability。ARI 设备中的每个 Function 都要实现这个 Capability。Root Port、Switch Downstream Port、RCiEP 和 Root Complex Event Collector 都不需要实现这个 Capability。

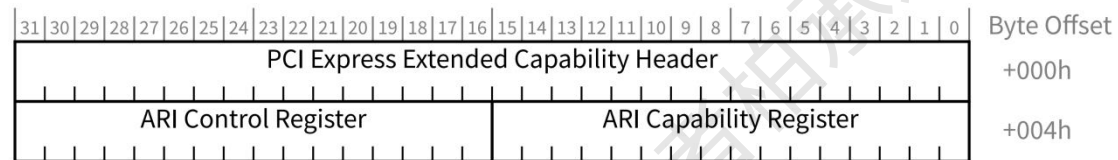


Figure 7-147 ARI Extended Capability

7.8.7.1 ARI Extended Capability Header (Offset 00h)

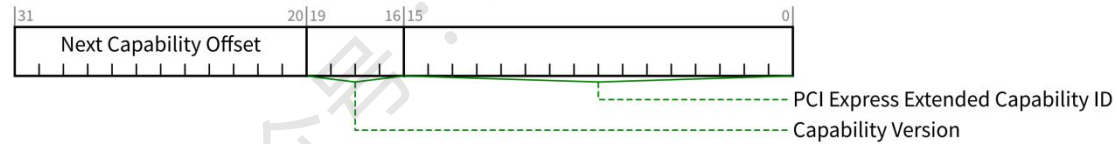


Figure 7-148 ARI Extended Capability Header

Bit Location	Register Description	Attributes
15:0	PCI Express Extended Capability ID - 该字段是 PCI-SIG 定义的 ID 号, 用于指示扩展功能的性质和格式。 ARI Extended Capability 的 PCI Express Extended Capability ID 为 000Eh。	RO
19:16	Capability Version - 该字段是 PCI-SIG 定义版本号, 指示实现的 Capability structure 的版本。 对于该版本的规范, 必须为 1h。	RO
31:20	Next Capability Offset - 此字段指示到下一个 PCI Express Extended Capability structure 的偏移量; 如果在 Capability 的链接列表中不存在其他项, 则为 000h。	RO

7.8.7.2 ARI Capability Register (Offset 04h)

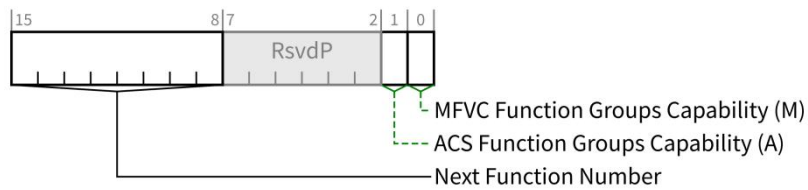


Figure 7-149 ARI Capability Register

Bit Location	Register Description	Attributes
0	MFVC Function Groups Capability (M) - 仅用于 Function 0；所有其他 Function 此字段必须为 0b。如果该字段值为 1b，则表示 ARI 设备通过其 Multi-Function Virtual Channel (MFVC) Capability structure 支持 Function Group 级别的仲裁。	RO
1	ACS Function Groups Capability (A) - 仅用于 Function 0；所有其他 Function 此字段必须为 0b。如果该字段值为 1b，则表示 ARI 设备通过其 ACS Capability structure 支持 ACS P2P Egress Control 的 Function Group 级别粒度的控制。	RO
15:8	Next Function Number - 该字段指示设备中下一个编号较高的 Function 的 Function Number，如果没有编号较高的 Function，则为 00h。Function 0 启动此 Function 的链接列表。	RO

7.8.7.3 ARI Control Register (Offset 06h)

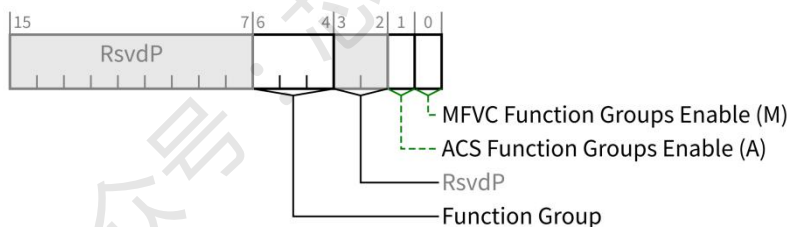


Figure 7-150 ARI Control Register

Bit Location	Register Description	Attributes
0	MFVC Function Groups Enable (M) - 仅用于 Function 0；对于所有其他 Function，必须硬连线至 0b。置 1 后，ARI 设备必须将其 Function Arbitration Table 中的条目解释为 Function Group Number，而不是 Function Number。 该位的默认值为 0b。如果 MFVC Function Groups Capability 字段为 0b，则必须硬连线至 0b。	RW
1	ACS Function Groups Enable (A) - 仅用于 Function 0；对于所有其他 Function，必须硬连线至 0b。置 1 后，ARI 设备中的每个 Function 必须将其 Egress Control Vector 中的比特位与 Function Group Number 而不是 Function Number 相关联。 该位的默认值为 0b。如果 ACS Function Groups Capability 字段为 0b，则必须硬连线至 0b。	RW

6:4	Function Group - 为该 Function 分配的 Function Group Number。	RW
该字段的默认值为 000b。在 Function 0 中，如果 MFVC Function Groups Capability 字段和 ACS Function Groups Capability 字段均为 0b，则必须硬连线至 000b。		

7. 8. 8 PASID Extended Capability Structure

如果实现 PASID Extended Capability 意味着该 Endpoint 支持发送和接收带 PASID TLP Prefix 的 TLP。为各种可选的 feature 提供了单独的支持和使能。

此 Capability 用于 Endpoint 和 RCiEP。对 Root Port 在这方面的支持本规范没有给出。

此 Capability 与 Chapter 10 定义的 ATS 和 PRI feature 无关。实现 PASID Extended Capability 的 Endpoint 不需要支持 ATS 或 PRI。支持 ATS 或 PRI 的 Endpoint 不需要支持 PASID。

Figure 7-151 给出 PASID Extended Capability structure 的布局。

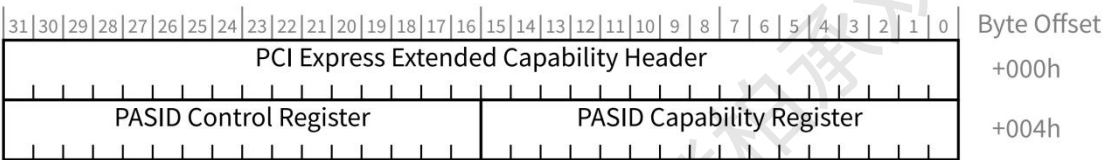


Figure 7-151 PASID Extended Capability Structure

7. 8. 8. 1 PASID Extended Capability Header (Offset 00h)

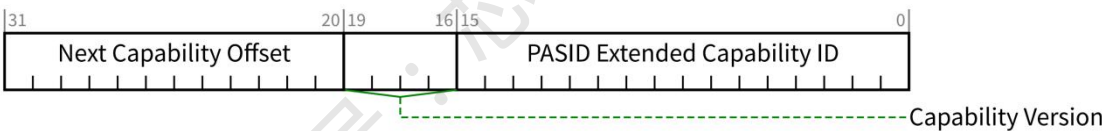


Figure 7-152 PASID Extended Capability Header

Bit Location	Register Description	Attributes
15:0	PCI Express Extended Capability ID - 该字段是 PCI-SIG 定义的 ID 号, 用于指示扩展功能的性质和格式。 PASID Extended Capability 的 PCI Express Extended Capability ID 为 001Bh。	RO
19:16	Capability Version - 该字段是 PCI-SIG 定义版本号, 指示实现的 Capability structure 的版本。 对于该版本的规范, 必须为 1h。	RO
31:20	Next Capability Offset - 此字段指示到下一个 PCI Express Extended Capability structure 的偏移量; 如果在 Capability 的链接列表中不存在其他项, 则为 000h。	RO

7.8.8.2 PASID Capability Register (Offset 04h)

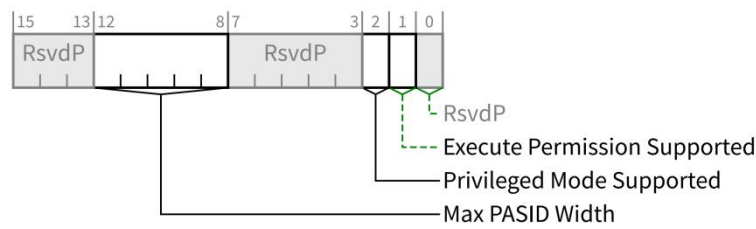


Figure 7-153 PASID Capability Register

Bit Location	Register Description	Attributes
1	Execute Permission Supported - 置 1 表示 Endpoint 支持在把 Execute Requested 置 1 的情况下发送 TLP。 置 0 表示 Endpoint 永远不会将 Execute Requested 置 1。	RO
2	Privileged Mode Supported - 置 1 表示 Endpoint 支持在 Privileged 和 Non-Privileged mode 下运行，并支持发送 Privileged Mode Requested 字段置 1 的请求。 如果清 0，则 Endpoint 将永远不会将 Privileged Mode Requested 字段置 1。	RO
12:8	Max PASID Width - 指示 Endpoint 支持的 PASID 字段的宽度。值 n 表示支持 PASID 值 0 到 2 ⁿ -1 (包括 2 和 1)。值 0 表示支持单个 PASID (0)。值 20 表示支持所有 PASID 值 (20 位)。此字段必须介于 0 到 20 (含) 之间。	RO

7.8.8.3 PASID Control Register (Offset 06h)

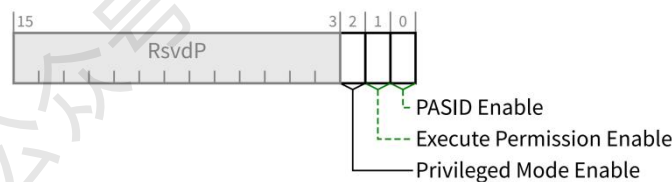


Figure 7-154 PASID Control Register

Bit Location	Register Description	Attributes
0	PASID Enable - 如果置 1，则允许 Endpoint 发送和接收包含 PASID TLP Prefix 的 TLP。如果清 0，则不允许 Endpoint 这样做。 如果 Endpoint 支持 ATS 则行为未定义，并且当 ATS Control Register 中的 Enable (E) 置 1 时，该比特位的值会更改 (Section 10.5.1.3)。 默认值为 0b。	RW
1	Execute Permission Enable - 如果置 1，则允许 Endpoint 发送 Execute Requested 字段置 1 的请求。	RW/RsvdP

如果清 0，则不允许 Endpoint 这样做。

如果 Endpoint 支持 ATS 则行为未定义，并且当 ATS Control Register 中的 Enable (E) 置 1 时，该比特位的值会更改 (Section 10.5.1.3)。

如果 Execute Permission Supported 为 0，则此位为 RsvdP。

默认值为 0b。

- 2
- Privileged Mode Enable** - 如果置 1，则允许 Endpoint 发送 Privileged Mode Requested 字段置 1 的请求。如果清 0，则不允许 Endpoint 这样做。
- RW/RsvdP

如果 Endpoint 支持 ATS 则行为未定义，并且当 ATS Control Register 中的 Enable (E) 置 1 时，该比特位的值会更改 (Section 10.5.1.3)。

如果 Privileged Mode Supported 为 0，则此位为 RsvdP。

默认值为 0b。

7. 8. 9 FRS Queueing Extended Capability

支持标准的 FRS Queueing capability 的 Root Port 和 Root Complex Event Collector 需要实现 FRS Queueing Extended Capability。参阅 Section 6.23。只有 Root Port 和 Root Complex Event Collector 允许实现 FRS Queueing Extended Capability。

如果某个 Function 中实现了此 Capability，则该 Function 还必须实现 MSI，MSI-X 或两者都实现。

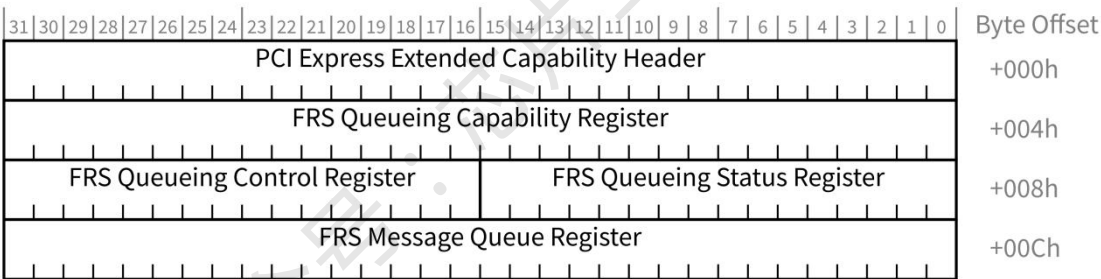


Figure 7-155 FRS Queueing Extended Capability

7. 8. 9. 1 FRS Queueing Extended Capability Header (Offset 00h)

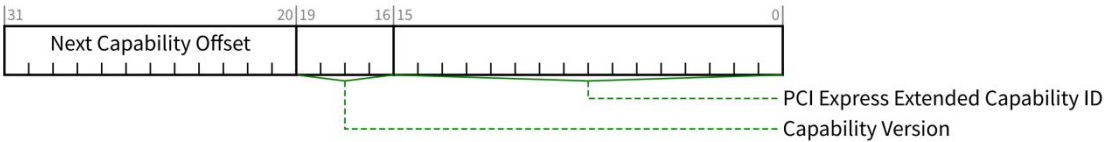


Figure 7-156 FRS Queueing Extended Capability Header

Bit Location	Register Description	Attributes
15:0	PCI Express Extended Capability ID - 该字段是 PCI-SIG 定义的 ID 号，用于指示扩展功能的性质和格	RO

式。

FRS Queueing Extended Capability 的 PCI Express Extended Capability ID 为 0021h。

19:16	Capability Version - 该字段是 PCI-SIG 定义版本号，指示实现的 Capability structure 的版本。 对于该版本的规范，必须为 1h。	RO
31:20	Next Capability Offset - 此字段指示到下一个 PCI Express Extended Capability structure 的偏移量； 如果在 Capability 的链接列表中不存在其他项，则为 000h。	RO

7.8.9.2 FRS Queueing Capability Register (Offset 04h)

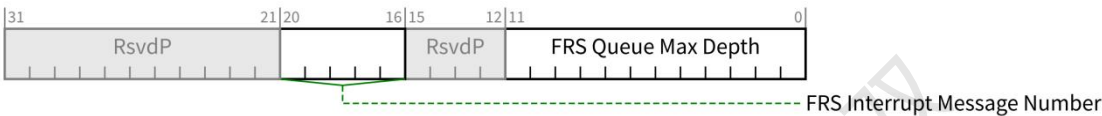


Figure 7-157 FRS Queueing Capability Register

Bit Location	Register Description	Attributes
11:0	FRS Queue Max Depth - 指示已实现的队列深度，有效值范围从 001h（队列深度为 1）到 FFFh（队列深度为 4095）。 FRS Message Queue Depth 的值不得超过该值。 值 000h 保留。	HwInit
20:16	FRS Interrupt Message Number - 该寄存器指示哪个 MSI/MSI-X 向量用于由 FRS Message Received 或 FRS Message Overflow 生成的中断消息。 对于 MSI，此寄存器中的值表示基本 Message Data 和所生成的中断消息之间的偏移量。需要硬件来更新此字段，以便当软件写入 MSI 的 Message Control Register 中的 Multiple Message Enable 字段时，分配给该 Function 的 MSI 消息的数目发生更改时，它是正确的。 对于 MSI-X，此寄存器中的值指示使用哪个 MSI-X Table entry 来生成中断消息。即使 Function 实现了 32 个以上的条目，该条目也必须是前 32 个条目之一。对于给定的 MSI-X 实现，该条目必须保持不变。 如果同时实现了 MSI 和 MSI-X，则允许它们使用不同的向量，尽管允许软件一次仅启用一种机制。如果使能了 MSI-X，则该寄存器中的值必须指示 MSI-X 的向量。如果使能了 MSI 或两只都不使能，则该寄存器中的值必须指示 MSI 的向量。如果软件同时使能 MSI 和 MSI-X，则该寄存器中的值未定义。	RO

7.8.9.3 FRS Queueing Status Register (Offset 08h)

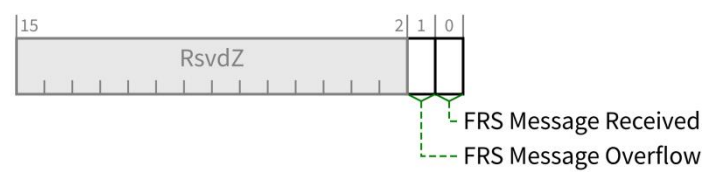


Figure 7-158 FRS Queueing Status Register

Bit Location	Register Description	Attributes
0	FRS Message Received - 当此 Root Port 和 Root Complex Event Collector 接收到新的 FRS Message 或生成新的 FRS Message 时，该位置 1。 链路为 DL_Down 时，Root Port 必须把此位清 0。 该位的默认值为 0b。	RW1C
1	FRS Message Overflow - 如果 FRS Message 队列已满，并且此 Root Port 和 Root Complex Event Collector 接收或生成了新的 FRS Message，则该位置 1。 链路为 DL_Down 时，Root Port 必须把此位清 0。 该位的默认值为 0b。	RW1C

7.8.9.4 FRS Queueing Control Register (Offset 0Ah)

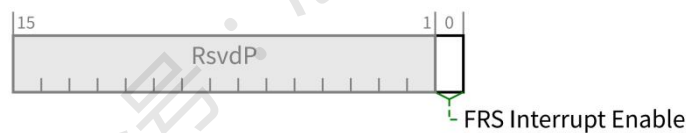


Figure 7-159 FRS Queueing Control Register

Bit Location	Register Description	Attributes
0	FRS Interrupt Enable - 当此位置 1 并且使能了 MSI 或 MSI-X 时，Port 必须发出 MSI/MSI-X 中断，以指示 FRS Message Received 或 FRS Message Overflow 字段发生了从 0b 到 1b 的翻转。 该位的默认值为 0b。	RW

7.8.9.5 FRS Message Queue Register (Offset 0Ch)

FRS Message Queue Register 包含队列中最旧的 FRS Message 中的字段。它还指示队列中 FRS Message 的数量。

向该寄存器写入包括 Byte 0 在内的任何值，将从队列中删除最旧的 FRS Message 并更新这些字段。当队列为空时，对该寄存器的写操作无效。

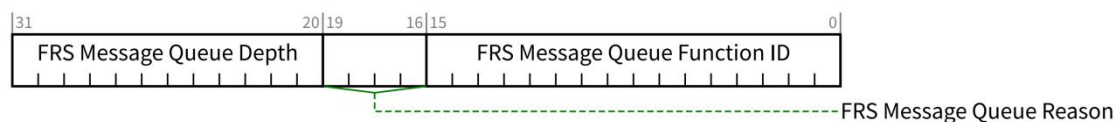


Figure 7-160 FRS Message Queue Register

Bit Location	Register Description	Attributes
15:0	FRS Message Queue Function ID - 此值来最旧的 FRS Message Received 的或由 Root Port 和 Root Complex Event Collector 生成的并且仍在队列中 FRS Message 的 Requester ID 中的 Function ID。 如果 FRS Message Queue Depth 为 000h，则未定义。	RO
19:16	FRS Message Queue Reason - 此值来最旧的 FRS Message Received 的或由 Root Port 和 Root Complex Event Collector 生成的并且仍在队列中 FRS Reason。 如果 FRS Message Queue Depth 为 000h，则未定义。	RO
31:20	FRS Message Queue Depth - 指示队列中当前的 FRS Message 的数目。 000b 表示队列空。 默认值为 000b。	RO

7. 8. 10 Flattening Portal Bridge (FPB) Capability

Flattening Portal Bridge (FPB) Capability 是实现 FPB 的任何 bridge Function 可以实现的可选 Capability。FPB Capability structure 如 Figure 7-161 所示。

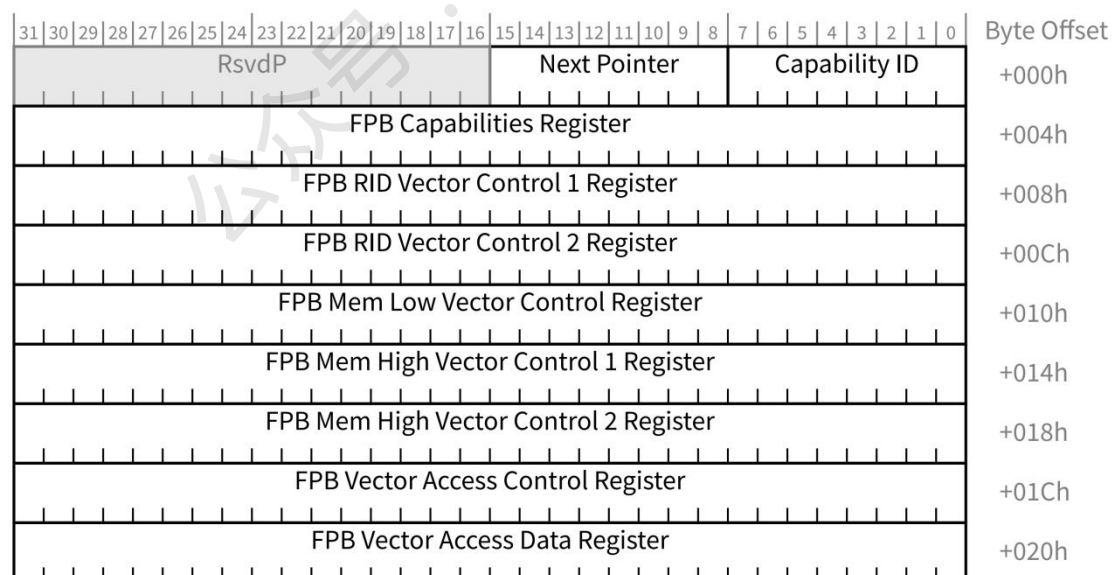


Figure 7-161 FPB Capability Structure

如果 Switch 实现了 FPB，则其每个 Port 都必须实现 FPB Capability Structure。允许 Root Complex 在其部分或全部 Root Port 上实现 FPB Capability Structure。允许 Root Complex 为内部逻辑总线实现 FPB Capability。

7.8.10.1 FPB Capability Header (Offset 00h)



Figure 7-162 FPB Capability Header

Bit Location	Register Description	Attributes
7:0	Capability ID - 此 Capability ID 为 15h。	RO
15:8	Next Capability Pointer - 指向 Capability 链表的下一个地址。如果是链表的最后一项则该值为 00h。此字段为只读。	RO

7.8.10.2 FPB Capabilities Register (Offset 04h)

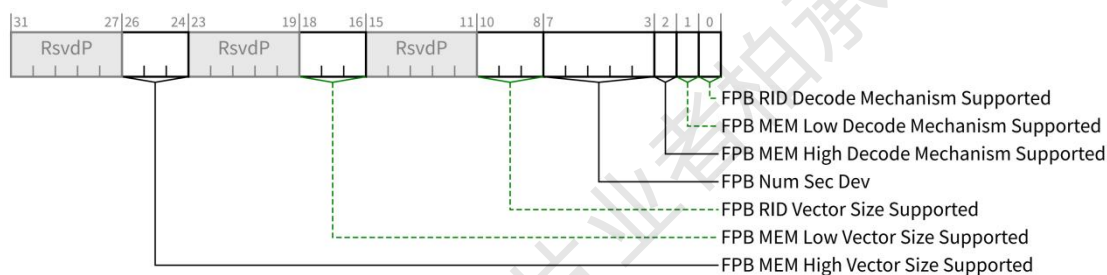


Figure 7-163 FPB Capabilities Register

Bit Location	Register Description	Attributes
0	FPB RID Decode Mechanism Supported - 置 1 表示支持 FPB RID Vector 机制。	HwInit
1	FPB MEM Low Decode Mechanism Supported - 置 1 表示支持 FPB MEM Low Vector 机制。	HwInit
2	FPB MEM High Decode Mechanism Supported - 置 1 表示支持 FPB MEM High Vector 机制。	HwInit
7:3	FPB Num Sec Dev - 仅对于 Switch 的 Upstream Port，此字段指示与 Upstream Port 的 bridge 的 Secondary Side 相关联的 Device Number 的数量。此数量值为此字段的值加 1。 尽管建议 Switch 的实现使用每个分配的 Device Number 的所有 8 个允许的 Function 来分配 Downstream Port，以便在 Device Number 和 Function Number 的连续范围内分配所有 Downstream Port，但是，明确允许将 Downstream Port 分配给功能 在指定的设备编号范围内不连续的编号，并且系统软件需要在指定数量的与上游端口的次级侧关联的设备编号范围内的每个功能编号处扫描交换机下游端口。 尽管建议 Switch 的实现使用每个分配 Device Number 的所有 8 个允许的 Function 来分配 Downstream Port，以便在连续的 Device Number 和 Function Number 范围内分配所有 Downstream Port，但是，明确允许将 Downstream Port 分配给在所指示 Device Number 范围内	HwInit/RsvdP

不连续的 Function Number, 系统软件需要在与 Upstream Port 的 Secondary Side 相关联的 Device Number 指示数量内的每个 Function Number 扫描 Switch Downstream Port。

该字段为 Downstream Port 保留。

10:8 **FPB RID Vector Size Supported** - 指示以硬件实现的 FPB RID Vector 的大小, 并限制允许软件写入 FPB RID Vector Granularity 字段的值。 HwInit

定义的编码为:

Value	Size	Allowed Granularities in RID units
000b	256 bits	8, 64, 256
010b	1 K bits	8, 64
101b	8 K bits	8

其他编码值保留。

如果 FPB RID Decode Mechanism Supported 为 0, 则此字段中的值未定义, 必须由软件忽略。

18:16 **FPB MEM Low Vector Size Supported** - 指示以硬件实现的 FPB MEM Low Vector 的大小, 并限制允许软件写入 FPB MEM Low Vector Start 字段的值。 HwInit

定义的编码为:

Value	Size	Allowed Granularities in MB units
000b	256 bits	1, 2, 4, 8, 16
001b	512 bits	1, 2, 4, 8
010b	1 K bits	1, 2, 4
011b	2 K bits	1, 2
100b	4 K bits	1

其他编码值保留。

如果 FPB MEM Low Decode Mechanism Supported 为 0, 则此字段中的值未定义, 必须由软件忽略。

26:24 **FPB MEM High Vector Size Supported** - 指示以硬件实现的 FPB MEM High Vector 的大小。 HwInit

定义的编码为:

Value	Size
000b	256 bits
001b	512 bits
010b	1 K bits
011b	2 K bits
100b	4 K bits
101b	8 K bits

其他编码值保留。

所有定义的矢量大小都允许使用所有定义的粒度。

如果 FPB MEM High Decode Mechanism Supported 为 0，则此字段中的值未定义，必须由软件忽略。

7. 8. 10. 3 FPB RID Vector Control 1 Register (Offset 08h)

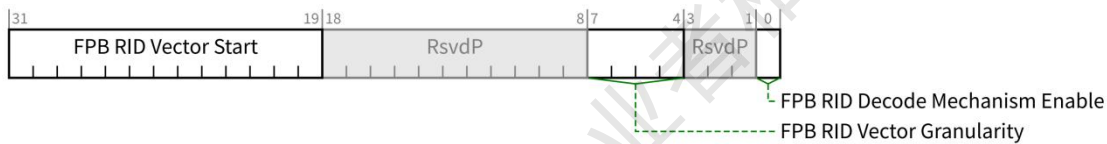


Figure 7-164 FPB RID Vector Control 1 Register

Bit Location	Register Description	Attributes								
0	FPB RID Decode Mechanism Enable - 置 1 时，使能 FPB RID Decode 机制。 如果 FPB RID Decode Mechanism Supported 为 0，则允许硬件将该位实现为 RO，在这种情况下，该字段中的值是不确定的。 该位的默认值为 0b。	RW/RO								
1	FPB RID Vector Granularity - 软件写入该字段用于控制 FPB RID Vector 的粒度以及 FPB RID Vector Start 字段的所需的对齐方式（如下所示）。 定义的编码为： <table><tr><th>Value</th><th>Granularity</th></tr><tr><td>0000b</td><td>8 RIDs</td></tr><tr><td>0011b</td><td>64 RIDs</td></tr><tr><td>0101b</td><td>256 RIDs</td></tr></table>	Value	Granularity	0000b	8 RIDs	0011b	64 RIDs	0101b	256 RIDs	RW/RO
Value	Granularity									
0000b	8 RIDs									
0011b	64 RIDs									
0101b	256 RIDs									

所有其他编码保留。

根据已实现的 FPB RID Vector 的大小，允许硬件仅将该字段中那些可以编程为非零值的位实现为 RW，在这种情况下，允许高位但不要求将其硬接线为 0。

如果 FPB RID Decode Mechanism Supported 为 0，则允许硬件将该字段实现为 RO，并且该字段中的值未定义。

对于 Downstream Port，如果将 Device Control 2 Register 中的 ARI Forwarding Enable 位和 FPB RID Decode Mechanism Enable 位设置为 1，那么如果该字段是可编程的，则软件必须将 0101b 编程到该字段中。

该字段的默认值为 0000b。

2

FPB RID Vector Start - 软件写入该字段用于控制 FPB RID Vector 的偏移量。

RW/RO

该值表示以 8 个 RID 为单位的 RID 偏移量，因此 FPB RID Vector 的 Bit 0 表示从该寄存器值开始到该值再加上 FPB RID Vector Granularity 减 1 的范围，Bit 1 表示从该寄存器值加上粒度到该值加上 FPB RID Vector Granularity 减 1 的范围，以此类推。

软件必须根据 FPB RID Vector Granularity 字段中的值，将该字段编程为自然对齐的值（意味着低位必须为 0），如下所示：

定义的编码为：

FPB RID Vector Granularity	Start Alignment Constraint
0000b	<no constraint>
0011b	...00 0b
0101b	...0000 0b

所有其他编码保留。

如果违反了此要求，则硬件行为未定义。

对于 Downstream Port，如果将 Device Control 2 Register 中的 ARI Forwarding Enable 和 FPB RID Decode Mechanism Enable 设置为 1，则软件必须将该字段的 23:19 位编程为 0000 0b，并且如果编程为任何其他值，则硬件行为未定义。

如果 FPB RID Decode Mechanism Supported 为 0，则允许硬件将该字段实现为 RO，并且该字段中的值未定义。

该字段的默认值为 0000 0000 0000 0b。

7. 8. 10. 4 **FPB RID Vector Control 2 Register (Offset 0Ch)**

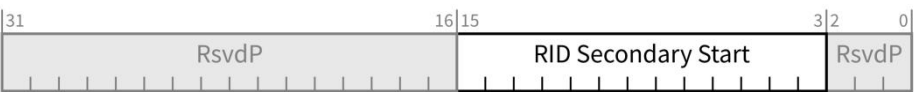


Figure 7-165 FPB RID Vector Control 2 Register

Bit Location	Register Description	Attributes
15:3	RID Secondary Start - 软件写入该字段用于控制必须转化为 Type 0 Configuration Request 的从 bridge 传递到下游的 Type 1 Configuration Request 的 RID offset。 RID offset 的位[2:0]由硬件固定为 000b，无法修改。 对于 Downstream Port，如果 Device Control 2 Register 中的 ARI Forwarding Enable 位置 1，则软件必须将该字段的 7:3 位写入 0 0000b。 如果 FPB RID Decode Mechanism Supported 位为 0，则允许硬件将该字段实现为 RO，并且该字段中的值未定义。 该字段的默认值为 0000 0000 0000 0b。	RW/RO

7.8.10.5 FPB MEM Low Vector Control Register (Offset 10h)

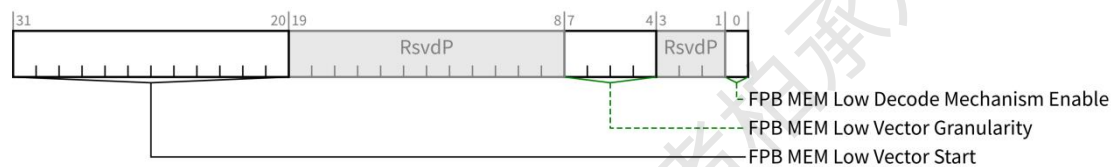


Figure 7-166 FPB MEM Low Vector Control Register

Bit Location	Register Description	Attributes												
0	FPB MEM Low Decode Mechanism Enable - 置 1 时，使能 FPB MEM Low Decode 机制。 如果 FPB MEM Low Decode Mechanism Supported 为 0，则允许硬件将该位实现为 RO，在这种情况下，该字段中的值是不确定的。 该位的默认值为 0b。	RW/RO												
7:4	FPB MEM Low Vector Granularity - 软件写入该字段用于控制 FPB MEM Low Vector 的粒度以及 FPB MEM Low Vector Start 字段的所需对齐方式（如下）。 定义的编码为： <table><tr><th>Value</th><th>Granularity</th></tr><tr><td>0000b</td><td>1 MB</td></tr><tr><td>0001b</td><td>2 MB</td></tr><tr><td>0010b</td><td>4 MB</td></tr><tr><td>0011b</td><td>8 MB</td></tr><tr><td>0100b</td><td>16 MB</td></tr></table> 所有其他编码都保留。	Value	Granularity	0000b	1 MB	0001b	2 MB	0010b	4 MB	0011b	8 MB	0100b	16 MB	RW/RO
Value	Granularity													
0000b	1 MB													
0001b	2 MB													
0010b	4 MB													
0011b	8 MB													
0100b	16 MB													

基于 FPB MEM Low Vector size 的实现，允许硬件仅将该字段中那些可以编程为非零值的位实现为 RW，在这种情况下，允许高位但不要求将其硬接线为 0。

如果 FPB MEM Low Decode Mechanism Supported 位为 0，则允许硬件将该字段实现为 RO，并且该字段中的值未定义。

默认值是 0000b。

31:20

FPB MEM Low Vector Start - 软件写入该字段用于设置应用了 FPB MEM Low Vector 的基址的第 31:20 位。

RW/RO

软件必须根据 FPB MEM Low Vector Granularity 字段中的值，将该字段编程为自然对齐的值（意味着低位必须为 0），如下所示：

FPB MEM Low Vector Granularity	Constraint
0000b	<no constraint>
0001b	...0b
0010b	...00b
0011b	...000b
0100b	...0000b

如果违反了此要求，则硬件行为未定义。

如果 FPB MEM Low Decode Mechanism Supported 位为 0，则允许硬件将该字段实现为 RO，并且该字段中的值未定义。

该字段的默认值为 000h。

7. 8. 10. 6 **FPB MEM High Vector Control 1 Register (Offset 14h)**

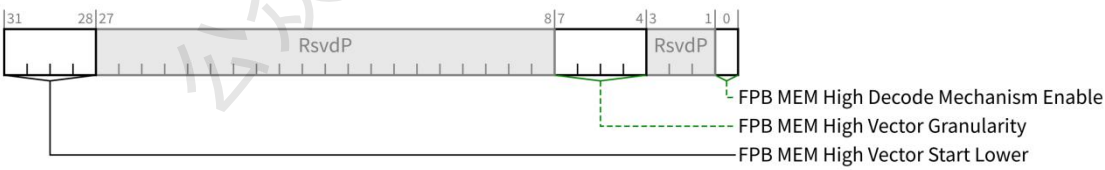


Figure 7-167 FPB MEM High Vector Control 1 Register

Bit Location	Register Description	Attributes
0	FPB MEM High Decode Mechanism Enable - 置 1 时，使能 FPB MEM High Decode 机制。 如果 FPB MEM High Decode Mechanism Supported 为 0，则允许硬件将该位实现为 RO，在这种情况下，该字段中的值是不确定的。 该位的默认值为 0b。	RW/RO

定义的编码为：

Value	Granularity
0000b	256 MB
0001b	512 MB
0010b	1 GB
0011b	2 GB
0100b	4 GB
0101b	8 GB
0110b	16 GB
0111b	32 GB

所有其他编码都保留。

基于 FPB MEM High Vector size 的实现，允许硬件仅将该字段中那些可以编程为非零值的位实现为 RW，在这种情况下，允许高位但不要求将其硬接线为 0。

如果 FPB MEM High Decode Mechanism Supported 位为 0，则允许硬件将该字段实现为 RO，并且该字段中的值未定义。

默认值是 0000b。

软件必须根据 FPB MEM High Vector Granularity 字段中的值，将该字段编程为自然对齐的值（意味着低位必须为 0），如下所示：

FPB MEM High Vector Granularity	Constraint
0000b	<no constraint>
0001b	...0b
0010b	...00b
0011b	...000b
0100b	...0000b
0101b	...0 0000b
0110b	...00 0000b
0111b	...000 0000b

如果违反了此要求，则硬件行为未定义。

如果 FPB MEM High Decode Mechanism Supported 位为 0，则允许硬件将该字段实现为 RO，并且该字段中的值未定义。

该字段的默认值为 0h。

7. 8. 10. 7 FPB MEM High Vector Control 2 Register (Offset 18h)

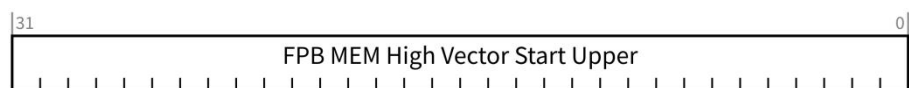


Figure 7-168 FPB MEM High Vector Control 2 Register

Bit Location	Register Description	Attributes																		
31:0	FPB MEM High Vector Start Upper - 软件写入该字段用于设置应用了 FPB MEM High Vector 的基址的第 63:32 比特。 软件必须根据 FPB MEM High Vector Granularity 字段中的值，将该字段编程为自然对齐的值（意味着低位必须为 0），如下所示： <table><tr><th>FPB MEM High Vector Granularity</th><th>Constraint</th></tr><tr><td>0000b</td><td><no constraint></td></tr><tr><td>0001b</td><td><no constraint></td></tr><tr><td>0010b</td><td><no constraint></td></tr><tr><td>0011b</td><td><no constraint></td></tr><tr><td>0100b</td><td><no constraint></td></tr><tr><td>0101b</td><td>...0b</td></tr><tr><td>0110b</td><td>...00b</td></tr><tr><td>0111b</td><td>...000b</td></tr></table>	FPB MEM High Vector Granularity	Constraint	0000b	<no constraint>	0001b	<no constraint>	0010b	<no constraint>	0011b	<no constraint>	0100b	<no constraint>	0101b	...0b	0110b	...00b	0111b	...000b	RW/RO
FPB MEM High Vector Granularity	Constraint																			
0000b	<no constraint>																			
0001b	<no constraint>																			
0010b	<no constraint>																			
0011b	<no constraint>																			
0100b	<no constraint>																			
0101b	...0b																			
0110b	...00b																			
0111b	...000b																			

如果违反了此要求，则硬件行为未定义。

如果 FPB MEM High Decode Mechanism Supported 位为 0，则允许硬件将该字段实现为 RO，并且该字段中的值未定义。

该字段的默认值为 0000 0000h。

7. 8. 10. 8 **FPB Vector Access Control Register (Offset 1Ch)**

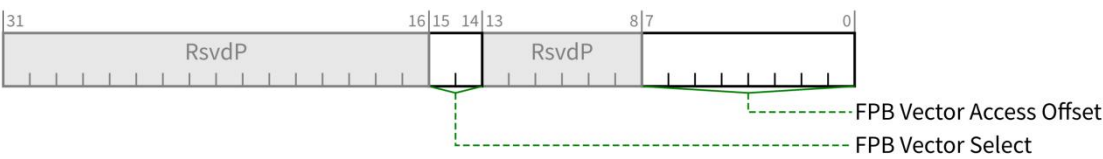


Figure 7-169 FPB Vector Access Control Register

Bit Location	Register Description	Attributes																					
7:0	FPB Vector Access Offset - 该字段中的值指示可以通过 FPB Vector Access Data Register 进行读或写的 FPB RID，MEM Low 或 MEM High 的 DWORD 部分的偏移量。 通过写入 FPB Vector Select 字段的值可以选择 RID，MEM Low 或 MEM High。 该字段的位根据对应的 FPB RID，MEM Low 或 MEM High Vector Size Supported 字段中的值映射到偏移量，如下所示： <table><tr><th>Vector Size Supported</th><th>Offset Bits</th><th>Vector Access Offset</th></tr><tr><td>000b</td><td>2:0</td><td>2:0 (7:3 unused)</td></tr><tr><td>001b</td><td>3:0</td><td>3:0 (7:4 unused)</td></tr><tr><td>010b</td><td>4:0</td><td>4:0 (7:5 unused)</td></tr><tr><td>011b</td><td>5:0</td><td>5:0 (7:6 unused)</td></tr><tr><td>100b</td><td>6:0</td><td>6:0 (7 unused)</td></tr><tr><td>101b</td><td>7:0</td><td>7:0</td></tr></table>	Vector Size Supported	Offset Bits	Vector Access Offset	000b	2:0	2:0 (7:3 unused)	001b	3:0	3:0 (7:4 unused)	010b	4:0	4:0 (7:5 unused)	011b	5:0	5:0 (7:6 unused)	100b	6:0	6:0 (7 unused)	101b	7:0	7:0	RW/RO
Vector Size Supported	Offset Bits	Vector Access Offset																					
000b	2:0	2:0 (7:3 unused)																					
001b	3:0	3:0 (7:4 unused)																					
010b	4:0	4:0 (7:5 unused)																					
011b	5:0	5:0 (7:6 unused)																					
100b	6:0	6:0 (7 unused)																					
101b	7:0	7:0																					
15:14	FPB Vector Select - 写入该字段的值选择要在指示的 FPB Vector Access Offset 处访问的向量。软件只能在该字段中写入与支持的 FPB 机制相对应的值，否则结果是不确定的。 定义的编码值为： <table><tr><td>00b</td><td>RID</td></tr><tr><td>01b</td><td>MEM Low</td></tr><tr><td>10b</td><td>MEM High</td></tr><tr><td>11b</td><td>Reserved</td></tr></table> 默认值为 00b。	00b	RID	01b	MEM Low	10b	MEM High	11b	Reserved	RW													
00b	RID																						
01b	MEM Low																						
10b	MEM High																						
11b	Reserved																						

7.8.10.9 FPB Vector Access Data Register (Offset 20h)

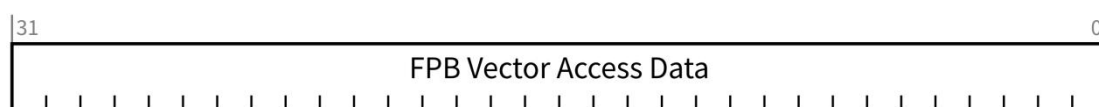


Figure 7-170 FPB Vector Access Data Register

Bit Location	Register Description	Attributes
31:0	FPB Vector Access Data - 从该寄存器中读取数据将返回 FPB Vector Access Offset Register 中的值所确定位置处的 FPB Vector 的数据的 DW。写入该寄存器将替换 FPB Vector Access Offset Register 中的值所确定位置处的 FPB Vector 的数据的 DW。 如果软件程序不支持 FPB Vector Select 或 FPB Vector Access Offset 字段的值, 则此字段的行为是不确定的, 但是一般需要硬件来完成对该寄存器的访问。 该字段的默认值为 0000 0000h。	RW

7.9 Additional PCI and PCIe Capabilities

本节对一些额外的 PCI 和 PCIe Capability 进行描述, 这些 Capability 在此都是可选实现的, 但其他 PCISIG 规范可能需要实现这些 Capability。

7.9.1 Virtual Channel Extended Capability

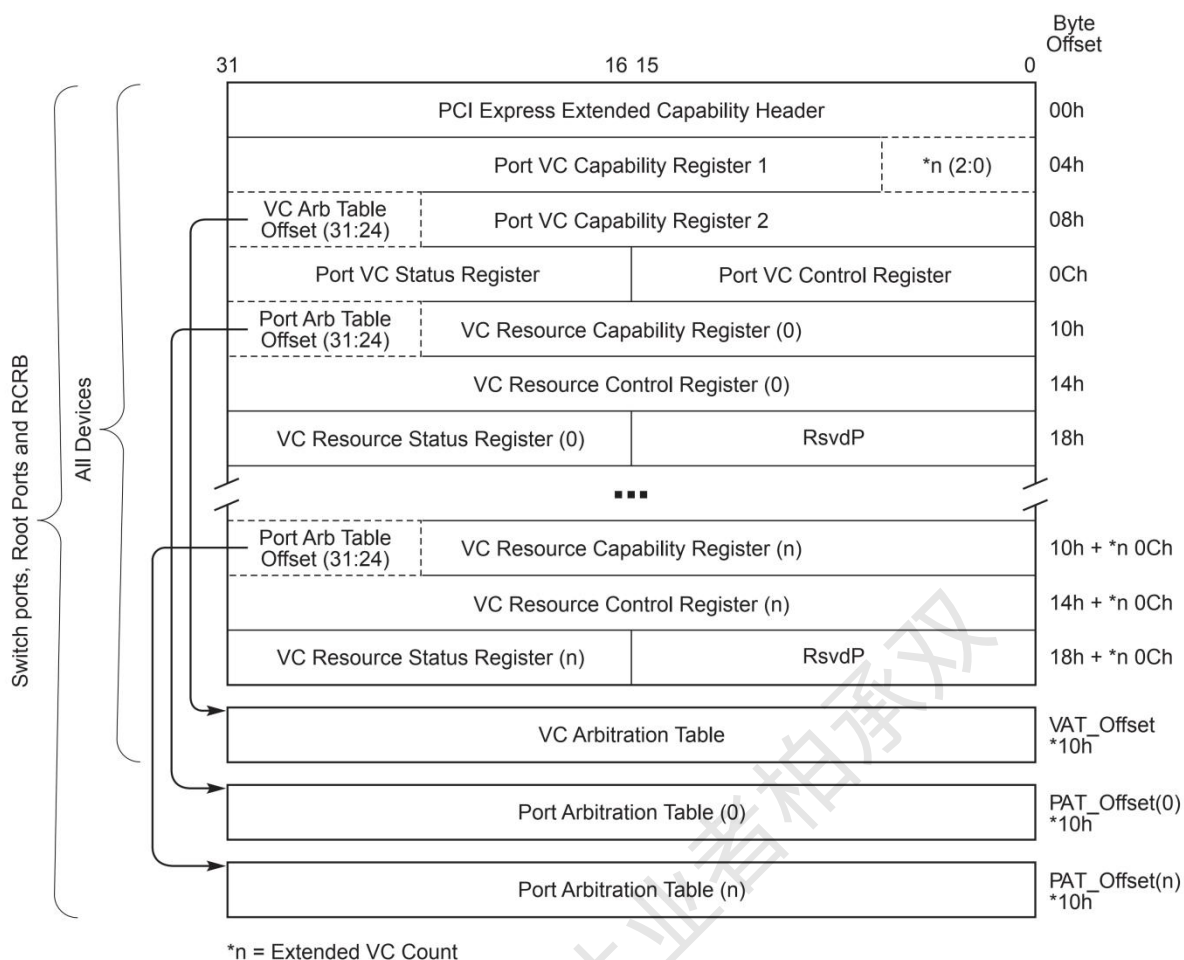
Virtual Channel Extended Capability (VC Capability) 是实现 Port (或单个 Function) 的设备可选实现的 Extended Capability, 这些 Port 在支持默认 Virtual Channel (VC0) 与默认 Traffic Class (TC0) 之外进行了功能扩展。这可能适用于只有一个支持 TC 过滤的 VC 的设备或支持多个 VC 的设备。请注意, 仅通过 VC0 支持 TC0 的 PCI Express 设备不需要实现 VC Extended Capability 和相关寄存器。Figure 7-171 给出了 Virtual Channel Extended Capability structure 的布局图。此结构控制 PCI Express 链路的虚通道分配, 并且可能在包含 Port 的任何设备 (或 RCRB), 或任何实现 Multi-Function Virtual Channel (MFVC) Capability structure 的设备中实现。Virtual Channel Extended Capability structure 中的某些寄存器/字段可能对 Endpoints、Switch Ports、Root Ports 和 RCRB 有不同的解释。软件必须根据 PCI Express Capabilities Register 中的 Device/Port Type 字段, 以确定这些寄存器/字段的可用性和含义。

虚通道的数量由 Port VC Capability Register 1 中的 Extended VC Count 字段指示。软件必须根据该字段的值确定扩展 VC 资源寄存器的可用性。

在所有 single-Function device 或 RCRB 的 Extended Configuration Space 中都允许实现 VC Capability structure。

Upstream Port 的 Multi-Function Device 可以选择性地实现 Multi-Function Virtual Channel (MFVC) Capability structure (Section 7.9.2)。如果 Multi-Function Device 包含 MFVC capability structure, 则允许其任何或所有 Function 实现一个 VC Capability structure。每个 Function 的 VC Capability structure 也被允许用于 Switch 内仅包含 Switch Downstream Port Function 或 RCiEP 的设备。否则, 只允许 Function 0 实现 VC Capability structure。

为了保持软件向后兼容性, VC Capability structure 允许使用两个 Extended Capability ID: 0002h 和 0009h。如果实现了 VC Capability structure 的设备还实现了 MFVC Capability structure, 则其 Extended Capability ID 为 0009h。如果实现了 VC Capability structure 的设备未实现 MFVC Capability structure, 则其 Extended Capability ID 为 0002h。



OM14320B

Figure 7-171 Virtual Channel Extended Capability Structure

7.9.1.1 Virtual Channel Extended Capability Header (Offset 00h)

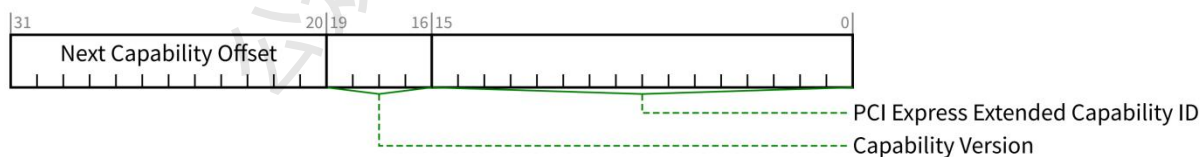


Figure 7-172 Virtual Channel Extended Capability Header

Bit Location	Register Description	Attributes
15:0	PCI Express Extended Capability ID - 该字段是 PCI-SIG 定义的 ID, 用于指示扩展功能的性质和格式。 Virtual Channel Extended Capability 的 Extended Capability ID 为 0009h 或 0002h。	RO
19:16	Capability Version - 该字段是 PCI-SIG 定义版本号, 指示实现的 Capability structure 的版本。	RO

对于该版本的规范，必须为 1h。

31:20 **Next Capability Offset** - 此字段指示到下一个 PCI Express Extended Capability structure 的偏移量；如果在 Capability 的链接列表中不存在其他项，则为 000h。 RO

7.9.1.2 Port VC Capability Register 1 (Offset 04h)

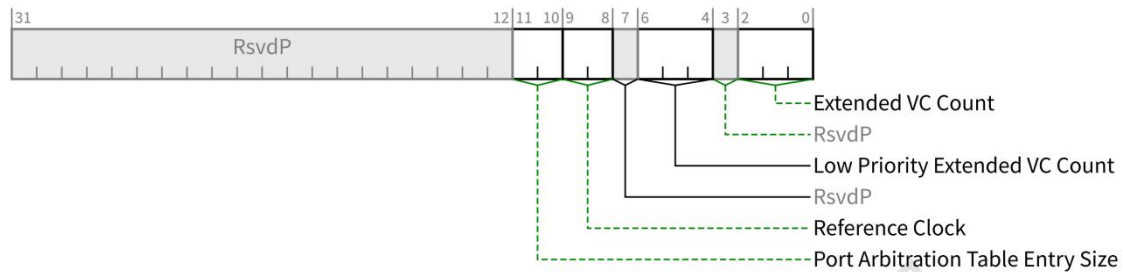


Figure 7-173 Port VC Capability Register 1

Bit Location	Register Description	Attributes
2:0	Extended VC Count - 指示除默认 VC 外设备支持虚通道的数量。此字段对所有 Function 都有效。 该值表示除默认 VC 所需的 VC Resource register 外，配置空间中实现的(extended) VC Resource Capability、Control 和 Status register 的数量。 此字段的最小值为 0（表示设备只默认 VC 且该 VC 仅有 1 组 VC Resource Register）。最大值为 7。	RO
6:4	Low Priority Extended VC Count - 表示构成低优先级 VC (LPVC) 组的 VC 的数量（以 VC0 为起点）。此字段对所有 Function 都有效。 该字段的最小值为 000b，最大值为 Extended VC Count。 若该字段值为 n： - 当 n = Extended VC Count 时，表示没有 LPVC 组，且 Port 的 VC 缓冲区的传输顺序受固定优先级方案控制，在这种方案中，VC0 的优先级最低，而且 VC 的编号越高，优先级越高。 - 当 0 < n < Extended VC Count 时，则 VC 编号从 0 到 n 为 LPVC 组的成员，编号大于 n 的为高优先级组且编号越大优先级越高。 - 仅当高优先级组中的 VC 没有数据包传输时，控制权才交给 LPVC 组。属于 LPVC 的 VC 所使用的优先级方案由 Port VC Capability Register 2 中的 VC Arbitration Capability 字段控制。	RO
9:8	Reference Clock - 该参考时钟是针对支持基于时间的 WRR Port Arbitration 的 Virtual Channel 而言的。此字段对支持对等业务流的 RCRB、Switch Port 和 Root Port 有效。对不支持对等业务流的 Root Port、Endpoint 和 Switch 或未实现 WRR 的 Root Complex 无效，并且必须硬连线到 00b。 定义的编码值为：	RO

	00b	100 ns reference clock	
	01b ~ 11b	Reserved	
11:10	Port Arbitration Table Entry Size - 表示 Function 中 Port Arbitration table entry 的 size（以比特为单位）。此字段仅对支持点对点业务流的 RCRB、Switch Port 和 Root Port 有效。对于不支持对等业务流的 Root Port 和 Endpoint，它无效并且必须硬连线到 00b。		RO
	定义的编码值为：		
	00b	Port Arbitration table entry 的 Size 为 1 bit 。	
	01b	Port Arbitration table entry 的 Size 为 2 bit 。	
	10b	Port Arbitration table entry 的 Size 为 4 bit 。	
	11b	Port Arbitration table entry 的 Size 为 8 bit 。	

7.9.1.3 Port VC Capability Register 2 (Offset 08h)

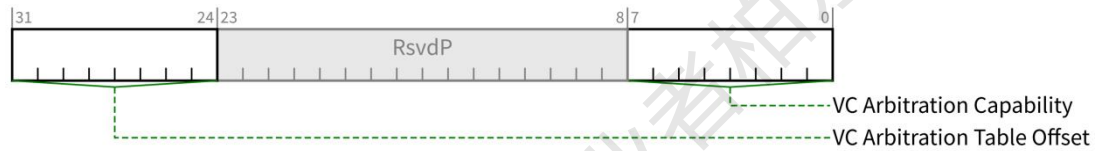


Figure 7-174 Port VC Capability Register 2

Bit Location	Register Description	Attributes
7:0	VC Arbitration Capability - LPVC 组中 Function 支持的 VC 仲裁类型。此字段对于 Low Priority Extended VC Count 字段大于 0 的所有 Function 有效。对于所有其他 Function，此字段必须硬连线到 00h。 该字段中的每个比特位对应于下面定义的 VC Arbitration Capability。当该字段有大于 1 比置 1 时，表示该 Port 可以通过配置提供不同的 VC 仲裁服务。 各比特位的定义为： Bit 0 Hardware fixed arbitration scheme, e.g., Round Robin Bit 1 Weighted Round Robin (WRR) arbitration with 32 phases Bit 2 WRR arbitration with 64 phases Bit 3 WRR arbitration with 128 phases Bit 4-7 Reserved 最终选择哪种仲裁方案由 Port VC Control Register 中的 VC Arbitration Select 字段确定。	RO
31:24	VC Arbitration Table Offset - 表示 VC Arbitration Table 相对于 Virtual Channel Extended Capability 的	RO

地址 (以 DQWORDS (16 bytes) 为单位)。此字段对所有 Function 都有效。0 表示该表不存在。

7.9.1.4 Port VC Control Register (Offset 0Ch)

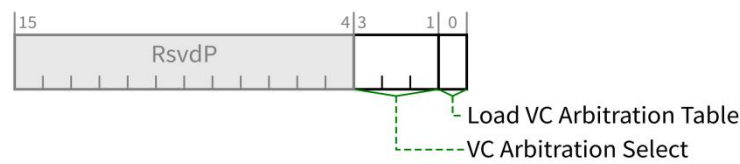


Figure 7-175 Port VC Control Register

Bit Location	Register Description	Attributes
0	Load VC Arbitration Table - 表示由软件更新 VC Arbitration Table。当所选 VC 仲裁使用 VC Arbitration Table 时，该字段对于所有 Function 都有效。 软件把该位置 1 以请求硬件使用编程到 VC Arbitration Table 中的新值；清除该位无效。软件检查 VC Arbitration Table Status 字段以确认存储在 VC Arbitration Table 中的新值是否被 VC 仲裁逻辑锁存。 该位在读时总是返回 0b。 为了激活 Port 的 VC Arbitration Table，配置软件需要采取如下步骤： - 当软件初次规划 VC Arbitration Table 时，或在之后对表中的条目有任何修改时，Port VC Status Register 中的 VC Arbitration Table Status 字段将由硬件自动设置为 1。 - 然后软件将 Load VC Arbitration Table 设置为 1，促使 Port 从其 VC Capability structure 中读取 VC Arbitration Table，并应用它。 - 当硬件完成了读或应用更新后的 VC Arbitration Table 后，它自动清除 Port VC Status Register 中的 VC Arbitration Table Status 字段。 - 通过读 Port VC Status Register 中的 VC Arbitration Table Status 字段的值，软件可以确定更新后的 VC Arbitration Table 是否使用完毕。	RW
3:1	VC Arbitration Select - 用户从 Port VC Capability Register 2 的 VC Arbitration Capability 字段中选择一种 VC 仲裁方案写入该字段。该字段对所有 Function 有效。 该字段的允许值对应于 VC Arbitration Capability 中的有效位之一的数字。 在启用 LPVC 组中的多个 VC 前，配置软件必须选择其仲裁方案。	RW

7.9.1.5 Port VC Status Register (Offset 0Eh)

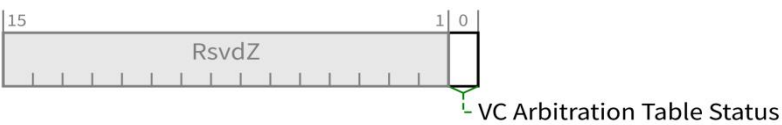


Figure 7-176 Port VC Status Register

Bit Location	Register Description	Attributes
0	VC Arbitration Table Status - 指示 VC Arbitration Table 的一致性状态。当所选 VC 使用 VC Arbitration Table 时，该位对于所有 Function 都有效。 当 VC Arbitration Table 的任何条目由软件写入时，该位由硬件置 1。当软件设置 Port VC Control Register 中的 Load VC Arbitration Table 后，硬件完成加载存储在 VC Arbitration Table 中的值时，该位由硬件清零。 该位的默认值为 0b。	RO

7.9.1.6 VC Resource Capability Register

每个 Port 至少有一个 VC，即 VC0；每个 Port 可选实现从 VC0 到 VC7 的最多 8 个 VC。对它支持的每个 VC，Port 都会实现如下 3 个寄存器：VC Resource Capability Register、VC Resource Control Register 和 VC Resource Status Register。

每个 VC 都会实现：

一个强制的 TC/VC 映射图，它定义了该 VC 应接受的 TC。

一个可选的 Port Arbitration Table，它定义了 VC 从设备入端口接收数据包的顺序。

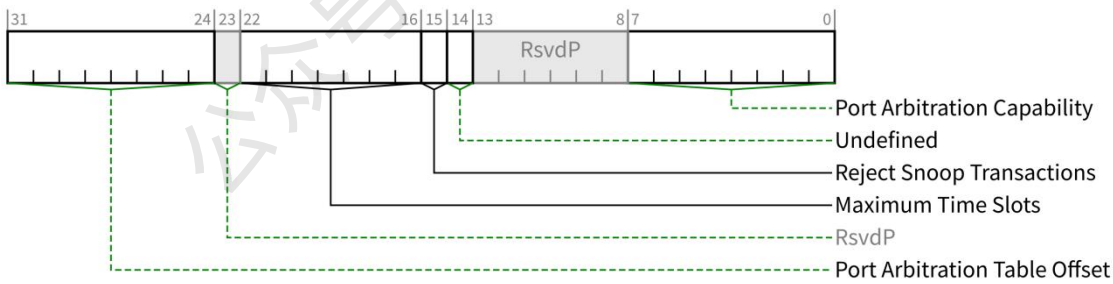


Figure 7-177 VC Resource Capability Register

Bit Location	Register Description	Attributes
7:0	Port Arbitration Capability - 表示此 VC 支持的 Port Arbitration 类型。此字段对所有 Switch Port、支持对等业务流的 Root Port 和 RCRB 有效，但对不支持对等业务流的 Endpoint 或 Root Port 无效。 该字段中的每个比特位对应于下面定义的 Port Arbitration Capability。当该字段中超过 1 位为 1 时，表示此 VC 支持多种不同的仲裁服务。	RO

软件写 Port Arbitration Select 字段在这些 Capability 中进行选择（Section 7.9.1.7 ）。

各比特位的定义为：

Bit 0	Hardware fixed arbitration scheme, e.g., Round Robin
Bit 1	Weighted Round Robin (WRR) arbitration with 32 phases
Bit 2	WRR arbitration with 64 phases
Bit 3	WRR arbitration with 128 phases
Bit 4	Time-based WRR with 64 phases
Bit 5	WRR arbitration with 256 phases
Bit 6-7	Reserved

14	Undefined - 从该位读取的值未定义。在本规范的先前版本中，该位用于指示 Advanced Packet Switching。系统软件必须忽略从该位读取的值。	RO
15	Reject Snoop Transactions - 当清 0 时，允许在 TLP header 中 No Snoop 设置为 0 或 1 的 Transaction 通过此 VC。当置 1 时，任何适用于 No Snoop 属性但未在 TLP header 内把 No Snoop 置 1 的 Transaction 都被作为 Unsupported Request 被拒绝。有关 No Snoop 属性应用情况的信息，请参阅 Section 2.2.6.5 。该字段对 Root Port 和 RCRB 有效；它对 Endpoint 或 Switch Port 无效。	HwInit
22:16	Maximum Time Slots - 指示此 VC 在配置为 time-based WRR Port Arbitration 时能够支持的最大时隙数（减 1）。例如，该字段中的值 000 0000b 表示支持的最大时隙数为 1，值 111 1111b 表示支持的最大时隙数为 128。该字段对所有支持的 Switch Port、支持点对点业务流的 Root Port 和 RCRB 有效，但对不支持点对点业务流的 Endpoint 或 Root Port 无效。另外，该字段仅在 Port Arbitration Capability 字段指示 VC 支持 time-based WRR Port Arbitration 时有效。	HwInit
31:24	Port Arbitration Table Offset - 指示与此 VC 关联的 Port Arbitration Table 的地址。此字段对所有 Switch Port、支持对等业务流的 Root Port 和 RCRB 有效，但对不支持对等业务流的 Endpoint 或 Root Port 无效。 该字段实现的表从 Virtual Channel Extended Capability structure 的基地址以 DQWORDS（16 字节）为单位的从零开始的偏移量。00h 表示该表不存在。	RO

7.9.1.7 VC Resource Control Register

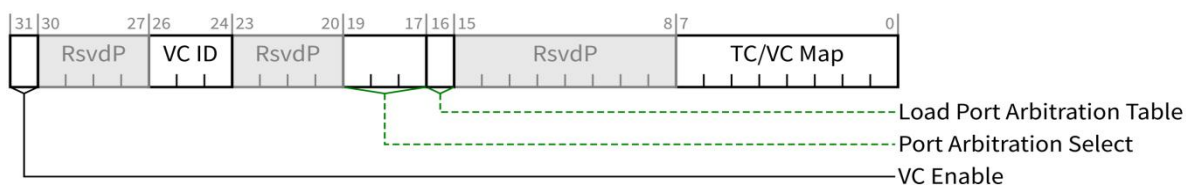


Figure 7-178 VC Resource Control Register

Bit Location	Register Description	Attributes
--------------	----------------------	------------

7:0	TC/VC Map - 该字段指示映射到此 VC 的 TC。此字段对所有 Function 都有效。 该字段内的比特位位置对应于 TC 值。例如, 当该字段中的第 7 比特置 1 时, TC7 被映射到该 VC。当该字段中大于 1 比特置为 1 时, 表示多个 TC 映射到该 VC。 为了从使能的 VC 的 TC/VC Map 中删除一个或多个 TC, 软件必须确保针对给定的链路没有新的或 outstanding 的携带此 TC 标签的 Transaction。 该字段的默认值对于第一个 VC 为 FFh, 对于其他 VC 资源为 00h。 Note: 该字段的 Bit 0 是只读的。它必须为默认 VC0 设置, 并为所有其他启用的 VC 清除。	RW
16	Load Port Arbitration Table - 置 1 时, 该位更新来自此 VC 的 Port Arbitration Table 的端口仲裁逻辑。该位对所有 Switch Port、支持对等业务流的 Root Port 和 RCRB 有效, 但对不支持对等业务流的 Endpoint 和 Root Port 无效。此外, 该位仅在端口仲裁方案选择 Port Arbitration Table 时有效。 软件设置该位以通知硬件使用 Port Arbitration Table 中存储的新值更新端口仲裁逻辑; 清除该位无效。软件使用 Port Arbitration Table Status 字段来确认 Port Arbitration Table 的新值是否被仲裁逻辑完全锁存。 读此字段总会返回 0b。 默认值为 0b。	RW
19:17	Port Arbitration Select - 该字段配置此 VC 以提供特定的端口仲裁服务。此字段对 RCRB、支持对等业务流的 Root Port 和 Switch Port 有效, 但对不支持对等业务流的 Endpoint 或 Root Port 无效。 该字段的值对应于此 VC 的 Port Arbitration Capability 字段中置为 1 的比特位。	RW
26:24	VC ID - 该字段为此 VC 分配一个 VC ID (有关例外情况, 请参见注释)。此字段对所有 Function 都有效。 当 VC 已启用时, 无法修改此字段。	RW
31	VC Enable - 置 1 时使能此虚通道 (有关例外情况, 请参见 Note 1)。当该位清 0 时, 此虚通道被禁用。该位对所有 Function 都有效。 软件必须使用 VC Negotiation Pending 字段来检查 VC 协商是否完成。 该位的默认值对于第一个 VC 资源为 1b, 对于其他 VC 资源为 0b。 Notes: 1. 对于默认 VC (VC0), 该位硬连线到 1b, 即写入该位对 VC0 没有影响。 2. 要使能此虚通道, 必须在链路上的两个组件中都把该 VC 的 VC Enable 置 1。 3. 要禁用此虚通道, 必须在链路上的两个组件中都把该 VC 的 VC Enable 清 0。 4. 软件必须确保在此 VC 禁用时没有业务流正在使用虚通道。 5. 在重新启用虚通道之前, 软件必须完全禁用链路上两个组件中的虚通道。	RW

7.9.1.8 VC Resource Status Register

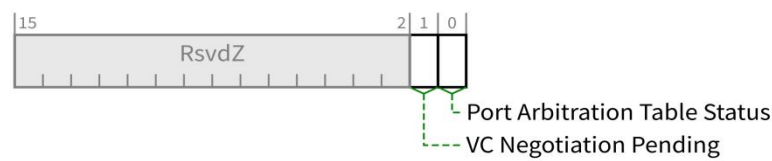


Figure 7-179 VC Resource Status Register

Bit Location	Register Description	Attributes
0	Port Arbitration Table Status - 该位指示与此 VC 关联的 Port Arbitration Table 的一致性状态。该位对 RCRB、支持对等业务流的 Root Port 和 Switch Port 有效，但对不支持对等业务流的 Endpoint 或 Root Port 无效。此外，该位仅在 Port Arbitration Table 被选定为此 VC 的端口仲裁方案时有效。 当 Port Arbitration Table 的任何条目由软件写入时，该位由硬件置 1。当软件设置 Load Port Arbitration Table 后，硬件完成加载 Port Arbitration Table 中存储的值时，该位由硬件清零。 默认值为 0b。	RO
1	VC Negotiation Pending - 该位指示虚通道协商（初始化或禁用）是否处于挂起状态。该位对所有 Function 都有效。 该位的值仅在链路处于 DL_Active 状态且启用虚通道（其 VC Enable 置 1）时定义。 当该位被硬件置 1 时，表示此 VC 还没有完成协商过程。VC 协商完成后（退出 FC_INIT2 状态时），该位由硬件清零。对于 VC0，该位允许硬连线到 0b。 在使用虚通道之前，软件必须检查该虚通道的 VC Negotiation Pending 字段在链路上的两个组件中是否都已清 0。	RO

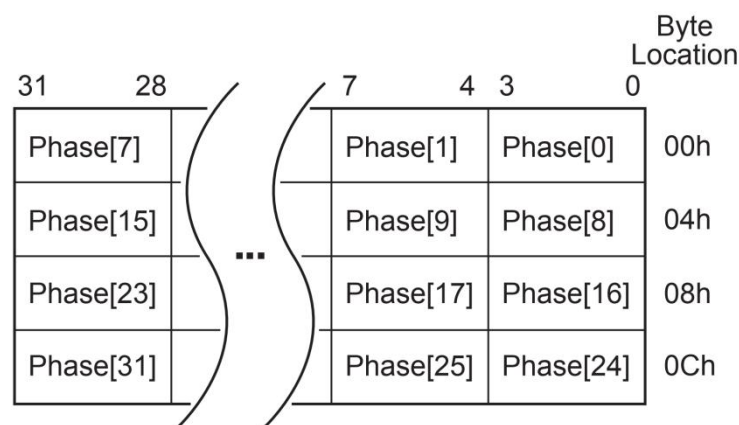
7.9.1.9 VC Arbitration Table

VC Arbitration Table 是一个读写寄存器数组，用于存储 VC 仲裁的仲裁表。当所选 VC 仲裁使用 WRR 表时，此寄存器阵列对所有 Function 都有效。不支持 WRR VC 仲裁的 Function 不需要实现 VC Arbitration Table。如果实现，则 VC Arbitration Table 由 VC Arbitration Table Offset 字段定位。

VC Arbitration Table 是一个寄存器数组，具有固定大小的 4 比特条目。Figure 7-180 描述了具有 32 个 Phase 的 VC Arbitration Table 的表结构。每个 4 比特表项对应一个 WRR 仲裁周期内的一个 Phase。表项的定义如 Table 7-146 所示。低 3 位 (bits 0-2) 包含 VC ID 值，表示 WRR 仲裁周期内对应的 Phase 被分配给 VC ID 指示的 Virtual Channel（必须是一个有效的 VC ID，对应一个使能的 VC）。

表条目的最高位 (Bit 3) 是保留的。表的长度取决于如 Table 7-147 所选的 VC 仲裁方案。

当默认 VC 仲裁方法使用 VC Arbitration Table 时，表项的默认值必须全部为零，以确保默认 VC (VC ID 为 0) 的转发操作。



OM14489

Figure 7-180 Example VC Arbitration Table with 32 Phases

Table 7-146 Definition of the 4-bit Entries in the VC Arbitration Table

Bit Location	Description	Attributes
2:0	VC ID	<u>RW</u>
3	<u>RsvdP</u>	<u>RW</u>

Table 7-147 Length of the VC Arbitration Table

VC Arbitration Select	VC Arbitration Table Length
001b	32 entries
010b	64 entries
011b	128 entries

7.9.1.10 Port Arbitration Table

Port Arbitration Table 寄存器是一个读写寄存器阵列，用于存储此 VC 的 Port Arbitration 的 WRR 或基于时间的 WRR 仲裁表。此寄存器阵列对所有 RCRB、支持对等业务流的 Root Port 和 Switch Port 有效，但对不支持对等业务流的 Endpoint 或 Root Port 无效。仅当 Port Arbitration Capability 字段中的一个或多个置 1 的比特位表示组件支持使用可编程仲裁表的端口仲裁方案时，才会实现此寄存器阵列。此外，仅当 Port Arbitration Capability 中的上述比特之一被 Port Arbitration Select 字段选择时才有效。

Port Arbitration Table 代表一个端口仲裁周期。Figure 7-181 给出了一个具有 128 个 Phase 和 2 比特表条目的 Port Arbitration Table 的结构示例。包含此 Port Number 的表条目对应于端口仲裁周期内的一个 Phase。例如，一个最多有四个 Port 的 Switch 组件可以使用一个包含 2 比特条目的表。写入表条目的 Port Number 表示端口仲裁周期内的 Phase 已分配给选定的 PCI Express Port (Port Number 必须是有效的)。

- 当 WRR Port Arbitration 用于任何 Egress Port 的 VC 时，在每个 arbitration phase，Port Arbiter 从当前阶段的 Port Number 指示的 Ingress Port 服务一个 Transaction。完成后，它立即进入下一 Phase。即如果该 Phase 指示的 Egress Port 不包含任何 VC Transaction（注意，一个 Phase 不能包含 Egress Port 的 Port Number），则端口仲裁器简单地立即跳到下一个 Phase。
- 当基于时间的 WRR 端口仲裁用于任何给定 Port 的 VC 时，在与虚拟时隙对齐的每个 arbitration phase，端口仲裁器服务来自当前 Phase 的 Port Number 指示的 Ingress Port 的一个事务。它在下一个虚拟时隙前进到下一 Phase。一个 Phase 表示一个“空闲”时隙，即端口仲裁器在该 Phase 不服务任何事务，如果：

- 此 Phase 包含 Egress Port 的 Port Number，或
- 此 Phase 指示的 Ingress Port 不包含任何针对 VC 的事务。
- Port VC Capability Register 1 中的 Port Arbitration Table Entry Size 字段确定表条目大小。表的长度由如 Table 7-148 所示的 Port Arbitration Select 字段决定。
- 当 Port Arbitration Table 被用于默认 VC 的默认端口仲裁时，表条目的默认值必须至少包含组件的每个其他 PCI Express Port 的一个条目，以确保每个 Port 的默认 VC 的推进。该表可能包含默认 VC 的 RR 或类似 RR 的公平端口仲裁。

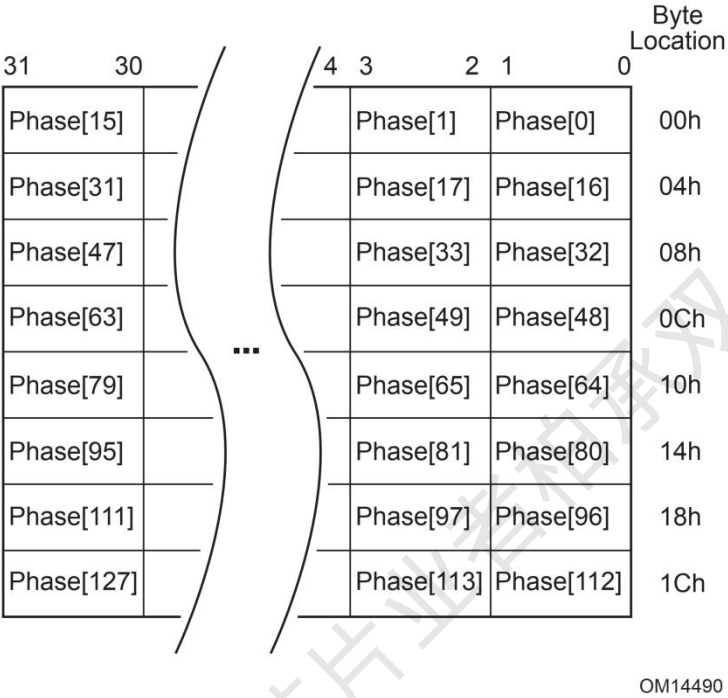


Figure 7-181 Example Port Arbitration Table with 128 Phases and 2-bit Table Entries

Table 7-148 Length of Port Arbitration Table	
Port Arbitration Select	Port Arbitration Table Length
001b	32 entries
010b	64 entries
011b	128 entries

Port Arbitration Select	Port Arbitration Table Length
100b	128 entries
101b	256 entries

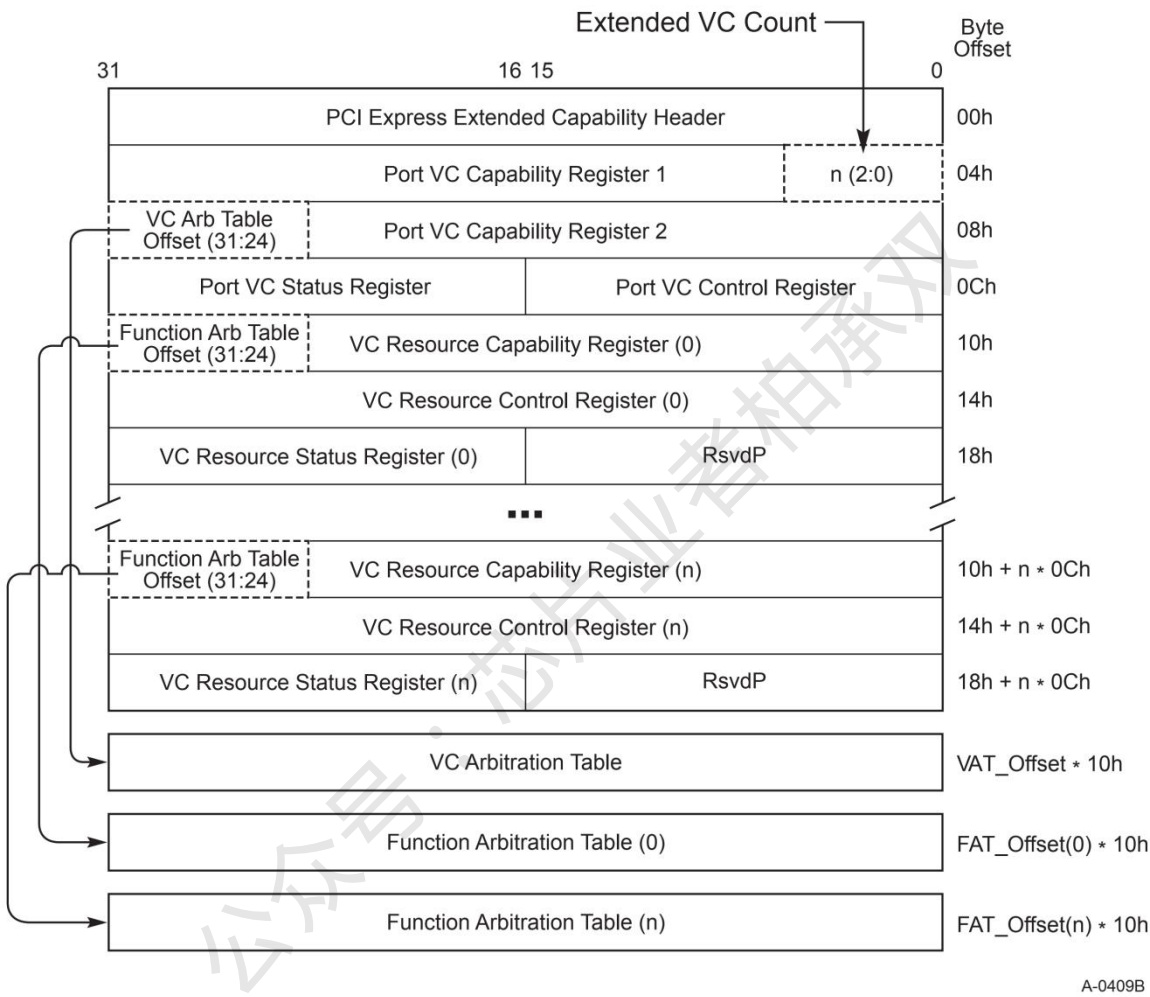
7. 9. 2 Multi-Function Virtual Channel Extended Capability

Multi-Function Virtual Channel Extended Capability (MFVC Capability)是一种可选的 Extended Capability, 用以在 Multi-Function Device

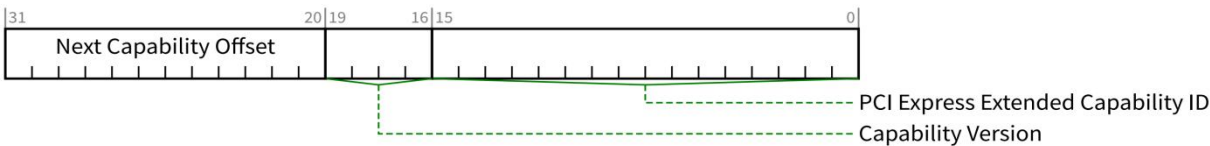
中增强 QoS 管理，它包括 TC/VC 映射、可选的 VC 仲裁以及对 Upstream Request 的 Function 仲裁。在实现时，MFVC Capability structure 必须在 Multi-Function Device 的 Upstream Port 的 Function 0 的 Extended Configuration Space 中实现。Figure 7-82 给出了 MFVC Capability structure 的布局图。此 MFVC Capability structure 控制 Multi-Function Device 的 PCI Express 的 Upstream Port 处的虚通道分配，而 VC Capability structure 控制该单个 Function 的虚通道分配。

虚通道的数量由 Port VC Capability Register 1 中的 Extended VC Count 字段指示。软件必须解释该字段以确定扩展 VC Resource register 的可用性。

Multi-Function Device 允许实现 MFVC Capability structure，即使其 Function 都没有实现 VC Capability structure。然而，MFVC Capability structure 只允许在 Multi-Function Device 的 Upstream Port 中的 Function 0 中实现。



7.9.2.1 MFVC Extended Capability Header (Offset 00h)



Bit Location	Register Description	Attributes
15:0	PCI Express Extended Capability ID - 该字段是 PCI-SIG 定义的 ID,用于指示扩展功能的性质和格式。 此 Extended Capability 的 Extended Capability ID 为 0008h。	RO
19:16	Capability Version - 该字段是 PCI-SIG 定义版本号, 指示实现的 Capability structure 的版本。 对于该版本的规范, 必须为 1h。	RO
31:20	Next Capability Offset - 此字段指示到下一个 PCI Express Extended Capability structure 的偏移量; 如果在 Capability 的链接列表中不存在其他项, 则为 000h。	RO

7.9.2.2 MFVC Port VC Capability Register 1 (Offset 04h)

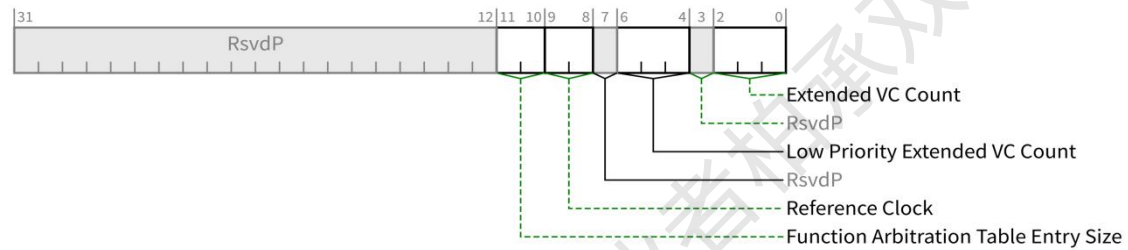


Figure 7-184 MFVC Port VC Capability Register 1

Bit Location	Register Description	Attributes
2:0	Extended VC Count - 指示除默认 VC 外设备支持虚通道的数量。 该值表示除默认 VC 所需的 VC Resource register 外, 配置空间中实现的(extended) VC Resource Capability、Control 和 Status register 的数量。 此字段的最小值为 0 (表示设备只默认 VC 且该 VC 仅有 1 组 VC Resource Register)。最大值为 7。	RO
6:4	Low Priority Extended VC Count - 表示构成低优先级 VC (LPVC) 组的 VC 的数量 (以 VC0 为起点)。此字段对所有 Function 都有效。 该字段的最小值为 000b, 最大值为 Extended VC Count。 若该字段值为 n: - 当 n = Extended VC Count 时, 表示没有 LPVC 组, 且 Port 的 VC 缓冲区的传输顺序受固定优先级方案控制, 在这种方案中, VC0 的优先级最低, 而且 VC 的编号越高, 优先级越高。 - 当 0 < n < Extended VC Count 时, 则 VC 编号从 0 到 n 为 LPVC 组的成员, 编号大于 n 的为高优先级组且编号越大优先级越高。 - 仅当高优先级组中的 VC 没有数据包传输时, 控制权才交给 LPVC 组。属于 LPVC 的 VC 所使	RO

用的优先级方案由 Port VC Capability Register 2 中的 VC Arbitration Capability 字段控制。

9:8 **Reference Clock** - 该参考时钟是针对支持基于时间的 WRR Function Arbitration 的 Virtual Channel 而言的。定义的编码值为：

00b 100 ns reference clock

01b ~ 11b Reserved

11:10 **Function Arbitration Table Entry Size** - 表示设备中 Function Arbitration table entry 的 size (以比特为单位)。定义的编码值为：

00b Port Arbitration table entry 的 Size 为 1 bit 。

01b Port Arbitration table entry 的 Size 为 2 bit 。

10b Port Arbitration table entry 的 Size 为 4 bit 。

11b Port Arbitration table entry 的 Size 为 8 bit 。

7.9.2.3 MFVC Port VC Capability Register 2 (Offset 08h)

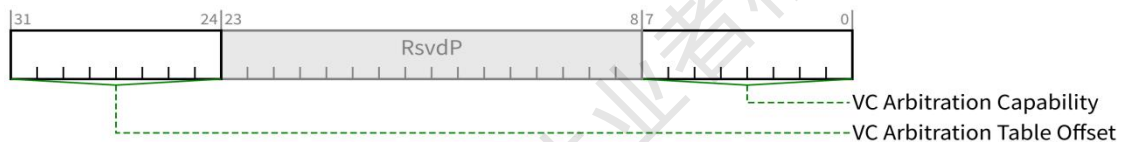


Figure 7-185 MFVC Port VC Capability Register 2

Bit Location	Register Description	Attributes
7:0	VC Arbitration Capability - LPVC 组中设备支持的 VC 仲裁类型。此字段对于 Low Priority Extended VC Count 字段大于 0 的所有设备都有效。 该字段中的每个比特位对应于下面定义的 VC Arbitration Capability。当该字段有大于 1 比置 1 时，表示该设备可以通过配置提供不同的 VC 仲裁服务。 各比特位的定义为： Bit 0 Hardware fixed arbitration scheme, e.g., Round Robin Bit 1 Weighted Round Robin (WRR) arbitration with 32 phases Bit 2 WRR arbitration with 64 phases Bit 3 WRR arbitration with 128 phases Bit 4-7 Reserved 最终选择哪种仲裁方案由 Port VC Control Register 中的 VC Arbitration Select 字段确定。	RO
31:24	VC Arbitration Table Offset - 表示 MFVC VC Arbitration Table 相对于 MFVC Extended Capability 的地	RO

址（以 DQWORDS（16 bytes）为单位）。0 表示该表不存在。

7.9.2.4 MFVC Port VC Control Register (Offset 0Ch)

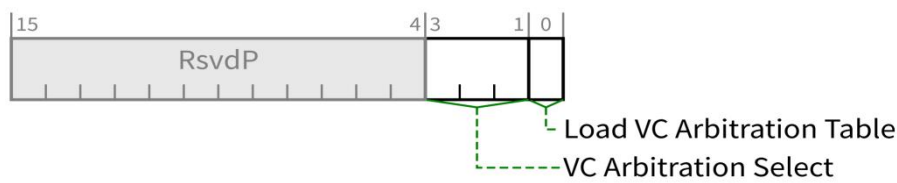


Figure 7-186 MFVC Port VC Control Register

Bit Location	Register Description	Attributes
0	Load VC Arbitration Table - 表示由软件更新 MFVC VC Arbitration Table。当所选 VC 仲裁使用 MFVC VC Arbitration Table 时，该字段有效。 软件把该位置 1 以请求硬件使用编程到 MFVC VC Arbitration Table 中的新值；清除该位无效。软件检查 VC Arbitration Table Status 字段以确认存储在 MFVC VC Arbitration Table 中的新值是否被 VC 仲裁逻辑锁存。 该位在读时总是返回 0b。 为了激活设备的 MFVC VC Arbitration Table，配置软件需要采取如下步骤： - 当软件初次规划 MFVC VC Arbitration Table 时，或在之后对表中的条目有任何修改时，MFVC Port VC Status Register 中的 VC Arbitration Table Status 字段将由硬件自动设置为 1。 - 然后软件将 Load VC Arbitration Table 设置为 1，促使设备从其 MFVC Capability structure 中读取 MFVC VC Arbitration Table，并应用它。 - 当硬件完成了读或应用更新后的 MFVC VC Arbitration Table 后，它自动清除 Port VC Status Register 中的 VC Arbitration Table Status 字段。 - 通过读 MFVC Port VC Status Register 中的 VC Arbitration Table Status 字段的值，软件可以确定更新后的 MFVC VC Arbitration Table 是否使用完毕。	RW
3:1	VC Arbitration Select - 用户从 MFVC Port VC Capability Register 2 的 VC Arbitration Capability 字段中选择一种 VC 仲裁方案写入该字段。 该字段的允许值对应于 VC Arbitration Capability 中的有效位之一的数字。 在启用 LPVC 组中的多个 VC 前，配置软件必须选择其仲裁方案。	RW

7.9.2.5 MFVC Port VC Status Register (Offset 0Eh)

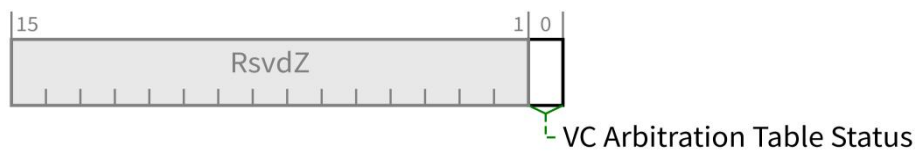


Figure 7-187 MFVC Port VC Status Register

Bit Location	Register Description	Attributes
0	VC Arbitration Table Status - 指示 MFVC VC Arbitration Table 的一致性状态。当所选 VC 使用 MFVC VC Arbitration Table 时，该位有效。 当 MFVC VC Arbitration Table 的任何条目由软件写入时，该位由硬件置 1。当软件设置 MFVC Port VC Control Register 中的 Load VC Arbitration Table 后，硬件完成加载存储在 MFVC VC Arbitration Table 中的值时，该位由硬件清零。 该位的默认值为 0b。	RO

7.9.2.6 MFVC VC Resource Capability Register

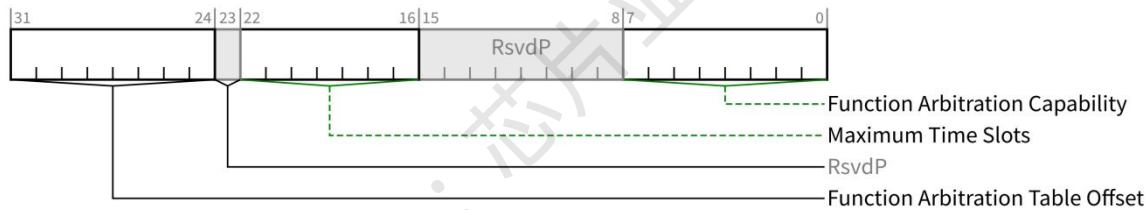


Figure 7-188 MFVC VC Resource Capability Register

Bit Location	Register Description	Attributes								
7:0	Function Arbitration Capability - 表示此 VC 支持的 Function Arbitration 类型。 该字段中的每个比特位对应于下面定义的 Function Arbitration Capability。当该字段中超过 1 位为 1 时，表示此 VC 支持多种不同的仲裁服务。 软件写 Function Arbitration Select 字段在这些 Capability 中进行选择（Section 7.9.2.7 ）。 各比特位的定义为： <table><tr><td>Bit 0</td><td>Hardware fixed arbitration scheme, e.g., Round Robin</td></tr><tr><td>Bit 1</td><td>Weighted Round Robin (WRR) arbitration with 32 phases</td></tr><tr><td>Bit 2</td><td>WRR arbitration with 64 phases</td></tr><tr><td>Bit 3</td><td>WRR arbitration with 128 phases</td></tr></table>	Bit 0	Hardware fixed arbitration scheme, e.g., Round Robin	Bit 1	Weighted Round Robin (WRR) arbitration with 32 phases	Bit 2	WRR arbitration with 64 phases	Bit 3	WRR arbitration with 128 phases	RO
Bit 0	Hardware fixed arbitration scheme, e.g., Round Robin									
Bit 1	Weighted Round Robin (WRR) arbitration with 32 phases									
Bit 2	WRR arbitration with 64 phases									
Bit 3	WRR arbitration with 128 phases									

	Bit 4	Time-based WRR with 64 phases	
	Bit 5	WRR arbitration with 256 phases	
	Bit 6-7	Reserved	
22:16	Maximum Time Slots	指示此 VC 在配置为 time-based WRR Port Arbitration 时能够支持的最大时隙数（减 1）。例如，该字段中的值 000 0000b 表示支持的最大时隙数为 1，值 111 1111b 表示支持的最大时隙数为 128。	HwInit
		该字段仅在 Function Arbitration Capability 指示 VC 支持 time-based WRR Function Arbitration 时有效。	
31:24	Port Arbitration Table Offset	指示与此 VC 关联的 Function Arbitration Table 的地址。	RO
		该字段实现的表从 MFVC Extended Capability structure 的基地址以 DQWORDS（16 字节）为单位的从零开始的偏移量。00h 表示该表不存在。	

7.9.2.7 MFVC VC Resource Control Register

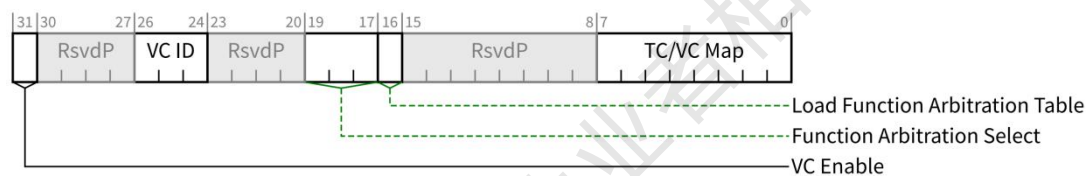


Figure 7-189 MFVC VC Resource Control Register

Bit Location	Register Description	Attributes
7:0	TC/VC Map - 该字段指示映射到此 VC 的 TC。 该字段内的比特位位置对应于 TC 值。例如，当该字段中的第 7 比特置 1 时，TC7 被映射到该 VC。当该字段中大于 1 比特置为 1 时，表示多个 TC 映射到该 VC。 为了从使能的 VC 的 TC/VC Map 中删除一个或多个 TC，软件必须确保针对给定的链路没有新的或 outstanding 的携带此 TC 标签的 Transaction。 该字段的默认值对于第一个 VC 为 FFh，对于其他 VC 资源为 00h。 Note: 该字段的 Bit 0 是只读的。它必须为默认 VC0 设置，并为所有其他启用的 VC 清除。	RW
16	Load Function Arbitration Table - 置 1 时，该位更新来自此 VC 的 Function Arbitration Table 的端口仲裁逻辑。该位仅在所选 Function 仲裁方案使用 Function Arbitration Table 时有效。 软件设置该位以通知硬件使用 Function Arbitration Table 中存储的新值更新端口仲裁逻辑；清除该位无效。软件使用 Function Arbitration Table Status 字段来确认 Function Arbitration Table 的新值是否被仲裁逻辑完全锁存。 读此字段总会返回 0b。	RW

	默认值为 0b。	
19:17	Function Arbitration Select - 该字段配置此 VC 以提供特定的端口仲裁服务。 该字段的值对应于此 VC 的 Function Arbitration Capability 字段中置为 1 的比特位。	RW
26:24	VC ID - 该字段为此 VC 分配一个 VC ID（有关例外情况，请参见注释）。 当 VC 已启用时，无法修改此字段。	RW
31	VC Enable - 置 1 时使能此虚通道（有关例外情况，请参见 Note 1）。当该位清 0 时，此虚通道被禁用。 软件必须使用 VC Negotiation Pending 字段来检查 VC 协商是否完成。 该位的默认值对于第一个 VC 资源为 1b，对于其他 VC 资源为 0b。 Notes: 1. 对于默认 VC (VC0)，该位硬连线到 1b，即写入该位对 VC0 没有影响。 2. 要使能此虚通道，必须在链路上的两个组件中都把该 VC 的 VC Enable 置 1。 3. 要禁用此虚通道，必须在链路上的两个组件中都把该 VC 的 VC Enable 清 0。 4. 软件必须确保在此 VC 禁用时没有业务流正在使用虚通道。 5. 在重新启用虚通道之前，软件必须完全禁用链路上两个组件中的虚通道。	RW

7.9.2.8 MFVC VC Resource Status Register

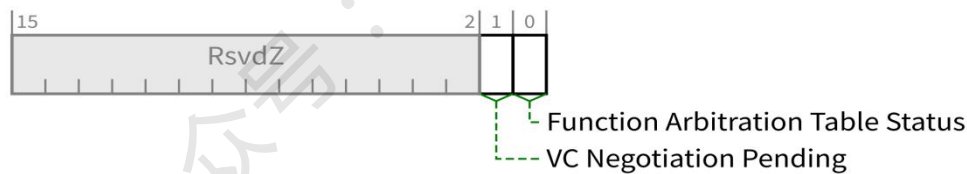


Figure 7-190 MFVC VC Resource Status Register

Bit Location	Register Description	Attributes
0	Function Arbitration Table Status - 该位指示与此 VC 关联的 Function Arbitration Table 的一致性状态。该位仅在所选 Function 仲裁方案使用 Function Arbitration Table 时有效。 当 Function Arbitration Table 的任何条目由软件写入时，该位由硬件置 1。当软件设置 Load Function Arbitration Table 后，硬件完成加载 Function Arbitration Table 中存储的值时，该位由硬件清零。 默认值为 0b。	RO
1	VC Negotiation Pending - 该位指示虚通道协商（初始化或禁用）是否处于挂起状态。 该位的值仅在链路处于 DL_Active 状态且启用虚通道（其 VC Enable 置 1）时定义。当该位被硬	RO

件置 1 时，表示此 VC 还没有完成协商过程。VC 协商完成后（退出 FC_INIT2 状态时），该位由硬件清零。对于 VC0，该位允许硬连线到 0b。

在使用虚通道之前，软件必须检查该虚通道的 VC Negotiation Pending 字段在链路上的两个组件中是否都已清 0。

7.9.2.9 MFVC VC Arbitration Table

这个 Table 与 VC Capability structure 中定义的 VC Arbitration Table 一致。参阅 Section 2.1.1.9。

7.9.2.10 Function Arbitration Table

MFVC Capability structure 中的 Function Arbitration Table 寄存器采用与 VC Capability structure 中的 Port Arbitration Table 寄存器相同的形式（Section 7.9.1.10）。

Function Arbitration Table 寄存器是一个读写寄存器阵列，用于存储此 VC 的 Function Arbitration 的 WRR 或基于时间的 WRR 仲裁表。仅当 Function Arbitration Capability 字段中的一个或多个置 1 的比特位表示此 Multi-Function Device 支持使用可编程仲裁表的端口仲裁方案时，才会实现此寄存器阵列。此外，仅当 Function Arbitration Capability 中的上述比特之一被 Function Arbitration Select 字段选择时才有效。

Function Arbitration Table 代表一个 Function 仲裁周期。包含此 Function Number 或 Function Group Number 的表条目对应于 Function 仲裁周期内的一个 Phase。此 table entry size 的需求如下：

- non-ARI 设备的 table entry size 必须有足够的位数来指定所有已实现的 Function 加上至少一个与已实现的 Function 不对应的值。例如，具有最多三个 Function 的 Multi-Function Device 可以使用 2 位表条目的表。
- ARI 设备的 table entry size 要么是 4bit 要么是 8bit。
 - 如果启用了 MFVC Function Group，则每个条目都映射到单个 Function Group。一个 Function Group 内多个 Function 之间的仲裁是特定于实现的，但必须保证正确转发。
 - 如果未启用 MFVC Function Group 并实现了 4 bit 条目，则给定条目映射到 Function Number % 8 与其值匹配的所有 Function。类似地，如果实现了 8 bit 条目，则给定条目映射到其 Function Number % 128 与其值匹配的所有 Function。如果一个给定的条目映射到多个 Function，这些 Function 之间的仲裁是特定于实现的，但必须保证正确转发。

写入表条目的 Function Number 或 Function Group Number 表示 Function 仲裁期间内的 Phase 已分配给选定的 Function 或 Function Group（Function Number 或 Function Group Number 必须是有效的）。

- 当 WRR Function Arbitration 用于任何 Egress Port 的 VC 时，在每个 arbitration phase，Function Arbiter 从当前 Phase 的 Function Number 指示的 Ingress Port 服务一个 Transaction。完成后，它立即进入下一 Phase。即如果该 Phase 指示的 Egress Port 不包含任何 VC Transaction（注意，一个 Phase 不能包含 Egress Port 的 Function Number），则 Function 仲裁器简单地立即跳到下一个 Phase。
- 当 Time-based WRR Function Arbitration 用于任何给定 Function 的 VC 时，在与虚拟时隙对齐的每个 arbitration phase，Function 仲裁器服务来自当前 Phase 的 Function Number 指示的 Ingress Port 的一个事务。它在下一个虚拟时隙前进到下一 Phase。一个 Phase 表示一个“空闲”时隙，即端 Function 仲裁器在该 Phase 不服务任何事务，如果：
 - 此 Phase 包含的 Function Number 或 Function Group Number 不存在，或
 - 此 Phase 指示的 Function 或 Function Group 不包含任何针对 VC 的事务。

Function VC Capability Register 1 中的 Function Arbitration Table Entry Size 字段确定表条目大小。表的长度由如 Table 7-157 所示的 Function Arbitration Select 字段决定。

当 Function Arbitration Table 被默认 Function 仲裁用于默认 VC 时，表条目的默认值必须至少包含 Multi-Function Device 中每个有效的 Function 或 Function Group 的条目，以确保向前推进。该表可能包含默认 VC 的 RR 或类似 RR 的公平 Function 仲裁。

Table 7-157 Length of Function Arbitration Table

Function Arbitration Select	Function Arbitration Table Length
001b	32 entries
010b	64 entries
011b	128 entries
100b	128 entries
101b	256 entries

7. 9. 3 Device Serial Number Extended Capability

Device Serial Number Extended Capability 是可选实现的 Extended Capability, 任何 PCI Express device Function 都可实现。Device Serial Number 是一个只读的 64 位值，对于给定的 PCI Express Device 而言是唯一的。Figure 7-191 该 Capability 中寄存器字段的分配。

允许但不建议 RCiEP 实现此 Capability。

实现此 Capability 的 RCiEP 允许但是并非必须返回与同一 RC 的其他 RCiEP 报告的相同 Device Serial Number 值。

除了 RCiEP 以外，所有实现该 Capability 的 Multi-Function Device 都必须在 Function 0 中实现此 Capability；实现此 Capability 的其他 Function 必须返回与 Function 0 报告的 Device Serial Number 相同的值。

允许 RCiEP 单独实现或不实现此 Capability，而与它们是否是 Multi-Function Device 的一部分无关。

除包含多个设备的 Root Complex 以外的 PCI Express 组件（例如实现此 Capability 的 PCI Express Switch）必须为每个设备返回相同的 Device Serial Number。

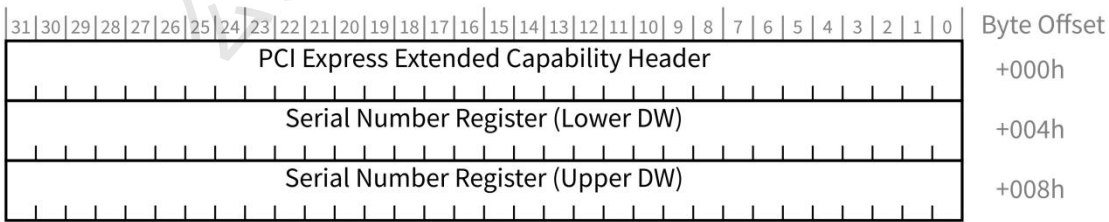


Figure 7-191 Device Serial Number Extended Capability Structure

7.9.3.1 Device Serial Number Extended Capability Header (Offset 00h)

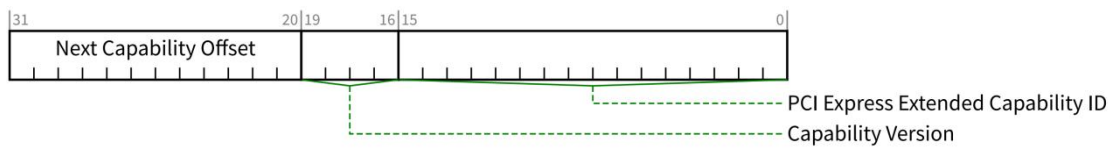


Figure 7-192 Device Serial Number Extended Capability Header

Bit Location	Register Description	Attributes
15:0	PCI Express Extended Capability ID - 该字段是 PCI-SIG 定义的 ID,用于指示扩展功能的性质和格式。 Device Serial Number Extended Capability 的 PCI Express Extended Capability ID 为 0003h。	RO
19:16	Capability Version - 该字段是 PCI-SIG 定义版本号，指示实现的 Capability structure 的版本。 对于该版本的规范，必须为 1h。	RO
31:20	Next Capability Offset - 此字段指示到下一个 PCI Express Extended Capability structure 的偏移量； 如果在 Capability 的链接列表中不存在其他项，则为 000h。	RO

7.9.3.2 Serial Number Register (Offset 04h)

Serial Number Register 是一个 64 位字段，其中包含 IEEE 定义的 64 位 Extended Unique Identifier [EUI-64]。Figure 7-13 详细说明了该寄存器中的字段分配；Table 7-159 描述了相应的比特位。



Figure 7-193 Serial Number Register

Bit Location	Register Description	Attributes
63:0	PCI Express Device Serial Number - 该字段包含 IEEE 定义的 64 位 Extended Unique Identifier [EUI-64]。该 Identifier 包括由 IEEE 注册机构分配的 24 位 Company id 值和由制造商分配的 40 位 extension identifier。	RO

7.9.4 Vendor-Specific Capability

Vendor-Specific Capability 是中的一 PCI-compatible Configuration Space 中的一种 capability structure，如 Figure 7-194 所示。

Vendor-Specific Capability 允许设备供应商将 Capability 机制用于供应商特定信息。信息的布局除了前三个字节外是供应商特定的，如下所述。

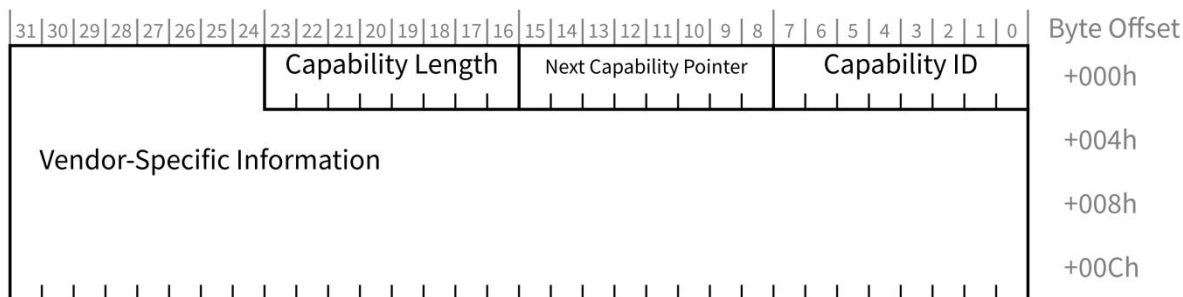


Figure 7-194 Vendor-Specific Capability

Bit Location	Register Description	Attributes
7:0	Capability ID - 该字段必须返回 09h 的 Capability ID，表明这是一个 Vendor-Specific Capability structure。	RO
15:8	Next Capability Pointer - 该字段表示到下一个 PCI Capability structure 的偏移量；如果 Capabilities 链表中不存在其他项，则为 00h。	RO
23:16	Capability Length - 该字段提供 Capability structure 中的字节数(包括 Capability ID、Next Capability Pointer 和 Capability Length 字段消耗的三个字节)。	RO
31:24	Vendor-Specific Information	Vendor-Specific

7.9.5 Vendor-Specific Extended Capability

Vendor-Specific Extended Capability (VSEC Capability) 是一种可选实现的 Extended Capability，允许由任何 PCI Express Function 或 RCRB 实现。这允许 PCI Express 组件供应商使用 Extended Capability 机制来公开供应商特定的寄存器。

单个 PCI Express Function 或 RCRB 允许实现多个 VSEC Capability。

一个示例用法是一组特定于供应商的 feature，这些 feature 旨在用于该供应商的一系列持续组件。VSEC Capability 可以告诉特定于供应商的软件具有特定组件支持的 feature，包括在软件发布后开发的组件。

Figure 7-195 详细说明了 VSEC Capability 中寄存器字段的分配。Vendor-Specific Extended Capability Header 和 Vendor-Specific Header 的结构由本规范构建。

对于 PCI Express Function，特定于供应商的寄存器区域的结构和定义由位于 PCI-compatible Configuration Space 中的 Vendor ID 字段指示的供应商确定。对于 RCRB，仅当 RCRB 还包含 RCRB Header Extended Capability structure 时才允许实现 VSEC，该结构包含指示供应商的 Vendor ID 字段。

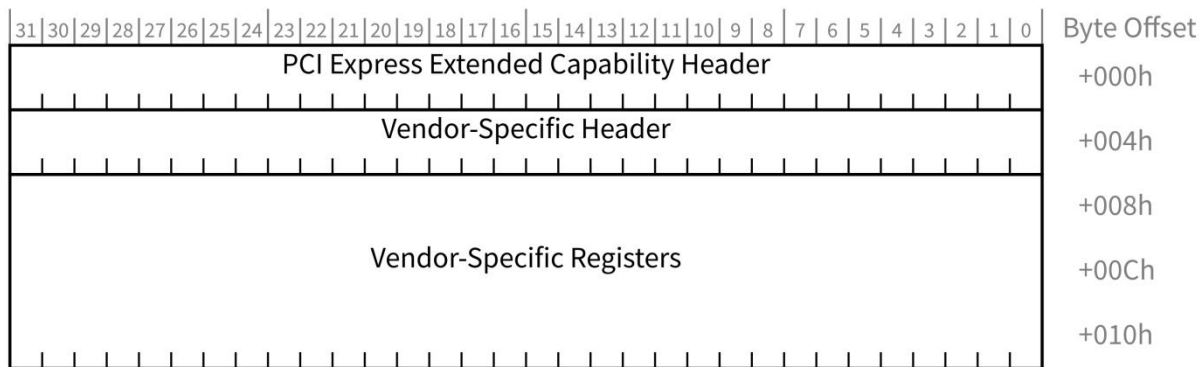


Figure 7-195 VSEC Capability Structure

7.9.5.1 Vendor-Specific Extended Capability Header (Offset 00h)

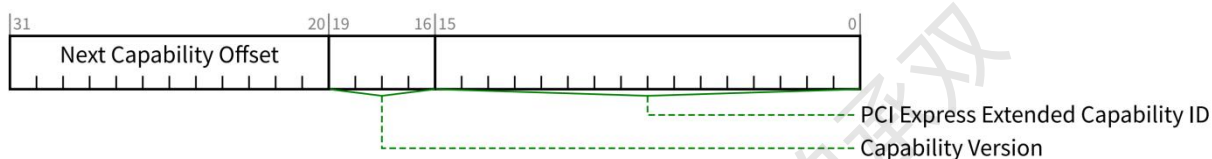


Figure 7-196 Vendor-Specific Extended Capability Header

Bit Location	Register Description	Attributes
15:0	PCI Express Extended Capability ID - 该字段是 PCI-SIG 定义的 ID,用于指示扩展功能的性质和格式。 Vendor-Specific Extended Capability 的 PCI Express Extended Capability ID 为 000Bh。	RO
19:16	Capability Version - 该字段是 PCI-SIG 定义的版本号, 指示实现的 Capability structure 的版本。 对于该版本的规范, 必须为 1h。	RO
31:20	Next Capability Offset - 此字段指示到下一个 PCI Express Extended Capability structure 的偏移量; 如果在 Capability 的链接列表中不存在其他项, 则为 000h。	RO

7.9.5.2 Vendor-Specific Header (Offset 04h)

Figure 7-197 详细说明了 Vendor-Specific Header 中寄存器字段的分配; Table 7-162 提供了相应的比特位定义。

在尝试解释 VSEC ID 或 VSEC Rev 字段中的值之前, 特定于供应商的软件必须限定 PCI Express Function 或 RCRB 的 Vendor ID。

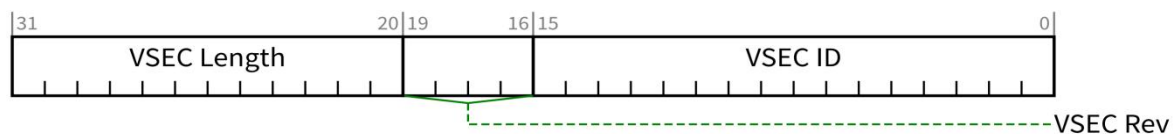


Figure 7-197 Vendor-Specific Header

Bit Location	Register Description	Attributes
15:0	VSEC ID - 此字段是供应商定义的 ID 号，指示 VSEC 结构的性质和格式。在解释此字段之前，软件必须限定 Vendor ID。	RO
19:16	VSEC Rev - 该字段是供应商定义的版本号，指示 VSEC Capability 的版本。在解释此字段之前，软件必须限定 Vendor ID 和 VSEC ID。	RO
31:20	VSEC Length - 该字段指示整个 VSEC Capability 中的字节数，包括 Vendor-Specific Extended Capability Header、Vendor-Specific Header 和 Vendor-Specific Registers。	RO

7.9.6 Designated Vendor-Specific Extended Capability (DVSEC)

Designated Vendor-Specific Extended Capability (DVSEC Capability) 是一种可选实现的 Extended Capability，允许由任何 PCI Express Function 或 RCRB 实现。这允许 PCI Express 组件供应商使用 Extended Capability 机制来公开供应商特定的寄存器，这些寄存器可以存在于各种供应商的组件中。

允许单个 PCI Express Function 或 RCRB 实现多个 DVSEC Capability structure。

一个示例用法是一组特定于供应商的 feature，这些 feature 旨在用于来自一组供应商的一系列持续组件。DVSEC Capability structure 可以告诉特定于供应商的软件具有特定组件支持的 feature，包括在软件发布后开发的组件。

Figure 7-198 详细说明了 DVSEC Capability structure 中寄存器字段的分配。PCI Express Extended Capability Header 和 Designated Vendor-Specific Header 的结构由该规范构建。

DVSEC Vendor-Specific Register 区域从偏移量 0Ah 开始。

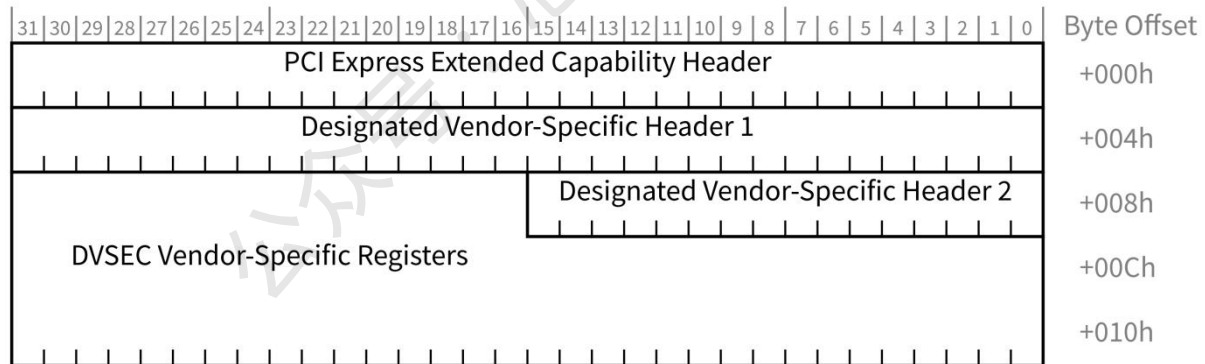


Figure 7-198 Designated Vendor-Specific Extended Capability

7.9.6.1 Designated Vendor-Specific Extended Capability Header (Offset 00h)

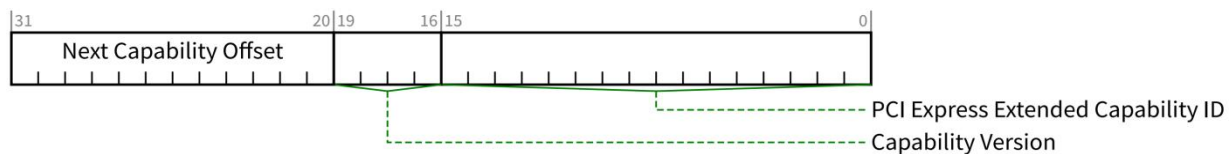


Figure 7-199 Designated Vendor-Specific Extended Capability Header

Bit Location	Register Description	Attributes
15:0	PCI Express Extended Capability ID - 该字段是 PCI-SIG 定义的 ID,用于指示扩展功能的性质和格式。 Designated Vendor-Specific Extended Capability 的 PCI Express Extended Capability ID 为 0023h。	RO
19:16	Capability Version - 该字段是 PCI-SIG 定义版本号, 指示实现的 Capability structure 的版本。 对于该版本的规范, 必须为 1h。	RO
31:20	Next Capability Offset - 此字段指示到下一个 PCI Express Extended Capability structure 的偏移量; 如果在 Capability 的链接列表中不存在其他项, 则为 000h。	RO

7.9.6.2 Designated Vendor-Specific Header 1 (Offset 04h)

Figure 7-200 详细给出了 Designated Vendor-Specific Header 1 中寄存器字段的分配; Table 7-164 给出了各自的比特位定义。

在尝试解释 DVSEC Revision 字段之前, 特定于供应商的软件必须限定 DVSEC Vendor ID。



Figure 7-200 Designated Vendor-Specific Header 1

Bit Location	Register Description	Attributes
15:0	DVSEC Vendor ID - 此字段是与定义此 Capability 内容的供应商关联的 Vendor ID。	RO
19:16	DVSEC Revision - 该字段是供应商定义版本号, 指示 DVSEC Capability 的版本。在解释此字段之前, 软件必须限定 Vendor ID 和 DVSEC Vendor ID。	RO
31:20	DVSEC Length - 该字段指示整个 DVSEC Capability 中的字节数, 包括 PCI Express Extended Capability Header、DVSEC Header 1、DVSEC Header 2 和 DVSEC Vendor-Specific Registers。	RO

7.9.6.3 Designated Vendor-Specific Header 2 (Offset 08h)

Figure 7-201 详述了 Designated Vendor-Specific Header 2 中寄存器字段的分配; Table 7-165 给出了各自的比特位定义。

在尝试解释 DVSEC ID 字段之前, 特定于供应商的软件必须限定 DVSEC Vendor ID。



Figure 7-201 Designated Vendor-Specific Header 2

Bit Location	Register Description	Attributes
15:0	DVSEC ID - 该字段是供应商定义的 ID, 指示 DVSEC 结构的性质和格式。在解释此字段之前, 软件必须限定 DVSEC Vendor ID。	RO

7.9.7 RCRB Header Extended Capability

PCI Express RCRB Header Extended Capability 是一个可选实现的 Extended Capability, 它需要在 RCRB 中实现, 为 RCRB 提供 Vendor ID 和 Device ID, 并允许管理影响与 RCRB 相关的 RC 功能行为的参数。

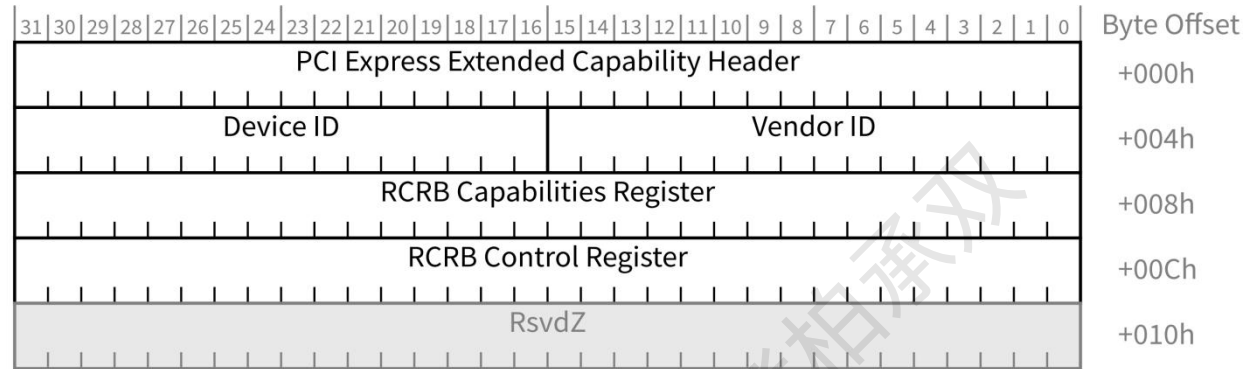


Figure 7-202 RCRB Header Extended Capability Structure

7.9.7.1 RCRB Header Extended Capability Header (Offset 00h)

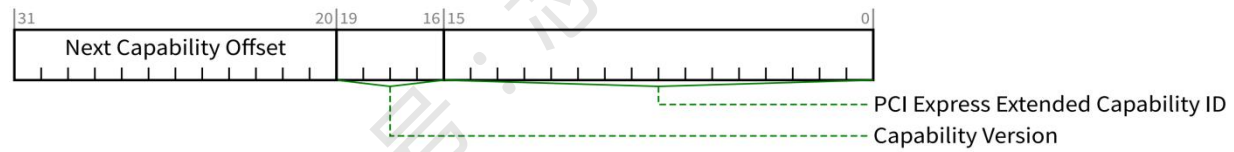


Figure 7-203 RCRB Header Extended Capability Header

Bit Location	Register Description	Attributes
15:0	PCI Express Extended Capability ID - 该字段是 PCI-SIG 定义的 ID, 用于指示扩展功能的性质和格式。 RCRB Header Extended Capability 的 PCI Express Extended Capability ID 为 000Ah。	RO
19:16	Capability Version - 该字段是 PCI-SIG 定义版本号, 指示实现的 Capability structure 的版本。 对于该版本的规范, 必须为 1h。	RO
31:20	Next Capability Offset - 此字段指示到下一个 PCI Express Extended Capability structure 的偏移量; 如果在 Capability 的链接列表中不存在其他项, 则为 000h。	RO

7.9.7.2 RCRB Vendor ID and Device ID register (Offset 04h)

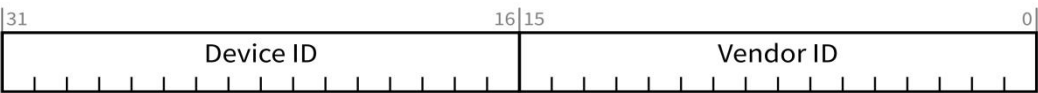


Figure 7-204 RCRB Vendor ID and Device ID register

Bit Location	Register Description	Attributes
15:0	Vendor ID - PCI-SIG 分配的。与 PCI-compatible Configuration Space 中的对应字段等效。该字段提供了一种将 RCRB 与特定供应商相关联的方法。	RO
31:16	Device ID - Vendor 分配的。与 PCI-compatible Configuration Space 中的对应字段等效。该字段为供应商提供了一种对特定 RCRB 进行分类的方法。	RO

7.9.7.3 RCRB Capabilities register (Offset 08h)

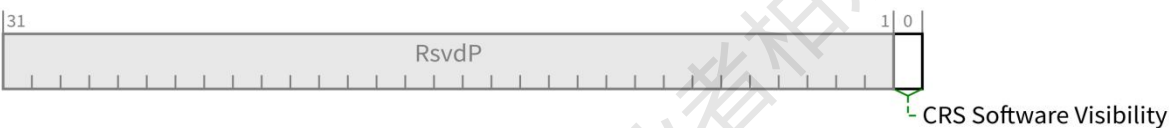


Figure 7-205 RCRB Capabilities register

Bit Location	Register Description	Attributes
0	CRS Software Visibility - 置 1 时，该位表示 RC 能够将 Configuration Request Retry Status (CRS) Completion Status 返回给与该 RCRB 相关的所有 Root Port 和集成设备的软件（Section 2.3.1）。	RO

7.9.7.4 RCRB Control register (Offset 0Ch)

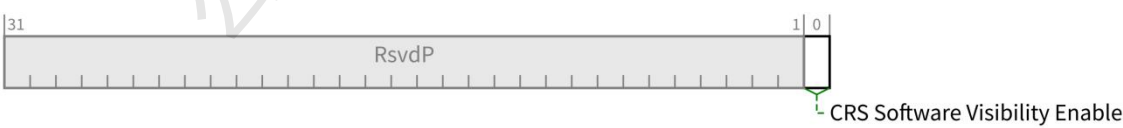


Figure 7-206 RCRB Control register

Bit Location	Register Description	Attributes
0	CRS Software Visibility Enable - 置 1 时，该位表示 RC 能够将 Configuration Request Retry Status (CRS) Completion Status 返回给与该 RCRB 相关的所有 Root Port 和集成设备的软件（Section 2.3.1）。 未实现此 Capability 的 RCRB 必须将此位硬连线到 0b。 该位的默认值为 0b。	RW

7.9.8 Root Complex Link Declaration Extended Capability

Root Complex Link Declaration Extended Capability 是一个可选实现的 Capability，允许 Root Port、RCiEP 或 RCRB 实现以表明 Root Complex 的内部拓扑。

Root Complex 由以下一个或多个 Component 组成：

- PCI Express Root Port
- A default system Egress Port or an internal sink unit such as memory (represented by an RCRB)
- Internal Data Paths/Links (represented by an RCRB on either side of an internal Link)
- Integrated devices
- Functions

Root Complex Component 是上述根 Root Complex element 的逻辑聚合。任何单个 element 都不能成为多个 Root Complex Component 的一部分。每个 Root Complex Component 必须有一个唯一的 Component ID。

Root Complex 可以表现为不透明的 Root Complex 或一个或多个 Root Complex Component 的集合。

Root Complex Link Declaration Extended Capability 可以在 Root Complex element 的配置空间或 RCRB 中实现。它用于控制了从各个 element 到同一 Root Complex Component 或其他 Root Complex Component 的 element 之间的链路。链路需要声明为双向的，这样从一个 element 到另一个 element 的每个有效数据路径在两个 element 的配置空间（或 RCRB）中都有相应的链路条目。

Root Complex Link Declaration Extended Capability 也被用于表明一个 Configuration Space element (Root Port or RCiEP)和 RCRB 中影响 Configuration Space element 的行为的 RCRB Header Extended Capability (see Section 7.9.7)之间的关联关系（association）。请注意，RCRB Header 的关联关系并未声明为双向；此关联关系仅由 Configuration Space element 声明，而不由目标 RCRB 声明。

IMPLEMENTATION NOTE

Topologies to Avoid

在任意两个 Root Complex element 之间（直接或穿过其他 Root Complex element）创建多个数据路径的拓扑可能无法以标准方式支持带宽分配。业务流如何通过这种拓扑进行路由的描述是特定于实现的，这意味着通用操作系统可能没有足够的关于这种拓扑的信息来正确支持带宽分配。为了避免这个问题，这些操作系统可能要求单个（类型为 Internal Link 的）RCRB element 除了包含 RCRB element 本身的链路之外，不能声明多个到 Root Complex 组件的链路。

Root Complex Link Declaration Extended Capability 如 Figure 7-207 所示，由 PCI Express Extended Capability Header 和 Root Complex Element Self Description 后跟一个或多个 Root Complex Link Entries 组成。

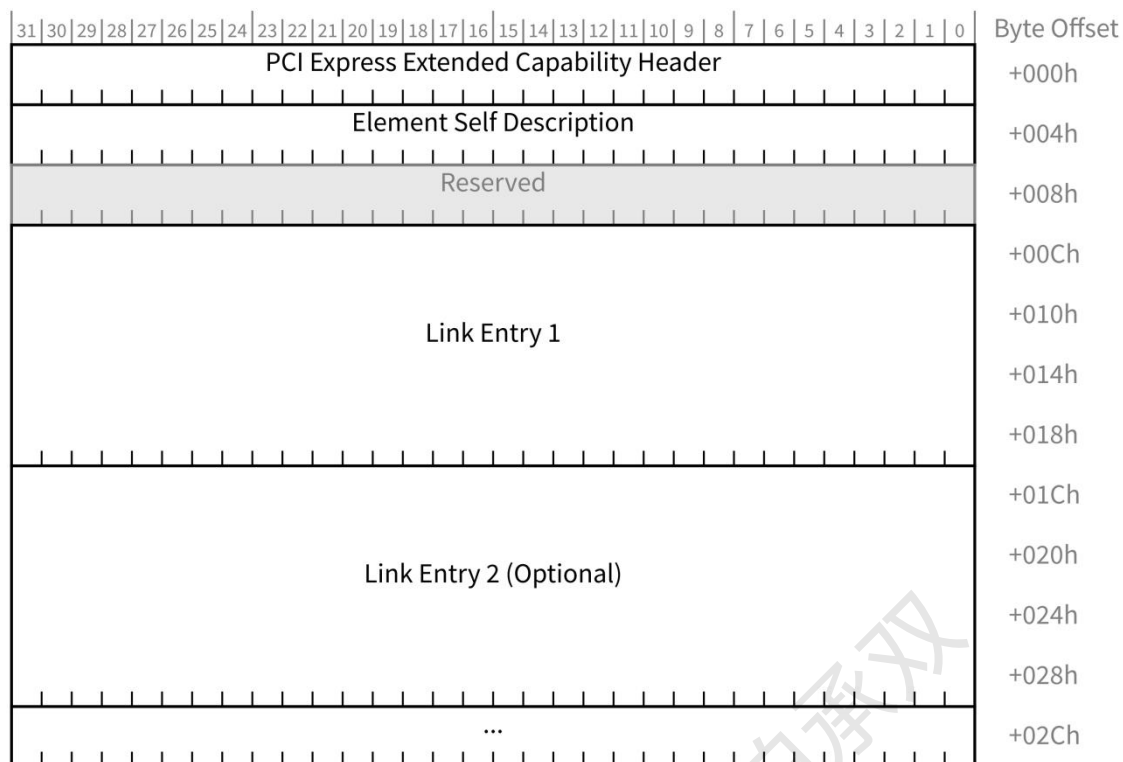


Figure 7-207 Root Complex Link Declaration Extended Capability

7.9.8.1 Root Complex Link Declaration Extended Capability Header (Offset 00h)

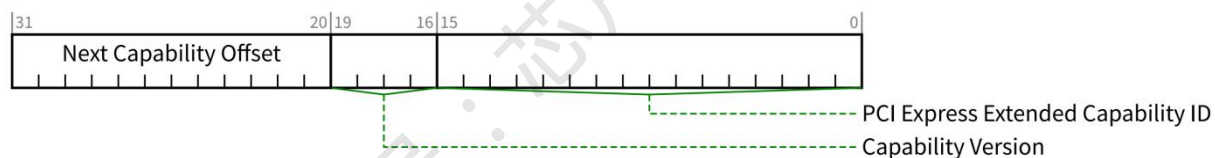


Figure 7-208 Root Complex Link Declaration Extended Capability Header

Bit Location	Register Description	Attributes
15:0	PCI Express Extended Capability ID - 该字段是 PCI-SIG 定义的 ID,用于指示扩展功能的性质和格式。 Root Complex Link Declaration Extended Capability 的 PCI Express Extended Capability ID 为 0005h。	RO
19:16	Capability Version - 该字段是 PCI-SIG 定义版本号, 指示实现的 Capability structure 的版本。 对于该版本的规范, 必须为 1h。	RO
31:20	Next Capability Offset - 此字段指示到下一个 PCI Express Extended Capability structure 的偏移量; 如果在 Capability 的链接列表中不存在其他项, 则为 000h。	RO

7. 9. 8. 2 Element Self Description Register (Offset 04h)

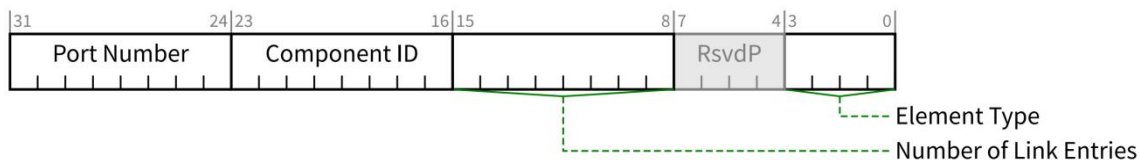
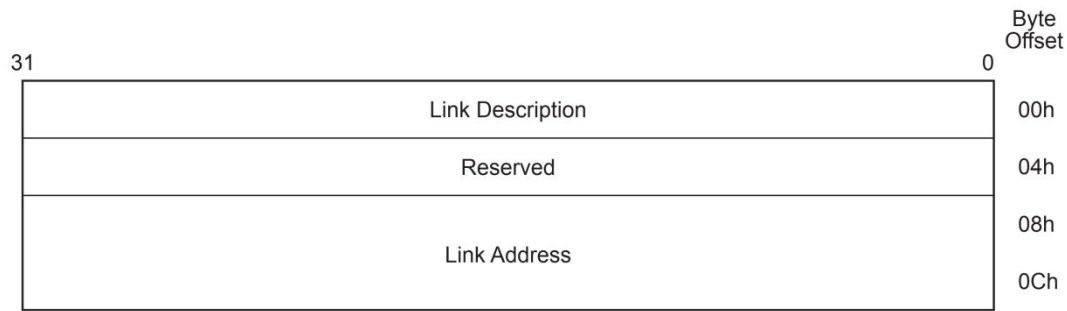


Figure 7-209 Element Self Description Register

Bit Location	Register Description	Attributes
3:0	Element Type - 该字段指示 Root Complex Element 的类型。定义的编码是： 0h Configuration Space Element 1h System Egress Port or internal sink (memory) 2h Internal Root Complex Link 3h-Fh Reserved	RO
15:8	Number of Link Entries - 该字段指示 Element 自我描述之后的 Link Entry 数。此字段必须报告 01h 或更高的值。	HwInit
23:16	Component ID - 此字段标识包含此 Root Complex Element 的 Root Complex Component。Component ID 必须从 01h 开始，因为 00h 的值是保留的。	HwInit
31:24	Port Number - 该字段指定与包含该 Element 的 Root Complex Component 中该 Element 的端口号。端口号为 00h 的 Element 表示配置软件的默认 Egress Port。	HwInit

7. 9. 8. 3 Link Entries

Link Entry 从 Root Complex Link Declaration Extended Capability structure 的偏移址 10h 开始。每个 Link Entry 由一个 Link description 后跟一个 64-bit Link Address 组成，该地址从 Link Entry 开始的偏移量 08h 处开始，标识声明的 Link 的 target element。Link Entry 表示到另一个 Root Complex Element 的 internal Link。



A-0420

Figure 7-210 Link Entry

7.9.8.3.1 Link Description Register

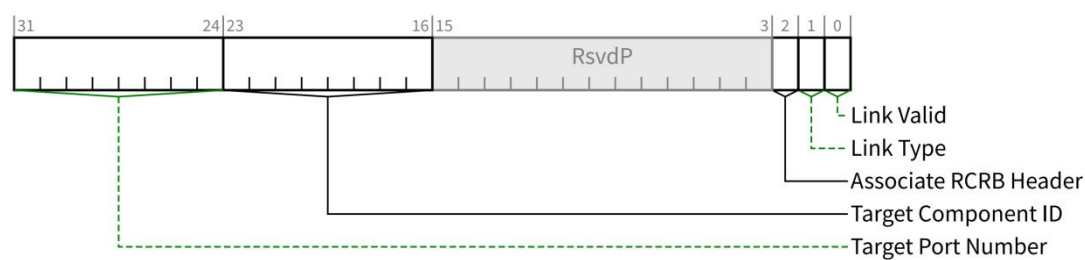


Figure 7-211 Link Description Register

Bit Location	Register Description	Attributes
0	Link Valid - 置 1 时，该位表示 Link Entry 指定了一个有效 Link。该比特位未设置为 1 或 Associate RCRB Header 字段未设置为 1（或两者）的 Link Entry 将被软件忽略。	HwInit
1	Link Type - 该位指示 Link 的目标类型并定义 Link Address 字段的格式。 定义的 Link Type 值为： 0b Link 指向内存映射空间 ¹⁵⁶ （for RCRB）。Link Address 指定目标 RCRB 的 64 位基地址。 1b Link 指向配置空间（对 Root Port 或 RCiEP）。Link Address 指定目标元素的配置地址（PCI Segment Group, Bus, Device, Function）。	HwInit
2	Associate RCRB Header - 置 1 时，该位指示 Link Entry 将声明 element 与目标 RCRB 中的 RCRB Header Extended Capability 相关联。该比特位未设置为 1 或 Associate RCRB Header 字段未设置为 1（或两者）的 Link Entry 将被软件忽略。 当该位被设置为 1 时，Link Type 必须为 0。	HwInit
23:16	Target Component ID - 此字段标识此 Link Entry 所针对的 Root Complex Component。Component ID 必须从 01h 开始，因为值 00h 是保留的。	HwInit
31:24	Target Port Number - 此字段指定与此 Link Entry 所针对的 element 相关联的 Port Number；目标 Port Number 与包含目标 element 的 Root Complex Component（由 Target Component ID 标识）有关。	HwInit

Note 156：用于访问 RCRB 的 memory-mapped space 与 Memory Space 不同，并且不能与 Memory Space 重叠。

7.9.8.3.2 Link Address

Link Address 是一个 HwInit 字段,位于从 Link Entry 开始的偏移 08h 处,用于标识 Link Entry 的目标 element。对于 Link Description 中 Link Type 为 0 的 Link, Link Address 指定了 RCRB 的内存映射基地址。对于 Link Description 中 Link Type 为 1 的 Link, Link Address 指定 PCI Express Root Port 或 RCiEP 的配置空间地址。

7.9.8.3.2.1 Link Address for Link Type 0

对于指向 memory-mapped RCRB (Link Type bit = 0) 的 Link，第一个 DWORD 指定目标 element 的 RCRB 基址的低 32 位，如下所示；位 11:0 硬连线到 000h 并保留以备将来使用。第二个 DWORD 指定目标 element 的 RCRB 基址的高 32 位 (63:32)。

31		0	Byte Offset
Link Description			00h
Reserved			04h
Link Address Bits 31:0			08h
Link Address Bits 63:32			0Ch

A-0418

Figure 7-212 Link Address for Link Type 0

7.9.8.3.2.2 Link Address for Link Type 1

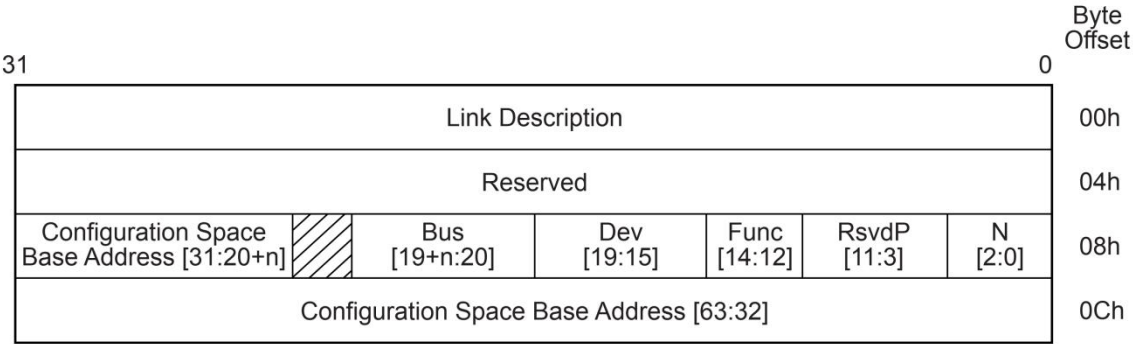
对于指向 Root Complex element (Link Type bit = 1) 的 Configuration Space 的 Link，第一个 DWORD 中的位指定目标 element 的 Bus Number、Device Number 和 Function Number。如 Figure 7-213 所示，Bit 2:0 (N) 对 Bus Number 的比特位数 n 进行编码，其中 N = 000b 表示 n = 8，表示 Bus Number 使用 8 个比特位，所有其他编码指定 n = <N 的值>。Bit 11:3 保留并硬连线为 0。Bit 14:12 指定 Function Number，Bit 19:15 指定 Device Number。Bit (19 + n):20 指定 Bus Number，其中 1 ≤ n ≤ 8。

第一个 DWORD 的第 31:(20 + n) 位与第二个 DWORD 一起可选地通过指定内存映射配置空间的第 63:(20 + n) 位来标识实现 PCI Express 增强型配置访问机制的系统的目标元素的层次结构 与目标元素关联的 PCI Express 层次结构的基址；不实现多个内存映射配置空间的单层次系统允许报告零值以指示默认配置空间。

第一个 DWORD 的第 31: (20+n) 与第二个 DWORD 一起可选地通过指定与目标 element 相关联的 PCI Express 层次结构的 memory-mapped Configuration Space 基址的位 63: (20+n) 来标识实现 PCI Express Enhanced Configuration Access Mechanism 的系统的目标 element 层次结构元素；允许不实现多个 memory-mapped Configuration Space 的单层次结构系统报告值 0，以指示默认配置空间。

一个配置空间基址 [63:(20 + n)] 等于 0 表示由 Bit (19 + n):12 (Bus Number、Device Number 和 Function Number) 定义的配置空间地址存在于默认的 PCI Segment Group 中；任何非零值表示单独的配置空间基址。

软件不得在评估此特定目标 element 的 Bus Number 和 memory-mapped Configuration Space 基址的上下文之外使用 n。特别是，n 不一定表示相关 PCI Segment Group 支持的最大 Bus Number。



A-0417

Figure 7-213 Link Address for Link Type 1

Bit Location	Register Description	Attributes
2:0	N - Bus Number 的比特数。	HwInit
14:12	Function Number	HwInit
19:15	Device Number	HwInit
(19+n):20	Bus Number	HwInit
63:(20+n)	PCI Express Configuration Space Base Address ($1 \leq n \leq 8$) - 一个没有实现多个配置空间的 Root Complex 被允许将此字段报告为 0。	HwInit

7. 9. 9 Root Complex Internal Link Control Extended Capability

Root Complex Internal Link Control Extended Capability 是一种可选实现的 Capability，用于控制两个不同 Root Complex Component 之间的 internal Root Complex Link。该 Capability 对于在 Root Complex Link Declaration Capability structure 的 Element Self-Description register 中将 Element Type 字段声明为 Internal Root Complex Link 的 RCRB 有效。

其寄存器布局如 Figure 7-214。

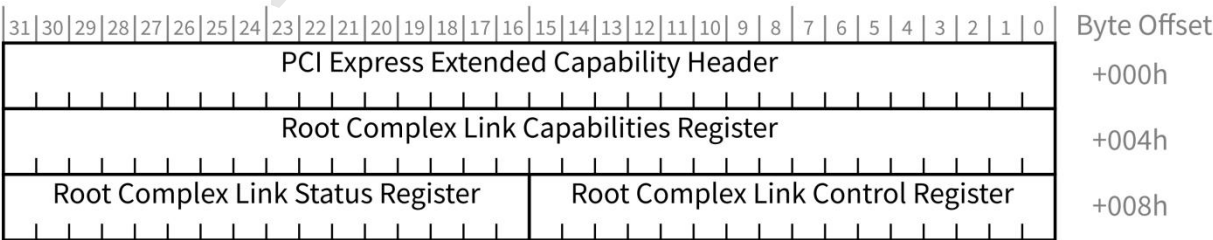


Figure 7-214 Root Complex Internal Link Control Extended Capability

7. 9. 9. 1 **Root Complex Internal Link Control Extended Capability Header (Offset 00h)**

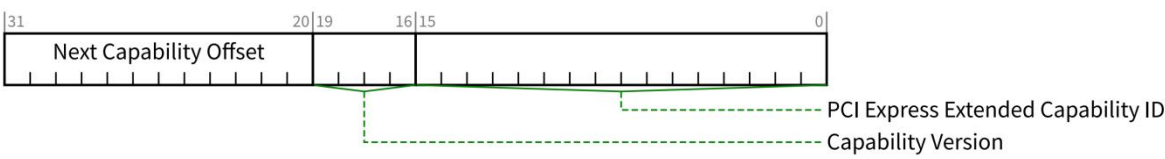


Figure 7-215 Root Complex Internal Link Control Extended Capability Header

Bit Location	Register Description	Attributes
15:0	PCI Express Extended Capability ID - 该字段是 PCI-SIG 定义的 ID,用于指示扩展功能的性质和格式。 Root Complex Internal Link Control Extended Capability 的 PCI Express Extended Capability ID 为 0006h。	RO
19:16	Capability Version - 该字段是 PCI-SIG 定义版本号，指示实现的 Capability structure 的版本。 对于该版本的规范，必须为 1h。	RO
31:20	Next Capability Offset - 此字段指示到下一个 PCI Express Extended Capability structure 的偏移量；如果在 Capability 的链接列表中不存在其他项，则为 000h。	RO

7. 9. 9. 2 **Root Complex Link Capabilities Register (Offset 04h)**

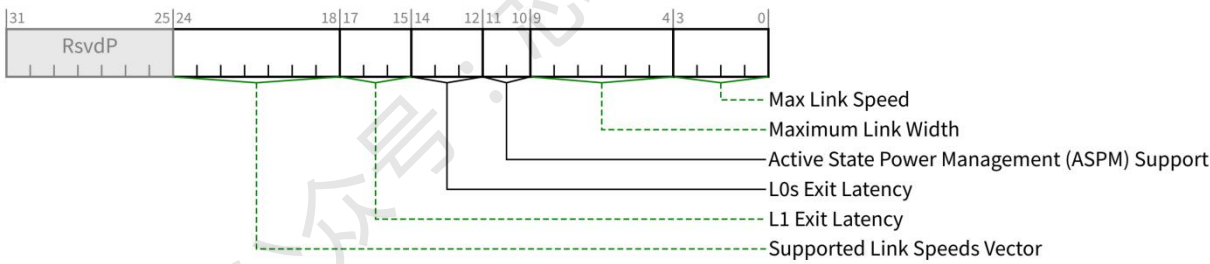


Figure 7-216 Root Complex Link Capabilities Register

Bit Location	Register Description	Attributes
3:0	Max Link Speed - 此字段值表示相关 Link 的最大 Link speed。 此字段的编码值指向 Root Complex Link Capabilities Register 中 Supported Link Speeds Vector 中对应比特的位置。 定义的编码值为： 0001b Supported Link Speeds Vector field bit 0 0010b Supported Link Speeds Vector field bit 1	RO

- 0011b** Supported Link Speeds Vector field bit 2
- 0100b** Supported Link Speeds Vector field bit 3
- 0101b** Supported Link Speeds Vector field bit 4
- 0110b** Supported Link Speeds Vector field bit 5
- 0111b** Supported Link Speeds Vector field bit 6

所有其他编码值保留。

不支持此 feature 的 Root Complex 必须在此字段中报告 0000b。

9:4 **Maximum Link Width** - 该字段定义给定 Link 支持的最大链路宽度。 RO

定义的编码值为：

- 000001b** x1
- 000010b** x2
- 000100b** x4
- 001000b** x8
- 001100b** x12
- 010000b** x16
- 100000b** x32

所有其他编码值保留。不支持此 feature 的 Root Complex 必须在此字段中报告 000000b。

11:10 **Active State Power Management (ASPM) Support** - 该字段表示该 Link 支持的 ASPM 的 Level。 RO

定义的编码值有：

- 00b** No ASPM Support
- 01b** L0s Supported
- 10b** L1 Support
- 11b** L0s and L1 Support

14:12 **L0s Exit Latency** - 该字段指示给定 Link 的 L0s 退出延迟。报告的值指示此 Link 完成从 L0s 到 L0 过渡所需的时间。如果不支持 L0s，则该值不确定。定义的编码值有：

- 000b** Less than 64 ns
- 001b** 64 ns to less than 128 ns
- 010b** 128 ns to less than 256 ns
- 011b** 256 ns to less than 512 ns
- 100b** 512 ns to less than 1 us

	101b	1 us to less than 2 us	
	110b	2 us - 4 us	
	111b	More than 4 us	
17:15	L1 Exit Latency - 该字段指示给定 Link 的 L1 退出延迟。报告的值指示此端口完成从 L1 到 L0 过渡所需的时间。如果不支持 L1，则该值不确定。定义的编码值有：		RO
	000b	Less than 1 us	
	001b	1 us to less than 2 us	
	010b	2 us to less than 4 us	
	011b	4 us to less than 8 us	
	100b	8 us to less than 16 us	
	101b	16 us to less than 32 us	
	110b	32 us - 64 us	
	111b	More than 64 us	
24:18	Supported Link Speeds Vector - 该字段指示给定 Link 支持的 Link speed。对于每一比特，值 1b 表示支持相应的 Link speed；否则，不支持该 Link speed。有关更多要求，请参见 Section 8.2.1。		RO
	各 Bit 定义为：		
	Bit 0	2.5GT/s	
	Bit 1	5.0GT/s	
	Bit 2	8.0GT/s	
	Bit 3	16.0GT/s	
	Bit 4	32.0GT/s	
	Bit 6:5	RsvdP	

IMPLEMENTATION NOTE

Supported Link Speeds With Earlier Hardware

符合 [PCIe-3.0] 之前版本的硬件组件没有实现 Supported Link Speeds Vector 字段，而是在 Bit 24:18 中返回 0000 000b。

对于用于确定此字段包含 0000 000b 的组件支持的链路速率的软件，软件可以读取 Root Complex Link Capabilities Register 的 Bit 3:0（现在定义为 Max Link Speed 字段），并解释该值如下：

0001b 2.5 GT/s Link speed supported

0010b 5.0 GT/s and 2.5 GT/s Link speeds supported

对于此类组件，Current Link Speed 字段（在 Root Complex Link Status Register 中）的值也使用相同的编码。

IMPLEMENTATION NOTE

Software Management of Link Speeds With Future Hardware

强烈建议软件主要使用 Supported Link Speeds Vector 而不是 Max Link Speed 字段, 以便软件可以确定当前和未来硬件支持的确切速率集。如果未来的规范定义了不需要支持所有较慢速度的链路, 这可以避免软件混淆。

7. 9. 9. 3 Root Complex Link Control Register (Offset 08h)

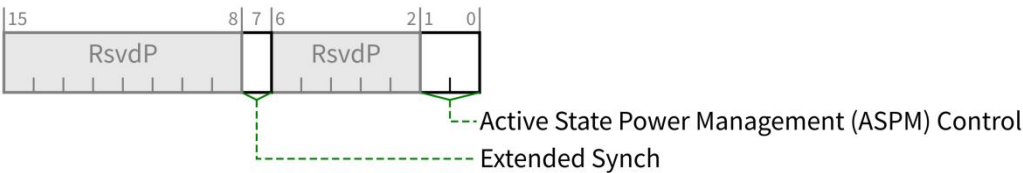


Figure 7-217 Root Complex Link Control Register

Bit Location	Register Description	Attributes
1:0	Active State Power Management (ASPM) Control - 该字段用于控制给定 Link 的 ASPM 的级别。定义的编码值为: 00b Disabled 01b L0s Entry Enabled 10b L1 Entry Enabled 11b L0s and L1 Entry Enabled Note: “L0s Entry Enabled”使发送器能够进入 L0s。如果支持 L0s, 即使发送器被禁止进入 L0s (00b 或 10b) , 接收器也必须能够进入 L0s。 此字段的默认值是实现相关的。 软件不得在给定链路的任一方向使能 L0s, 除非链路两侧的组件均支持 L0s, 如它们的 ASPM Support 字段值所示。否则, 结果未定义。 在启用该链路的下游组件中的 ASPM L1 之前, 必须由链路上游组件中的软件启用 ASPM L1。禁用 ASPM L1 时, 软件必须先禁用链路下游组件的 ASPM L1, 然后再禁用该链路上游组件的 ASPM L1。如果链路上的两个组件都支持 ASPM L1, 则必须仅在下游组件上使能 ASPM L1。 给定的 internal Link 不支持此 feature 的 Root Complex 必须将此字段硬连线到 00b。	RW
7	Extended Synch - 当退出 L0s 状态 (Section 4.2.4.6) 和处于 Recovery 状态 (Section 4.2.6.4.1) 时, 此位置 1 则强制传输额外的有序集。该模式为外部设备 (例如, 逻辑分析仪) 提供监控链路时间以在链路进入 L0 状态并恢复通信之前实现位和符号锁定。 给定的 internal Link 不支持此 feature 的 Root Complex 必须将此字段硬连线到 0b。 此字段默认值为 0b。	RW

7. 9. 9. 4 **Root Complex Link Status Register (Offset 0Ah)**

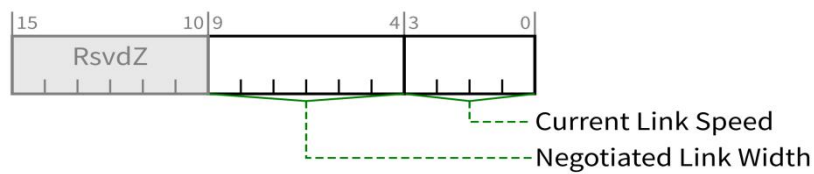


Figure 7-218 Root Complex Link Status Register

Bit Location	Register Description	Attributes														
3:0	Current Link Speed - 此字段值表示协商好的 Link speed。 此字段的编码值指向 Root Complex Link Capabilities Register 寄存器中 Supported Link Speeds Vector 中对应比特的位置。 定义的编码值为： <table><tr><td>0001b</td><td>Supported Link Speeds Vector field bit 0</td></tr><tr><td>0010b</td><td>Supported Link Speeds Vector field bit 1</td></tr><tr><td>0011b</td><td>Supported Link Speeds Vector field bit 2</td></tr><tr><td>0100b</td><td>Supported Link Speeds Vector field bit 3</td></tr><tr><td>0101b</td><td>Supported Link Speeds Vector field bit 4</td></tr><tr><td>0110b</td><td>Supported Link Speeds Vector field bit 5</td></tr><tr><td>0111b</td><td>Supported Link Speeds Vector field bit 6</td></tr></table> 所有其他编码值保留。 当 Link 未使能时，此字段中的值未定义。不支持此 feature 的 Root Complex 必须在此字段中报告 0000b。	0001b	Supported Link Speeds Vector field bit 0	0010b	Supported Link Speeds Vector field bit 1	0011b	Supported Link Speeds Vector field bit 2	0100b	Supported Link Speeds Vector field bit 3	0101b	Supported Link Speeds Vector field bit 4	0110b	Supported Link Speeds Vector field bit 5	0111b	Supported Link Speeds Vector field bit 6	RO
0001b	Supported Link Speeds Vector field bit 0															
0010b	Supported Link Speeds Vector field bit 1															
0011b	Supported Link Speeds Vector field bit 2															
0100b	Supported Link Speeds Vector field bit 3															
0101b	Supported Link Speeds Vector field bit 4															
0110b	Supported Link Speeds Vector field bit 5															
0111b	Supported Link Speeds Vector field bit 6															
9:4	Negotiated Link Width - 此字段值表示协商好的链路宽度。 定义的编码值为： <table><tr><td>000001b</td><td>x1</td></tr><tr><td>000010b</td><td>x2</td></tr><tr><td>000100b</td><td>x4</td></tr><tr><td>001000b</td><td>x8</td></tr><tr><td>001100b</td><td>x12</td></tr><tr><td>010000b</td><td>x16</td></tr><tr><td>100000b</td><td>x32</td></tr></table>	000001b	x1	000010b	x2	000100b	x4	001000b	x8	001100b	x12	010000b	x16	100000b	x32	RO
000001b	x1															
000010b	x2															
000100b	x4															
001000b	x8															
001100b	x12															
010000b	x16															
100000b	x32															

所有其他编码都是保留的。当 Link 未使能时，此字段中的值未定义。不支持此 feature 的 Root Complex 必须将此字段硬连线到 00 0000b。

7. 9. 10 Root Complex Event Collector Endpoint Association Extended Capability

Root Complex Event Collector Endpoint Association Extended Capability 由 Root Complex Event Collector 实现。它声明了 Root Complex Event Collector 支持的 RCiEP。Root Complex Event Collector 必须实现 Root Complex Event Collector Endpoint Association Extended Capability；不允许其他 PCI Express device Function 实现此 Capability。

Root Complex Event Collector Endpoint Association Extended Capability，如 Figure 7-219 所示，由 PCI Express Extended Capability Header 后跟一个 DWORD bitmap 组成，用于枚举同一总线上的 RCiEP，以及可选的可能实现与 Root Complex Event Collector 相关 RCiEP 的附加 Bus Number 范围。包含在此 Capability 描述的范围内的除 RCiEP 之外的 Function（例如 Root Port）与此 Root Complex Event Collector 无关。

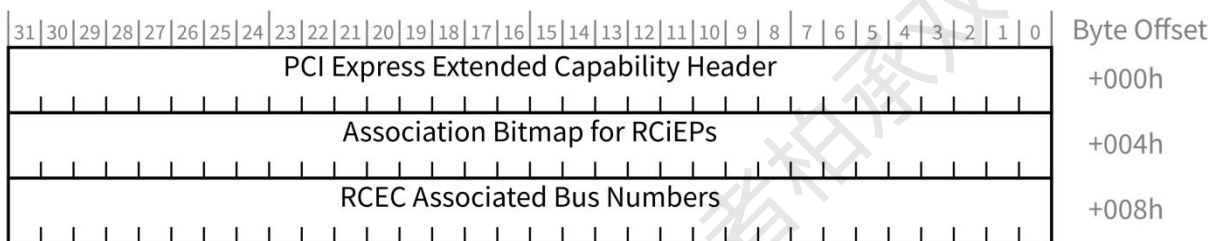


Figure 7-219 Root Complex Event Collector Endpoint Association Extended Capability

7. 9. 10. 1 Root Complex Event Collector Endpoint Association Extended Capability Header (Offset 00h)

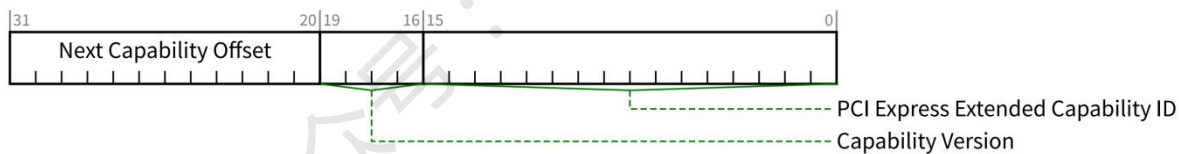


Figure 7-220 Root Complex Event Collector Endpoint Association Extended Capability Header

Bit Location	Register Description	Attributes
15:0	PCI Express Extended Capability ID - 该字段是 PCI-SIG 定义的 ID,用于指示扩展功能的性质和格式。 Root Complex Event Collector Endpoint Association Extended Capability 的 PCI Express Extended Capability ID 为 0007h。	RO
19:16	Capability Version - 该字段是 PCI-SIG 定义版本号，指示实现的 Capability structure 的版本。 对于该版本的规范，必须为 1h。	RO
31:20	Next Capability Offset - 此字段指示到下一个 PCI Express Extended Capability structure 的偏移量；	RO

如果在 Capability 的链接列表中不存在其他项，则为 000h。

7.9.10.2 Association Bitmap for RCiEPs (Offset 04h)

RCiEP 的 Association Bitmap 是一个只读寄存器，它设置与 Root Complex Event Collector 相关联的 RCiEP 的设 Device Number 对应的比特位，这些比特位与 Event Collector 本身的 Bus Number 相同。与 Root Complex Event Collector 的 Device Number 对应的比特位必须始终设置为 1。

7.9.10.3 RCEC Associated Bus Numbers Register (Offset 08h)

RCEC Associated Bus Numbers Register 是一个只读寄存器，用于指示包含与此 Root Complex Event Collector 相关联的 RCiEP 的附加 Bus Number 范围。允许 RCiEP 以外的 Function (包括 Root Port) 出现在关联总线范围内。只有该范围内的 RCiEP 与此 Root Complex Event Collector 相关联。如果 Capability Version 为 2h 或更高，则该寄存器存在。

该寄存器不指示 Event Collector 与关联总线范围内的任何 Virtual Function 之间的关联 (Section 9.2.1.2)。该寄存器不指示 Event Collector 和与 Event Collector 本身在同一 Bus Number 上的任何 Function 之间的关联，但是允许关联总线范围包括 Root Complex Event Collector 的 Bus Number。

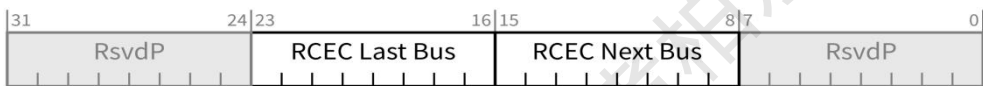


Figure 7-221 RCEC Associated Bus Numbers Register

Bit Location	Register Description	Attributes
15:8	RCEC Next Bus - 此字段表示与此 Root Complex Event Collector 关联的 RCiEP 的最低附加 Bus Number。如果与此 Root Complex Event Collector 关联的所有设备与事件收集器位于同一总线上，则该字段必须设置为 FFh。	HwInit
23:16	RCEC Last Bus - 此字段表示与此 Root Complex Event Collector 关联的 RCiEP 的最高附加 Bus Number。如果与此 Root Complex Event Collector 关联的所有设备与事件收集器位于同一总线上，则该字段必须设置为 00h。	HwInit

IMPLEMENTATION NOTE

RCEC Associated Bus Number Compatibility with Legacy Software

旧版软件可能不支持使用 RCEC Associated Bus Numbers Register 作为将设备与 RCEC 关联的机制。此类软件可能会看到来自不同 Bus Number 上的设备的 RCEC 中的事件，它认为这些事件与 Root Complex Event Collector 无关。强烈建议系统软件报告在 Root Complex Event Collector 上看到的所有事件，无论它是否可以确定关联。

7.9.11 Multicast Extended Capability

组播是一个可选实现的功能，由 Multicast Extended Capability structure 控制。Multicast Extended Capability 可以在 Root Port、RCRB、Switch Port、Endpoint Function 和 RCiEP 中实现。它不能在 PCI Express to PCI/PCI-X Bridge 中实现。

在 Switch 或 Root Complex 或包含多个 Function 的组件的情况下，需要实现此 Capability structure 的多个副本 - 每个 Endpoint Function、Switch Port 或支持组播的 Root Port 都实现一个。为了提供实现效率，Component 内每个 Multicast Extended Capability structure 内的某些字段必须被编程为相同，如果不是这种情况，结果是不确定的。必须使用相同值配置的字段和寄存器包括 MC_Enable、MC_Num_Group、MC_Base_Address 和 MC_Index_Position。Endpoint 的组 Multicast Extended Capability structure 中的这些相同字段必须与配置到 Endpoint 上或集成了 RCiEP 的 Switch 或 Root Complex 的 Multicast Extended Capability structure 中的那些字段相匹配。

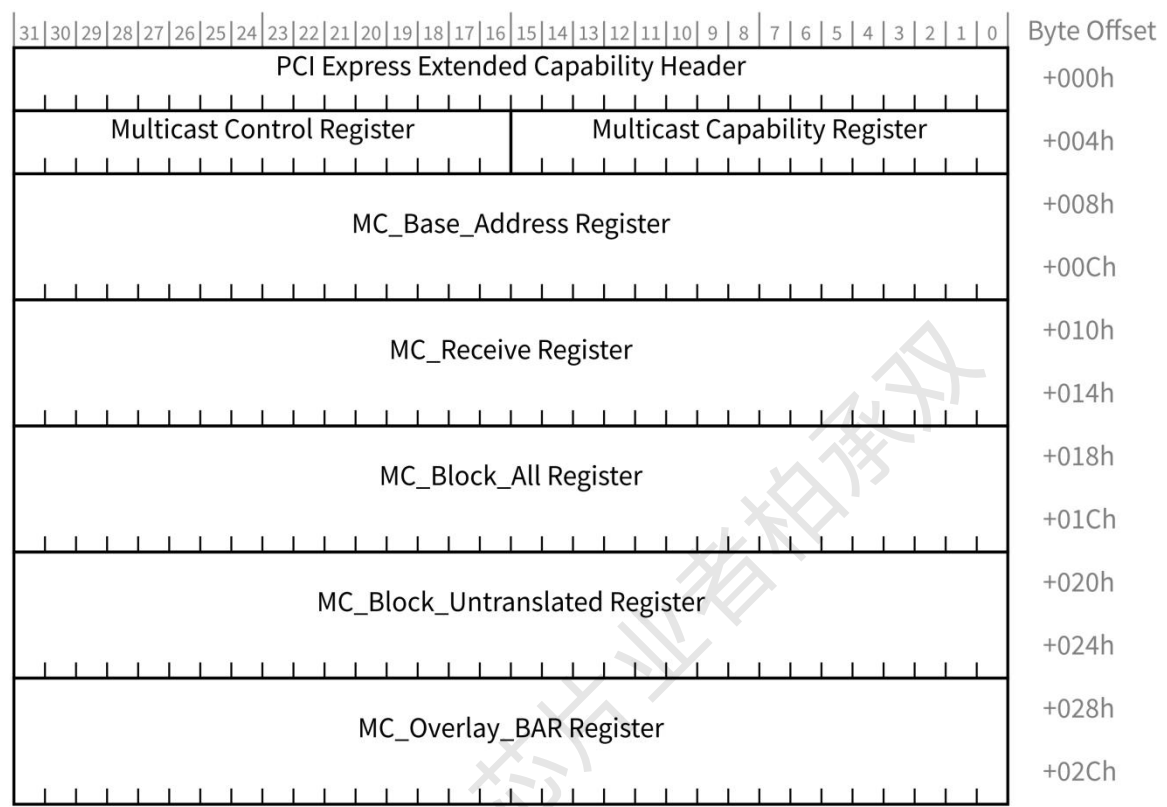


Figure 7-222 Multicast Extended Capability Structure

7.9.11.1 Multicast Extended Capability Header (Offset 00h)

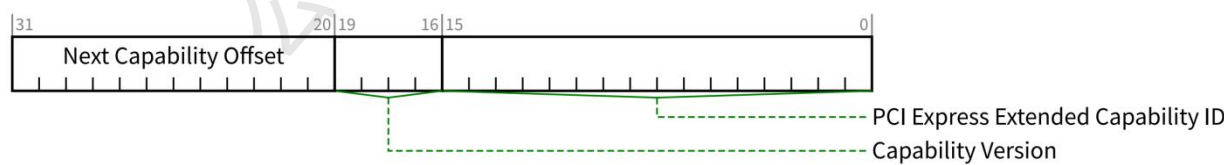


Figure 7-223 Multicast Extended Capability Header

Bit Location	Register Description	Attributes
15:0	PCI Express Extended Capability ID - 该字段是 PCI-SIG 定义的 ID,用于指示扩展功能的性质和格式。 Multicast Extended Capability 的 PCI Express Extended Capability ID 为 0012h。	RO
19:16	Capability Version - 该字段是 PCI-SIG 定义版本号，指示实现的 Capability structure 的版本。	RO

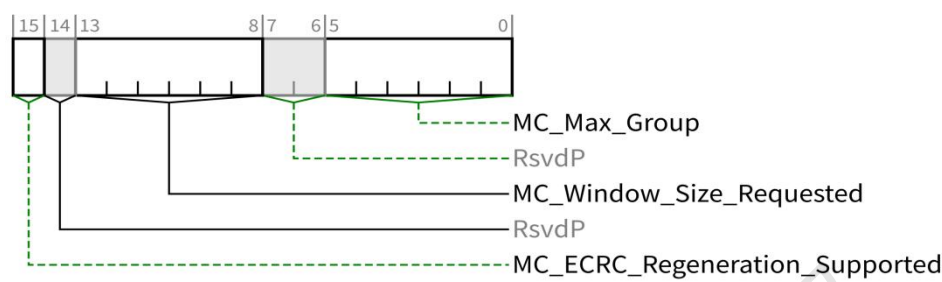
对于该版本的规范，必须为 1h。

31:20

Next Capability Offset - 此字段指示到下一个 PCI Express Extended Capability structure 的偏移量；如果在 Capability 的链接列表中不存在其他项，则为 000h。

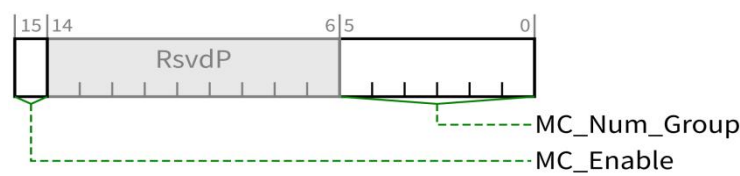
RO

7.9.11.2 Multicast Capability Register (Offset 04h)



Bit Location	Register Description	Attributes
5:0	MC_Max_Group - 该字段的值表示组件支持的最大 Multicast Group 的数量，编码为 M-1。00h 值表示支持一个 Multicast Group。	RO
13:8	MC_Window_Size_Requested - 在 Endpoint 中，请求的 Multicast Window size 的 log2。Switch 和 Root Port 中为 RsvdP。	RO
15	MC_ECRC_Regeneration_Supported - 如果置 1，则表示支持 ECRC 重新生成。 除非该 Function 支持高级错误报告，否则不得设置该位为 1，并且 Advanced Error Capabilities and Control Register 中的 ECRC Check Capable 也被设置为 1。但是，如果支持 ECRC 重新生成，则其操作不取决于 Advanced Error Capabilities and Control Register 中的 ECRC Check Capable 的设置。该字段适用于 Switch 和 Root Port，在所有其他 Function 中为 RsvdP。	RO/RsvdP

7.9.11.3 Multicast Control Register (Offset 06h)

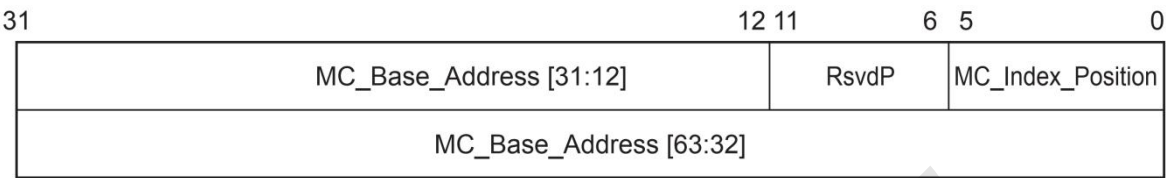


Bit Location	Register Description	Attributes
5:0	MC_Num_Group - 该字段的值表示配置使用的 Multicast Group 的数量，编码为 N-1。默认值 00	RW

0000b 表示配置了一个 Multicast Group 以供使用。如果值超过 MC_Max_Group, 则行为未定义。
该参数间接定义了组播地址范围的上限。如果 MC_Enable 为 0, 则忽略此字段。默认值为 00
0000b。

15 **MC_Enable** - 设置为 1 时, 为组件启用组播机制。默认值为 0b. RW

7.9.11.4 MC_Base_Address Register (Offset 08h)



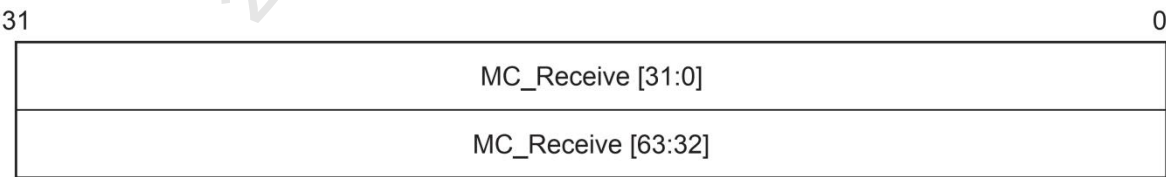
A-0751

Figure 7-226 MC_Base_Address Register

Bit Location	Register Description	Attributes
5:0	MC_Index_Position - 地址中 Multicast Group number 的 LSB 的位置。如果此值小于 12 且 MC_Enable 置为 1, 则行为未定义。默认值为 0。	RW
63:12	MC_Base_Address - 多播地址范围的基地址。 如果 MC_Enable 为 1 且该字段中对应于包含 Multicast Group number 的地址位或地址位小于 MC_Index_Position 的位为非零, 则行为未定义。默认值为 0。	RW

7.9.11.5 MC_Receive Register (Offset 10h)

MC_Receive Register 提供一个比特向量, 表示 Function 应该接受哪些 Multicast Group, 或者在 Switch 和 Root Complex Port 的情况下, 转发组播 TLP。实现 MC Capability Structure 的所有 Function 都需要实现该寄存器。



A-0750

Figure 7-227 MC_Receive Register

Bit Location	Register Description	Attributes
MC_Max_Group:0	MC_Receive - 对于设置为 1 的每个比特位, 此 Function 获取相关 Multicast Group 的任何 Multicast TLP 的副本。高于 MC_Num_Group 的比特位被硬件忽略。每个比特位的默认值为 0b。	RW

All others	Reserved。	RsvdP
------------	-----------	-------

7.9.11.6 MC_Block_All Register (Offset 18h)

MC_Block_All Register 提供了一个比特向量，表示该 Function 应该阻止哪些 Multicast Group。实现 MC Capability structure 的所有 Function 都需要实现该寄存器。

Figure 7-228 详细说明了 MC_Block_All Register 中字段的分配，Table 7-185 提供了各自的比特位定义。

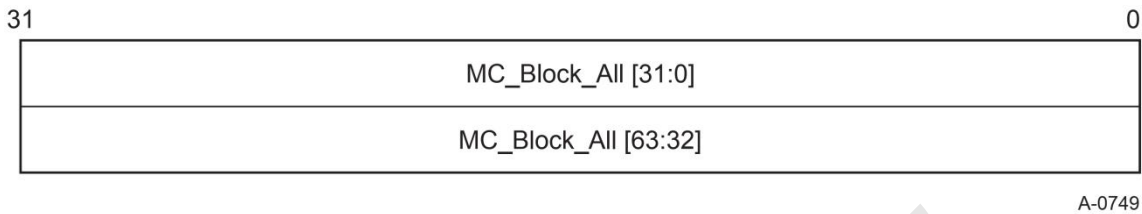


Figure 7-228 MC_Block_All Register

Bit Location	Register Description	Attributes
MC_Max_Group:0	MC_Block_All - 对于设置为 1 的每个比特位，该 Function 被阻止向相关的 Multicast Group 发送 TLP。高于 MC_Num_Group 的比特位被硬件忽略。每个比特位的默认值为 0b。	RW
All others	Reserved。	RsvdP

7.9.11.7 MC_Block_Untranslated Register (Offset 20h)

MC_Block_Untranslated Register 用于确定是否应阻止携带 Untranslated Address 的 TLP。实现 MC Capability structure 的所有 Function 都需要实现该寄存器。但是，未实现 ATS capability 的 Endpoint Function 可以将此寄存器实现为 RsvdP。

Figure 7-229 详细说明了 MC_Block_Untranslated Register 中字段的分配，Table 7-186 提供了各自的比特位定义。

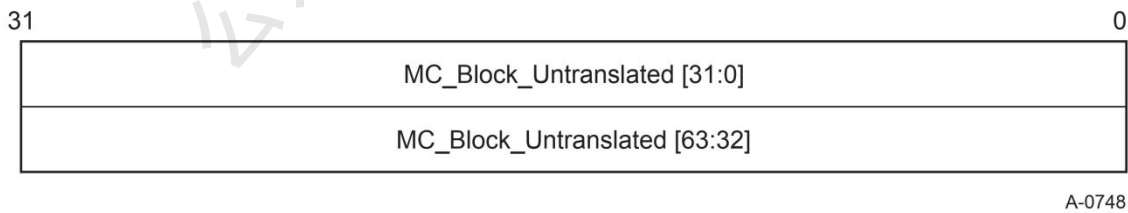


Figure 7-229 MC_Block_Untranslated Register

Bit Location	Register Description	Attributes
MC_Max_Group:0	MC_Block_Untranslated - 对于设置为 1 的每个比特位，该 Function 被阻止向相关的 MCG 发送包含 Untranslated Addresses 的 TLP。高于 MC_Num_Group 的比特位被硬件忽略。每个比特位的默认值为 0b。	RW

All others	Reserved。	RsvdP
------------	-----------	-------

7.9.11.8 MC_Overlay_BAR Register (Offset 28h)

支持 Multicast Extended Capability 的 Switch 和 Root Complex Port 需要实现 MC_Overlay_BAR Register，但不能在 Endpoint 中实现。软件需要根据 PCI Express Capabilities Register 中的 Device/Port Type 字段确定 Function 中是否存在 MC_Overlay_BAR Register。

MC_Overlay_BAR 指定单播空间中窗口的基地址，从 Egress Port 出去的 Multicast TLP 被地址替换过程覆盖到该窗口上。这允许连接到 Switch 和 Root Port 的 Endpoint 中的单个 BAR 用于单播和组播业务。在 Switch Upstream Port，它允许组播地址范围或其一部分覆盖到主机内存上。

Figure 7-230 详细说明了 MC_Overlay_BAR 寄存器中字段的分配，Table 7-187 提供了各自的比特位定义。

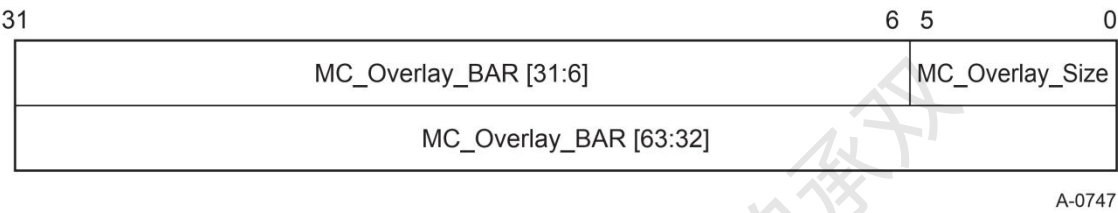


Figure 7-230 MC_Overlay_BAR Register

Bit Location	Register Description	Attributes
5:0	MC_Overlay_Size - 如果为 6 或更大，则将 overlay aperture 的大小（以字节为单位）指定为 2 的幂。如果小于 6，则禁用覆盖机制。默认值为 00 0000b。	RW
63:6	MC_Overlay_BAR - 指定窗口的基地址，通过该 Function 的 MC TLP 将覆盖在该窗口上。默认值为 0。	RW

7. 9. 12 **Dynamic Power Allocation Extended Capability (DPA Capability)**

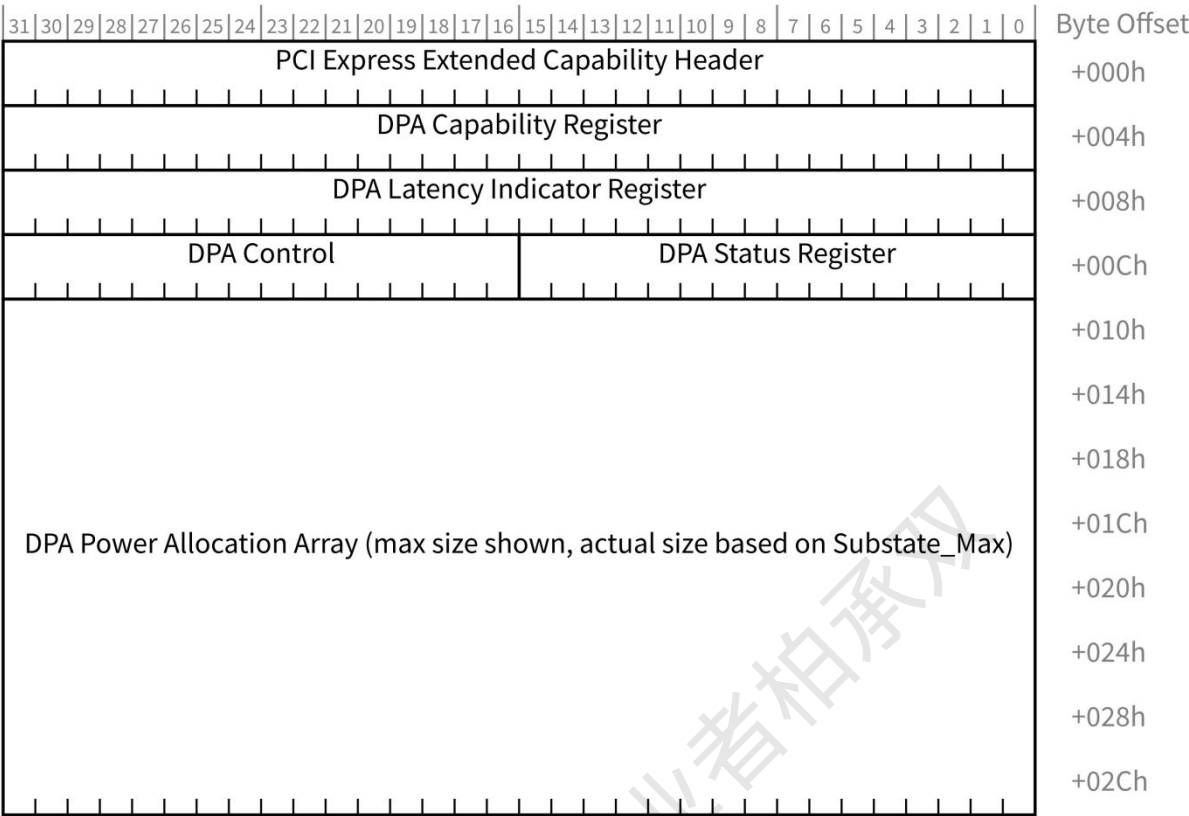


Figure 7-231 Dynamic Power Allocation Extended Capability Structure

7. 9. 12. 1 **DPA Extended Capability Header (Offset 00h)**

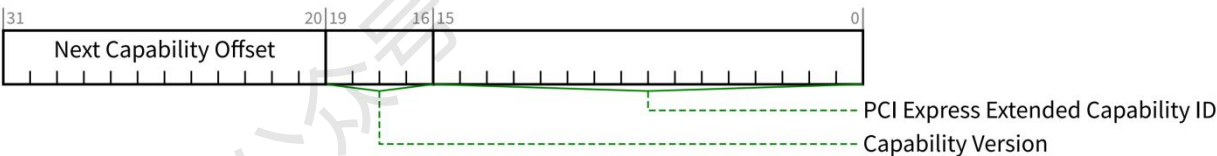


Figure 7-232 DPA Extended Capability Header

Bit Location	Register Description	Attributes
15:0	PCI Express Extended Capability ID - 该字段是 PCI-SIG 定义的 ID,用于指示扩展功能的性质和格式。 DPA Extended Capability 的 PCI Express Extended Capability ID 为 0016h。	RO
19:16	Capability Version - 该字段是 PCI-SIG 定义版本号, 指示实现的 Capability structure 的版本。 对于该版本的规范, 必须为 1h。	RO
31:20	Next Capability Offset - 此字段指示到下一个 PCI Express Extended Capability structure 的偏移量;	RO

如果在 Capability 的链接列表中不存在其他项，则为 000h。

7.9.12.2 DPA Capability Register (Offset 04h)

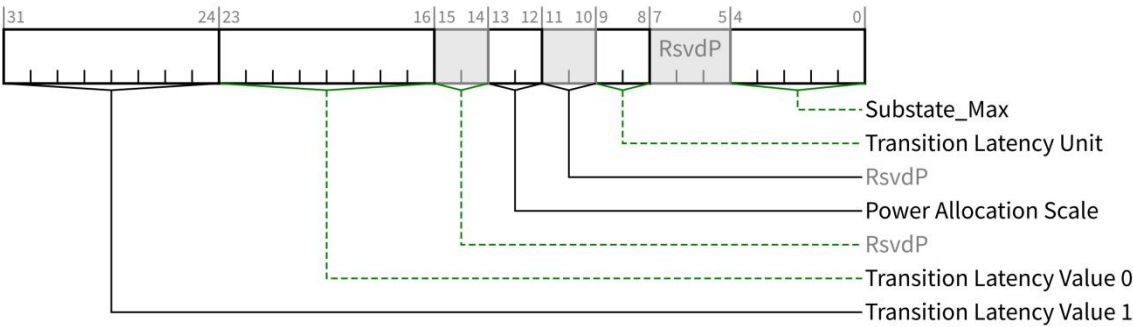


Figure 7-233 DPA Capability Register

Bit Location	Register Description	Attributes
4:0	Substate_Max - 此字段的值表示最大子状态数，即支持的子状态总数减一。0 0000b 值表示支持一个子状态。	RO
9:8	Transition Latency Unit (Tlunit) - 子状态的 Transition Latency Value 乘以 Transition Latency Unit 以确定子状态的最大 Transition Latency。定义的编码值为： 00b 1 ms 01b 10 ms 10b 100 ms 11b Reserved	RO
13:12	Power Allocation Scale (PAS) - 编码提供了以瓦特为单位确定每个子状态的功率分配的尺度。Substate Power Allocation 字段中对应于子状态的值乘以该字段以确定子状态的功率分配。定义的编码值为： 00b 10.0 x 01b 1.0 x 10b 0.1 x 11b 0.01 x	RO
23:16	Transition Latency Value 0 (Xlcy0) - 该值乘以 Transition Latency Unit 来确定子状态的最大 Transition Latency。	RO
31:24	Transition Latency Value 1 (Xlcy1) - 该值乘以 Transition Latency Unit 来确定子状态的最大 Transition Latency。	RO

7. 9. 12. 3 DPA Latency Indicator Register (Offset 08h)

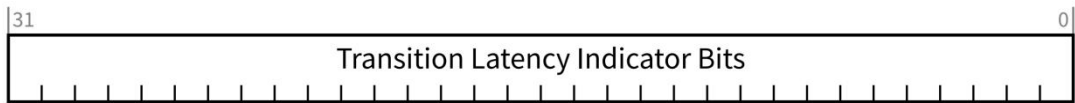


Figure 7-234 DPA Latency Indicator Register

Bit Location	Register Description	Attributes
31:0	Transition Latency Indicator Bits - 每个比特位指示哪个转换延迟值与相应的子状态相关联。值 0b 表示 Transition Latency Value 0； 值 1b 表示 Transition Latency Value 1。 仅定义了 Bit [Substate_Max:0]。高于 Substate_Max 的位是 RsvdP。	RO

7. 9. 12. 4 DPA Status Register (Offset 0Ch)

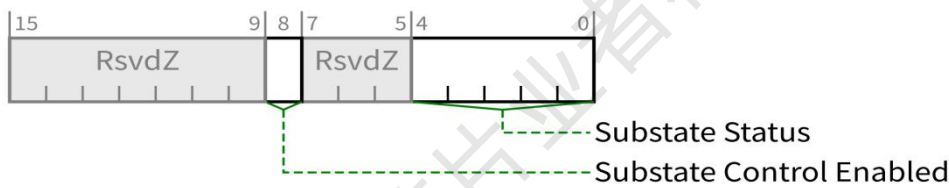


Figure 7-235 DPA Status Register

Bit Location	Register Description	Attributes
4:0	Substate Status - 表示此 Function 的当前子状态。默认值为 0 0000b。	RO
8	Substate Control Enabled - 由软件用于禁用 DPA Control Register 中的 Substate Control 字段。硬件在常规复位或 FLR 后把该位设置为 1。软件通过向其写入 1b 来把该位清 0。软件无法直接把该位置 1。 当该位被设置为 1 时，Substate Control 字段确定了当前子状态。 当该位清 0 时，Substate Control 字段对当前子状态没有影响。	RW1C

7. 9. 12. 5 DPA Control Register (Offset 0Eh)

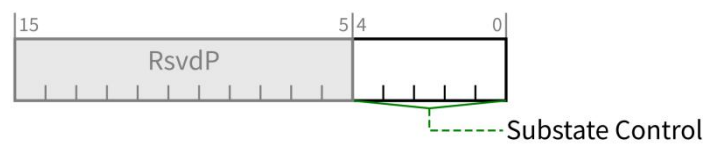
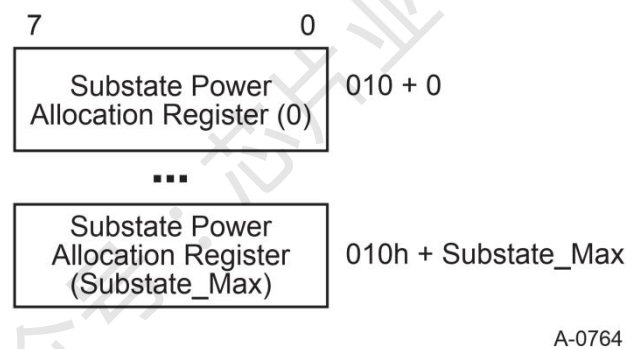


Figure 7-236 DPA Control Register

Bit Location	Register Description	Attributes
4:0	Substate Control - 由软件用于配置 Function 的子状态。软件在此字段中写入子状态值以启动子状态转换。 当 DPA Status Register 中的 Substate Control Enabled 被设置为 1 时, 该字段确定 Function 的子状态。 当 DPA Status Register 中的 Substate Control Enabled 被设置为 0 时, 该字段对 Function 的子状态没有影响。 默认值为 0 0000b。	RW

7. 9. 12. 6 DPA Power Allocation Array



A-0764

Figure 7-237 DPA Power Allocation Array

每个 Substate Power Allocation Register 指示其相关子状态的功率分配值。实现的 Substate Power Allocation Register 的数量必须等于 Function 支持的子状态数量，即 Substate_Max 加 1。

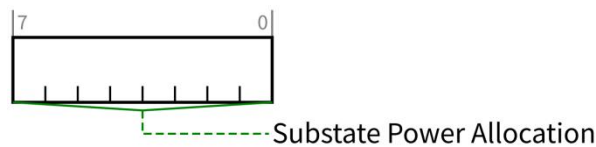


Figure 7-238 Substate Power Allocation Register (0 to Substate_Max)

Bit Location	Register Description	Attributes
7:0	Substate Power Allocation - 该字段中的值乘以 Power Allocation Scale，以确定相关子状态的功率	RO

分配（以瓦为单位）。

7. 9. 13 TPH Requester Extended Capability

所有能够使用 TPH 生成 Request TLP 的 Function 都需要实现 TPH Requester Extended Capability structure。对于 Multi-Function Device，此 Capability 必须在每个能够使用 TPH 生成 Request TLP 的 Function 中实现。

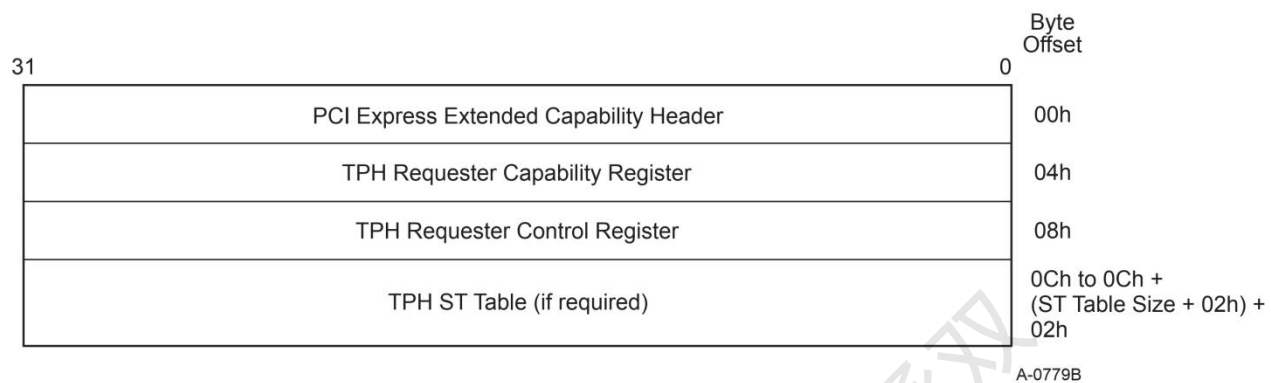


Figure 7-239 TPH Extended Capability Structure

7. 9. 13. 1 TPH Requester Extended Capability Header (Offset 00h)

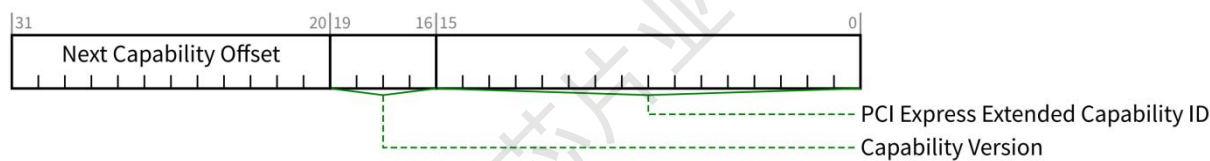


Figure 7-240 TPH Requester Extended Capability Header

Bit Location	Register Description	Attributes
15:0	PCI Express Extended Capability ID - 该字段是 PCI-SIG 定义的 ID,用于指示扩展功能的性质和格式。 TPH Requester Extended Capability 的 PCI Express Extended Capability ID 为 0017h。	RO
19:16	Capability Version - 该字段是 PCI-SIG 定义版本号，指示实现的 Capability structure 的版本。 对于该版本的规范，必须为 1h。	RO
31:20	Next Capability Offset - 此字段指示到下一个 PCI Express Extended Capability structure 的偏移量； 如果在 Capability 的链接列表中不存在其他项，则为 000h。	RO

7. 9. 13. 2 TPH Requester Capability Register (Offset 04h)

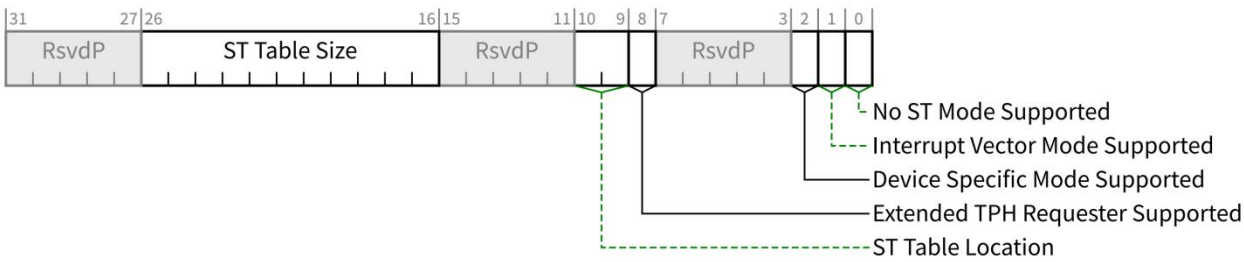


Figure 7-241 TPH Requester Capability Register

Bit Location	Register Description	Attributes
0	No ST Mode Supported - 如果设置为 1，则表明该 Function 支持 No ST Mode 操作。 实现此 Capability structure 的所有 Function 都需要支持此模式，且该位的值必须为 1b。	RO
1	Interrupt Vector Mode Supported - 如果设置为 1，则表明该 Function 支持 Interrupt Vector Mode 操作。	RO
2	Device Specific Mode Supported - 如果设置为 1，则表明该 Function 支持 Device Specific Mode 操作。	RO
8	Extended TPH Requester Supported - 如果设置为 1 表明该 Function 能够生成带有 TPH TLP Prefix 的请求。 有关其他详细信息，请参阅 Section 2.2.7.1。	RO
10:9	ST Table Location - 该字段的值指示 ST Table 是否存在以及其位置。定义的编码为： 00b ST Table 不存在 01b ST Table 位于 TPH Requester Extended Capability structure 中 10b ST Table 位于 MSI-X Table 中 (Section 7.7.2) 11b Reserved 仅支持 No ST Mode 的 Function 此字段值为 00b。 仅当 Function 实现 MSI-X 时，可以报告值 10b。	RO
26:16	ST Table Size - 该字段的值表示 Function 可以使用的 ST Table entry 的最大数量。软件读取该字段以确定 ST Table Size N，其编码为 N-1。例如，返回值 000 0000 0011b 表示 Table Size 为四个条目。 当 ST Table 位于 TPH Requester Extended Capability structure 中时，有 64 个条目的上限。 当 ST Table 位于 MSI-X Table 中时，该值受 MSI-X Table 的 Size 的限制。 该字段仅适用于实现 ST Table Location 字段所指示的 ST Table 的 Function。否则，此字段中的值	RO

未定义。

7.9.13.3 TPH Requester Control Register (Offset 08h)

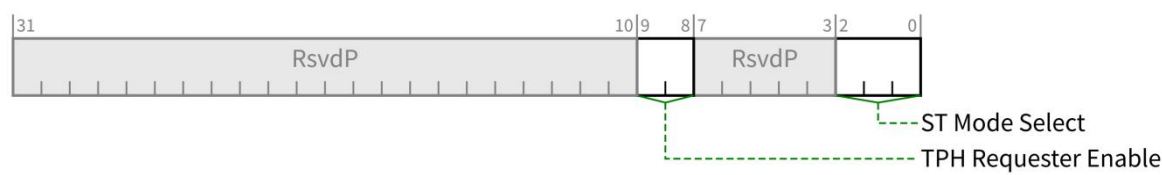


Figure 7-242 TPH Requester Control Register

Bit Location	Register Description	Attributes
2:0	ST Mode Select - 该字段用于选择操作的 ST Mode。定义的编码为： 000b No ST Mode 001b Interrupt Vector Mode 010b Device Specific Mode other reserved for future use 仅支持 No ST Mode 的操作的 Function 必须将此字段硬连线到 000b。 如果软件启用与 Function 支持的模式不对应的操作模式，则 Function 操作未定义。 该字段的默认值为 000b。 有关 ST 操作模式的详细信息，请参见 Section 6.17.3 。	RW
9:8	TPH Requester Enable - 控制使用 TPH 或 Extended TPH 发出 Request TLP 的能力。定义的编码为： 00b 不允许作为 Requester 运行的 Function 发出带有 TPH 或 Extended TPH 的请求。 01b 允许作为 Requester 运行的 Function 使用 TPH 发出请求,不允许发出 Extended TPH 的请求。 10b 保留。 11b 允许作为 Requester 的 Function 使用 TPH 和 Extended TPH 发出请求。 允许通告不支持 Extended TPH 的 Function 将此字段的第 9 比特硬连线到 0b。 该字段的默认值为 00b。	RW

7. 9. 13. 4 TPH ST Table (Starting from Offset 0Ch)

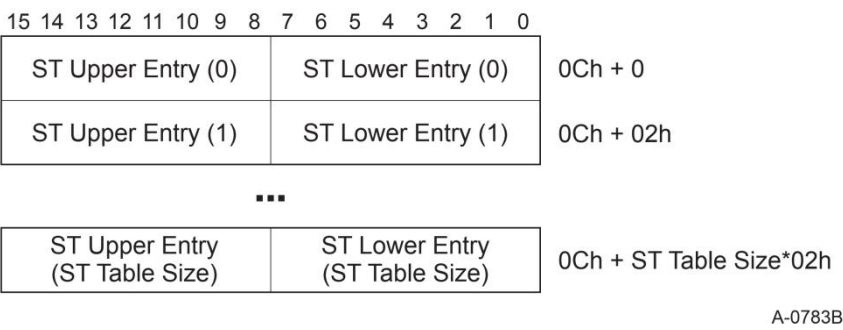


Figure 7-243 TPH ST Table

如果 ST Table Location 字段的值为 01b, 则必须在 TPH Requester Extended Capability structure 中实现 TPH ST Table。对于所有其他值, 不得实现 ST Entry Register。每个实现的 ST entry 是 16 位。实现的 ST Entry Register 的数量必须等于 Function 支持的 ST Table 条目的数量, 即 ST Table Size 字段的值加 1。

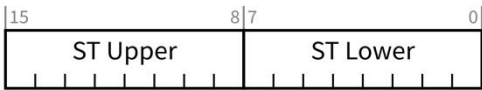


Figure 7-244 TPH ST Table Entry

Bit Location	Register Description	Attributes
7:0	ST Lower - 该字段表示 Steering Tag 的低 8 位。 该字段的默认值为 00h。	RW
15:8	ST Upper - 如果 Function 的 Extended TPH Requester Supported 字段设置为 1, 则该字段表示 Steering Tag 的高 8 位。否则, 该字段为 RsvdP。 该字段的默认值为 00h。	RW

7. 9. 14 LN Requester Extended Capability (LNR Capability)

LN Requester Extended Capability 是 Endpoint 的可选实现的 Capability。支持 LN 协议作为 Requester 的所有 Endpoint 都必须实现此 Capability。见 Section 6.21 。此 Capability 可由任何类型的 Endpoint 实现, 但不能由任何其他 Function 类型实现。

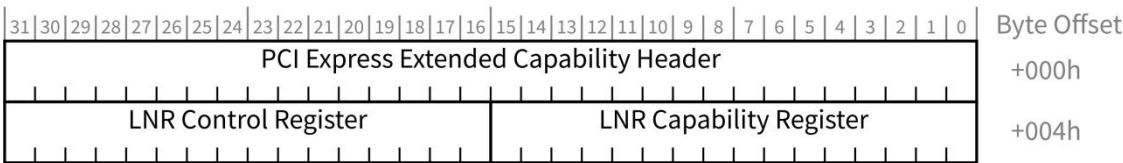


Figure 7-245 LN Requester Extended Capability

7.9.14.1 LNR Extended Capability Header (Offset 00h)



Figure 7-246 LNR Extended Capability Header

Bit Location	Register Description	Attributes
15:0	PCI Express Extended Capability ID - 该字段是 PCI-SIG 定义的 ID,用于指示扩展功能的性质和格式。 LNR Extended Capability 的 PCI Express Extended Capability ID 为 001Ch。	RO
19:16	Capability Version - 该字段是 PCI-SIG 定义版本号，指示实现的 Capability structure 的版本。 对于该版本的规范，必须为 1h。	RO
31:20	Next Capability Offset - 此字段指示到下一个 PCI Express Extended Capability structure 的偏移量； 如果在 Capability 的链接列表中不存在其他项，则为 000h。	RO

7.9.14.2 LNR Capability Register (Offset 04h)

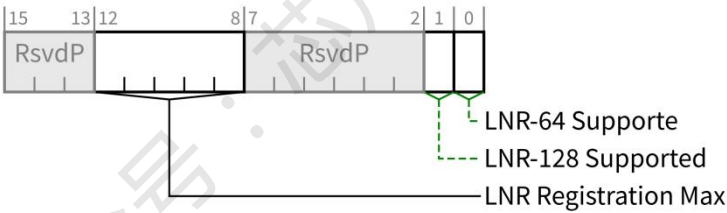


Figure 7-247 LNR Capability Register

Bit Location	Register Description	Attributes
0	LNR-64 Supporte - 如果 Endpoint 支持 64 字节 cacheline 作为 Requester 的 LN 协议,则该字段必须为 1b; 否则, 必须为 0b。有关其他详细信息, 请参阅 Section 6.21.4。	RO
1	LNR-128 Supported - 如果 Endpoint 支持 128 字节 cacheline 作为 Requester 的 LN 协议, 则该字段必须为 1b; 否则, 必须为 0b。	RO
12:8	LNR Registration Max - 该字段编码为 2 的幂, 表示该 LN Requester 能够同时注册的 cacheline 的最大数量。例如, 值 00101b 表示 LN Requester 能够同时注册多达 32 个 cacheline (2 ⁵), 并且能够注册超过 16 个。	RO

7. 9. 14. 3 LNR Control Register (Offset 06h)

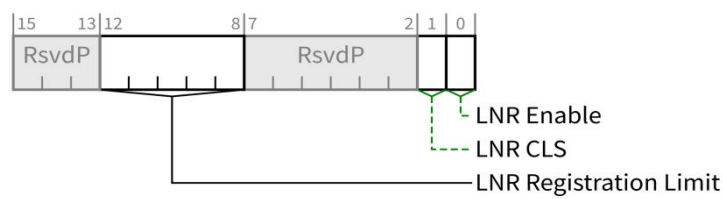


Figure 7-248 LNR Control Register

Bit Location	Register Description	Attributes
0	LNR Enable - 当该比特位被设置为 1 时，Endpoint 被使能作为 LN Requester 运行。允许软件随时清除该位。有关 LNR 内部注册状态的要求，请参见 Section 6.21.4 。 默认值为 0b。	RW
1	LNR CLS - 此位控制或指示此 Requester 与 LN 协议一起使用的 cacheline 大小。有关设置和修改该位的限制，请参见 Section 6.21.4 。 如果该位为 0，则 cacheline 大小为 64 字节。如果此位为 1，则 cacheline 大小为 128 字节。 如果此 LN Requester 仅支持一种 cacheline 大小，则允许将此位硬连线以指示该大小。否则，该位的默认值为 0b。	RW
12:8	LNR Registration Limit - 此字段编码为 2 的幂，对允许此 LN Requester 同时注册的 cacheline 数施加限制。例如，值 00100b 表示 LN Requester 不能同时注册超过 16 个 cacheline (2 ⁴)。有关修改此字段的限制，请参阅 Section 6.21.4 。 该字段的默认值为 11111b。	RW

7. 9. 15 DPC Extended Capability

Downstream Port Containment (DPC) Extended Capability 是一种可选实现的 Capability，它为 Downstream Port 提供一种机制，以包含无法纠正的错误并使软件能够从中恢复。见 Section 6.2.10 。该 Capability 可以在 Root Port 或 Switch Downstream Port 中实现。它不适用于任何其他 Device/Port type。

如果 Downstream Port 实现 DPC Extended Capability，则该 Port 也必须能够报告 DL_Active 状态，并通过设置 Link Capabilities Register 中的 Data Link Layer Link Active Reporting Capable 字段来指示。请参阅 Section 7.5.3.6 。

如果 Downstream Port 实现 DPC Extended Capability，强烈建议该 Port 支持 ERR_COR Subclass capability，并通过设置 Device Capabilities Register 中的 ERR_COR Subclass Capable 字段来指示。请参阅 Section 7.5.3.3 。

各种 RP PIO 寄存器必须仅由支持 DPC RP Extension 的 Root Port 实现，如 DPC Capability Register 中的 RP Extensions for DPC 字段所示。

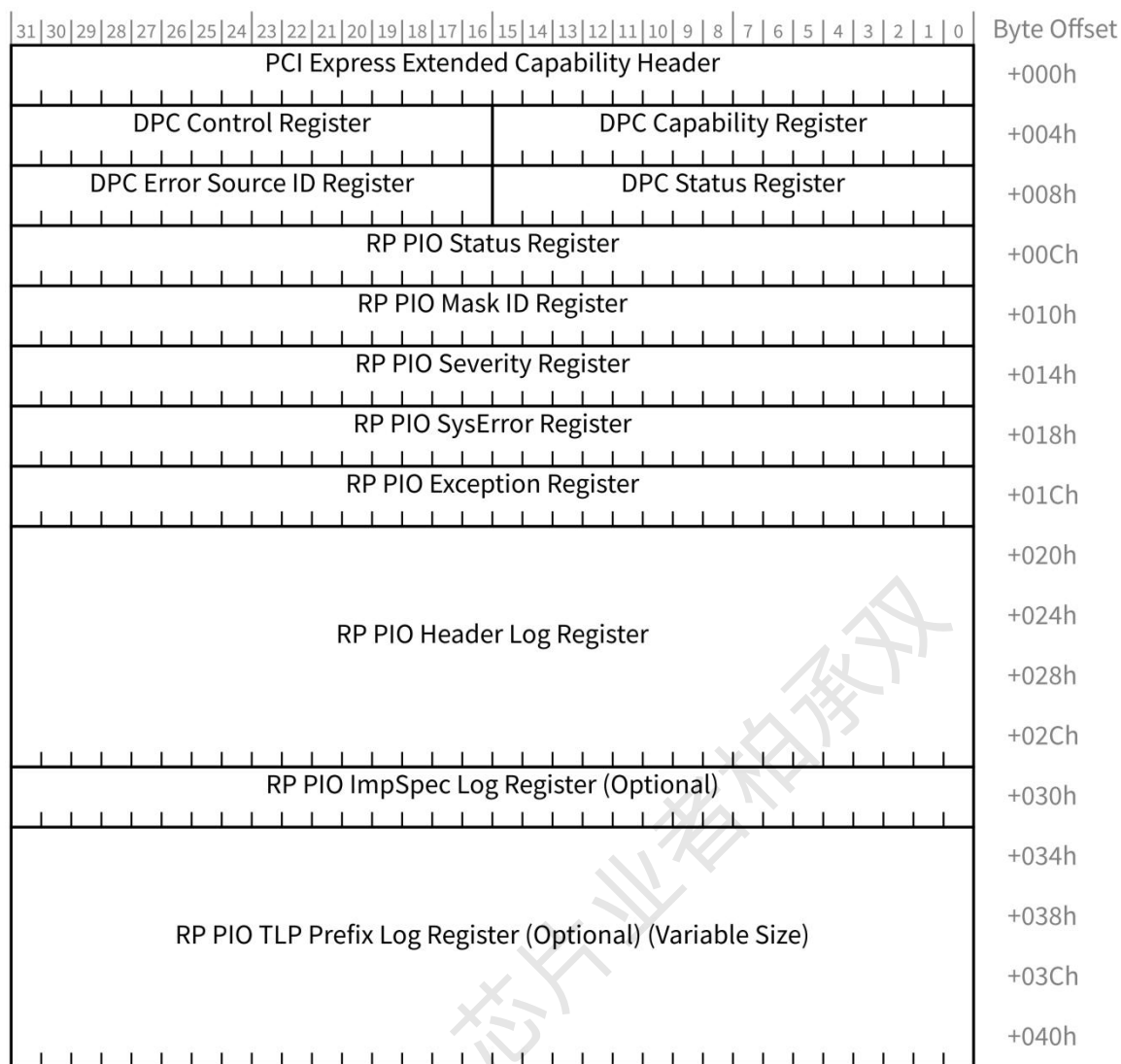


Figure 7-249 DPC Extended Capability

7.9.15.1 DPC Extended Capability Header (Offset 00h)

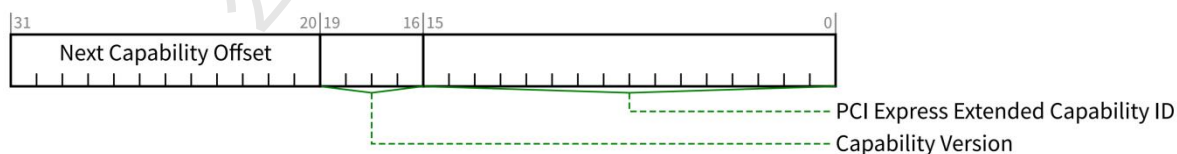


Figure 7-250 DPC Extended Capability Header

Bit Location	Register Description	Attributes
15:0	PCI Express Extended Capability ID - 该字段是 PCI-SIG 定义的 ID, 用于指示扩展功能的性质和格式。 DPC Extended Capability 的 PCI Express Extended Capability ID 为 001Dh。	RO

19:16	Capability Version - 该字段是 PCI-SIG 定义版本号，指示实现的 Capability structure 的版本。 对于该版本的规范，必须为 1h。	RO
31:20	Next Capability Offset - 此字段指示到下一个 PCI Express Extended Capability structure 的偏移量；如果在 Capability 的链接列表中不存在其他项，则为 000h。	RO

7.9.15.2 DPC Capability Register (Offset 04h)

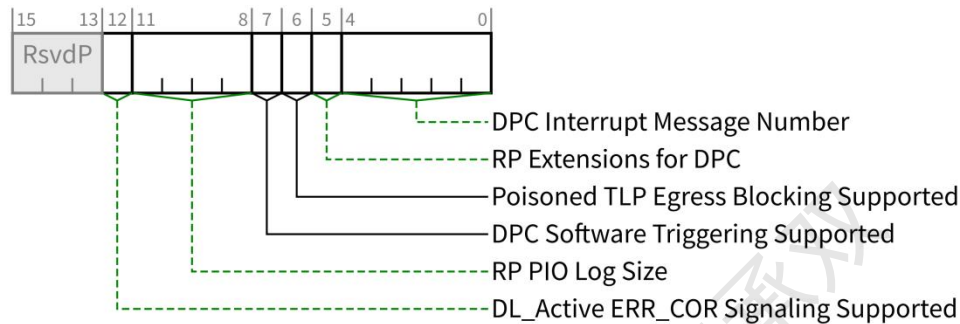


Figure 7-251 DPC Capability Register

Bit Location	Register Description	Attributes
4:0	DPC Interrupt Message Number - 该字段指示哪个 MSI/MSI-X 向量用于与 DPC Capability structure 相关联的中断消息。 对于 MSI，该字段中的值表示 base Message Data 和生成的中断消息之间的偏移量。硬件会更新此字段，以便当软件写入 Message Control Register 中的 Multiple Message Enable 字段时，如果分配给该 Function 的 MSI 消息数量发生变化，则该字段是正确的。 对于 MSI-X，该字段中的值表示哪个 MSI-X Table entry 用于生成中断消息。即使 Function 实现了超过 32 个的条目，该条目也必须是前 32 个条目之一。对于给定的 MSI-X 实现，条目必须保持不变。 如果同时实现了 MSI 和 MSI-X，则允许它们使用不同的向量，尽管软件一次只能启用一种机制。如果启用了 MSI-X，则该字段中的值必须指示 MSI-X 的向量。如果 MSI 已启用或两者均未启用，则该字段中的值必须指示 MSI 的向量。如果软件同时启用 MSI 和 MSI-X，则该字段中的值未定义。	RO
5	RP Extensions for DPC - 如果设置为 1，该字段表示 Root Port 支持特定于 Root Port 的一组定义的 DPC Extensions。Switch Downstream Port 不得把该字段设置为 1。	RO
6	Poisoned TLP Egress Blocking Supported - 如果设置为 1，该字段表示 Root Port 或 Switch Downstream Port 支持阻止从其 Egress Port 发送 Poisoned TLP 的能力。支持 RP Extensions 的 Root Port 必须把该字段设置为 1。	RO
7	DPC Software Triggering Supported - 如果设置为 1，该字段表示 Root Port 或 Switch Downstream	RO

Port 支持软件触发 DPC 的能力。支持 RP Extensions 的 Root Port 必须把该字段设置为 1。

11:8	RP PIO Log Size - 此字段表示为 RP PIO Log Register 分配了多少 DWORD，包括 RP PIO Header Log、RP PIO ImpSpec Log 和 RP PIO TLP Prefix Log。如果 Root Port 支持 RP Extensions for DPC，则该字段的值必须大于等于 4；否则，此字段的值必须为 0。请参阅 Section 7.9.15.11、Section 7.9.15.12 和 Section 7.9.15.13。	RO
12	DL_Active ERR_COR Signaling Supported - 如果设置为 1，该位表示 Root Port 或 Switch Downstream Port 支持在链路转换到 DL_Active 状态时发送 ERR_COR 信令的能力。支持 RP Extensions 的 Root Port 必须把该字段设置为 1。	RO

7.9.15.3 DPC Control Register (Offset 06h)

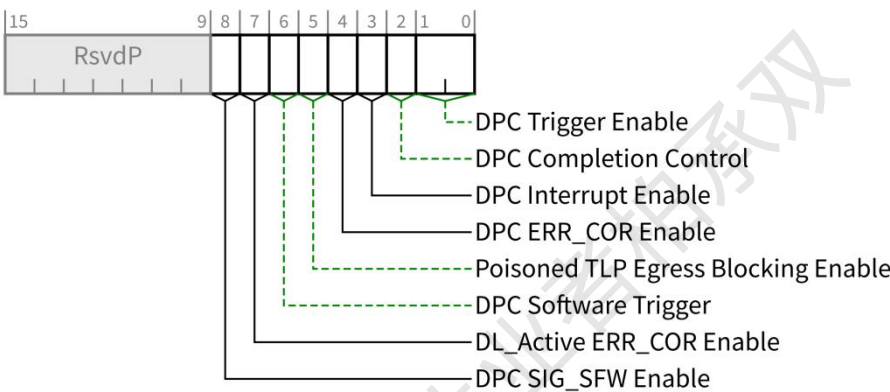


Figure 7-252 DPC Control Register

Bit Location	Register Description	Attributes
1:0	DPC Trigger Enable - 该字段启用 DPC 并控制导致 DPC 被触发的条件。定义的编码为： 00b DPC 被禁用。 01b DPC 启用并在 Downstream Port 检测到未屏蔽的不可纠正错误或 Downstream Port 收到 ERR_FATAL 消息时触发。 10b 当 Downstream Port 检测到未屏蔽的不可纠正错误或 Downstream Port 接收到 ERR_NONFATAL 或 ERR_FATAL 消息时，DPC 被启用并被触发。 11b Reserved。 默认值为 00b。	RW
2	DPC Completion Control - 该字段控制 DPC 期间形成的 Completion 的 Completion Status。请参阅 Section 2.9.3。定义的编码为： 0b Completer Abort (CA) Completion Status	RW

默认值为 0b。

- | | | |
|---|--|-------|
| 3 | <p>DPC Interrupt Enable - 设置为 1 时, 该字段允许产生中断以指示 DPC 已被触发。请参阅 Section 6.2.10.1。</p> <p>该位的默认值为 0b。</p> | RW |
| 4 | <p>DPC ERR_COR Enable - 设置为 1 时, 该字段允许发送 ERR_COR 消息以指示 DPC 已被触发。请参阅 Section 6.2.10.2。</p> <p>该位的默认值为 0b。</p> | RW/RO |
| 5 | <p>Poisoned TLP Egress Blocking Enable - 如果 Poisoned TLP Egress Blocking Supported 被设置为 1, 该位必须为 RW; 否则, 允许硬连线到 0b。除非 Poisoned TLP Egress Blocking Supported 设置为 1, 否则软件不得把该字段设置为 1。</p> <p>设置为 1 时, 该字段使相关的 Egress Port 能够阻止 Poisoned TLP 的传输。请参阅 Section 2.7.2.2。</p> <p>该位的默认值为 0b。</p> | RW/RO |
| 6 | <p>DPC Software Trigger - 如果 DPC Software Triggering Supported 字段设置为 1, 则该字段必须为 RW; 否则, 允许硬连线到 0b。</p> <p>如果 DPC 使能且 DPC Trigger Status 字段清 0, 当软件向该位写入 1b 时, DPC 被触发。否则, 软件向该位写入 1b 无效。</p> <p>允许将 1b 写入该位, 同时将更新值写入该寄存器中的其他字段, 尤其是 DPC Trigger Enable 字段。对于这种情况, DPC Software Trigger 的语义基于 DPC Trigger Enable 字段的更新值。</p> <p>该位在读取时总是返回 0b。</p> | RW/RO |
| 7 | <p>DL_Active ERR_COR Enable - 如果 DL_Active ERR_COR Signaling Supported 字段设置为 1, 则该字段必须为 RW; 否则, 允许硬连线到 0b。除非 DL_Active ERR_COR Signaling Supported 字段设置为 1, 否则软件不得把此字段设置为 1。</p> <p>置 1 时, 该位使相关的 Downstream Port 能够在链路转换到 DL_Active 状态时发送 ERR_COR 信令。请参阅 Section 6.2.10.5。</p> <p>该位的默认值为 0b。</p> | RW/RO |
| 8 | <p>DPC SIG_SFW Enable - 如果 Device Capabilities Register 中的 ERR_COR Subclass Capable 被设置为 1, 则必须实现该位; 否则, 允许硬连线到 0b。如果 ERR_COR Subclass Capable 为 0 且软件设置了该位, 则行为未定义。</p> <p>设置为 1 时, 该位启用发送 ERR_COR 消息以指示已为 ERR_COR 信令启用的 DPC 事件。请参阅 Section 6.2.10.2 和 Section 6.2.10.5。这是在 Device Control Register 中的 Correctable Error Reporting Enable 字段之外启用整体 DPC ERR_COR 信令的附加和替代方法。该位不影响 Function 发送除 ECS SIG_SFW subclass 之外的 ERR_COR 消息的能力。</p> | RW/RO |

该位的默认值为 0b。

7.9.15.4 DPC Status Register (Offset 08h)

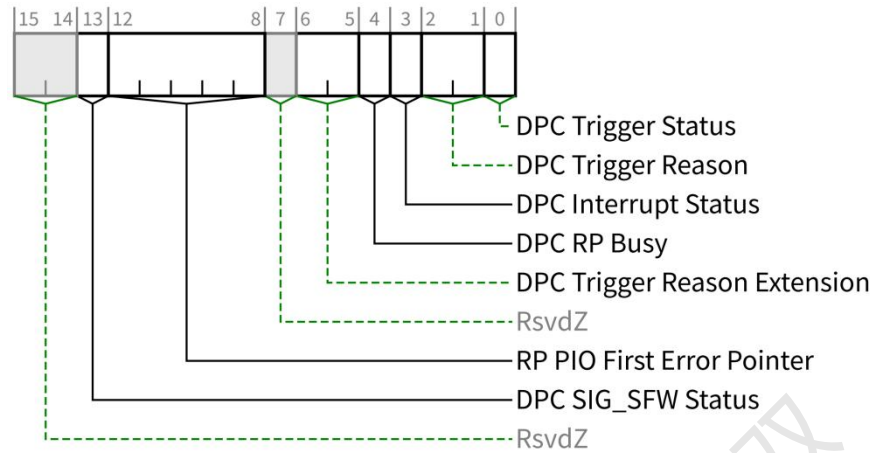


Figure 7-253 DPC Status Register

Bit Location	Register Description	Attributes
0	DPC Trigger Status - 置 1 时, 该位表示 DPC 已被触发, 根据定义, Port 处于 DPC 过程中。DPC 是事件触发的。 当该位被设置为 1 时, 硬件必须将 LTSSM 引导到 Disabled 状态。该位必须在 LTSSM 从 Disabled 状态释放之前清 0, 此后端口不再处于 DPC, 并且 LTSSM 必须转换到 Detect 状态。有关软件必须在 DPC 中离开 Downstream Port 多长时间的要求, 请参见 Section 6.2.10。一旦满足这些要求, 无论与触发事件相关的其他状态位的状态如何, 软件都可以清除该位。 清除该位后, 软件必须遵守 Section 6.6.1 中定义的与常规复位后的第一次配置读取相关的时序要求。 该位的默认值为 0b。	RW1CS
2:1	DPC Trigger Reason - 此字段指示 DPC 被触发的原因。定义的编码是： 00b 由于未屏蔽的不可纠正错误而触发了 DPC。 01b 由于收到 ERR_NONFATAL 触发了 DPC。 10b 由于收到 ERR_FATAL 触发 DPC。 11b 由于 DPC Trigger Reason Extension 字段指示的原因触发了 DPC。 该字段仅在 DPC Trigger Status 为 1 时有效；否则该字段的值是未定义的。	ROS
3	DPC Interrupt Status - 如果 DPC Interrupt Enable 字段被设置为 1 时触发 DPC, 则该位被设置为 1。这可能会导致产生中断。请参阅 Section 6.2.10.1。 该位的默认值为 0b。	RW1CS

4	DPC RP Busy - 当 DPC Trigger Status 字段被设置为 1 并且该位被设置为 1 时, Root Port 忙于必须在允许软件清除 DPC Trigger Status 字段之前完成的内部活动。如果在该位设置为 1 时软件把 DPC Trigger Status 字段清 0, 则行为未定义。 该字段仅在 DPC Trigger Status 字段设置为 1 时有效; 否则该字段的值是未定义的。 该位仅适用于支持 RP Extensions for DPC 的 Root Port, Switch Downstream Port 为保留。 该位的默认值未定义。	RO/RsvdZ
6:5	DPC Trigger Reason Extension - 该字段用作 DPC Trigger Reason 字段的扩展。当该字段有效且值为 11b 时, 该字段指示 DPC 被触发的原因。定义的编码是: 00b DPC was triggered due to an RP PIO error 01b DPC was triggered due to the DPC Software Trigger bit 10b Reserved 11b Reserved 该字段仅在 DPC Trigger Status 字段被设置为 1 且 DPC Trigger Reason 字段的值为 11b 时有效; 否则该字段的值是未定义的。	ROS
12:8	RP PIO First Error Pointer - 该字段的值标识了 RP PIO Status Register 中的一个比特位位置, 当该比特位被设置时, 该字段被认为是有效的。当该字段有效并且软件向指示的 RP PIO Status 比特位写入 1b (从而将其清 0) 时, 该字段必须恢复为其默认值。 该字段仅适用于支持 RP Extensions for DPC 的 Root Ports, 否则为 Reserved。 如果该字段未保留, 则其默认值为 11111b, 表示永久保留的 RP PIO Status 比特位, 从而保证该字段不被视为有效。	ROS/RsvdZ
13	DPC SIG_SFW Status - 如果 Function 支持 ERR_COR Subclass capability, 则必须实现该比特位; 否则, 它必须硬连线到 0b。如果已实现, 则在发送 SIG_SFW ERR_COR 消息以发出 DPC 事件信令时把该位设置为 1。请参阅 Section 6.2.10.2 和 Section 6.2.10.5。 该位的默认值为 0b。	RW1CS/RsvdZ

7.9.15.5 DPC Error Source ID Register (Offset 0Ah)

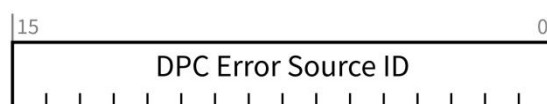


Figure 7-254 DPC Error Source ID Register

Bit Location	Register Description	Attributes
--------------	----------------------	------------

15:0	DPC Error Source ID - 当 DPC Trigger Reason 字段指示 DPC 由于接收到 ERR_NONFATAL 或 ERR_FATAL 而触发时，该寄存器包含接收到的消息的 Requester ID。否则，该寄存器的值是未定义的。	ROS
------	---	-----

7.9.15.6 RP PIO Status Register (Offset 0Ch)

该寄存器仅在支持 RP Extensions for DPC 的 Root Port 中实现。请参阅 Section 6.2.10.3 。

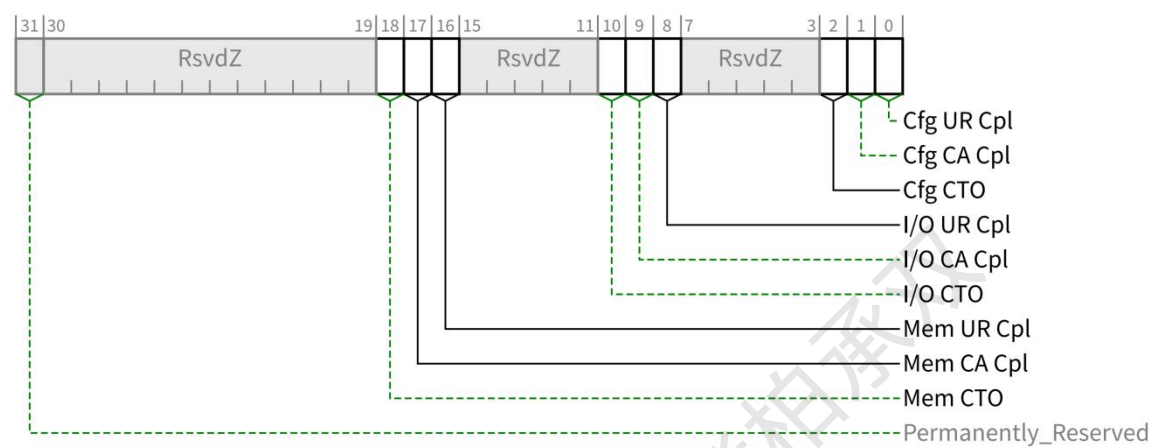


Figure 7-255 RP PIO Status Register

Bit Location	Register Description	Attributes	default
0	Cfg UR Cpl - Configuration Request received UR Completion。	RW1CS	0b
1	Cfg CA Cpl - Configuration Request received CA Completion。	RW1CS	0b
2	Cfg CTO - Configuration Request Completion Timeout。	RW1CS	0b
8	I/O UR Cpl - I/O Request received UR Completion。	RW1CS	0b
9	I/O CA Cpl - I/O Request received CA Completion。	RW1CS	0b
10	I/O CTO - I/O Request Completion Timeout。	RW1CS	0b
16	Mem UR Cpl - Memory Request received UR Completion。	RW1CS	0b
17	Mem CA Cpl - Memory Request received CA Completion。	RW1CS	0b
18	Mem CTO - Memory Request Completion Timeout。	RW1CS	0b
31	Permanently_Reserved , 因为默认的 RP PIO First Error Pointer 字段值指向这个字段。	RW1CS	0b

7.9.15.7 RP PIO Mask Register (Offset 10h)

该寄存器仅在支持 RP Extensions for DPC 的 Root Port 中实现。请参阅 Section 6.2.10.3 。

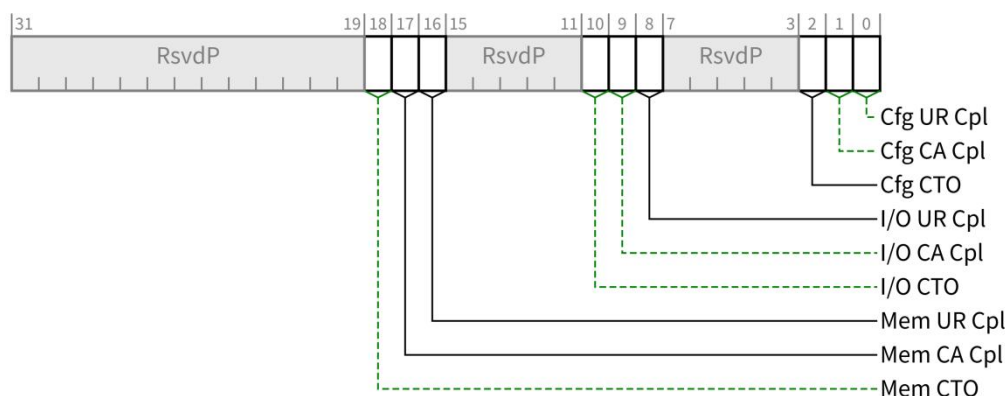


Figure 7-256 RP PIO Mask Register

Bit Location	Register Description	Attributes	default
0	Cfg UR Cpl - Configuration Request received UR Completion.	RWS	1b
1	Cfg CA Cpl - Configuration Request received CA Completion.	RWS	1b
2	Cfg CTO - Configuration Request Completion Timeout.	RWS	1b
8	I/O UR Cpl - I/O Request received UR Completion.	RWS	1b
9	I/O CA Cpl - I/O Request received CA Completion.	RWS	1b
10	I/O CTO - I/O Request Completion Timeout.	RWS	1b
16	Mem UR Cpl - Memory Request received UR Completion.	RWS	1b
17	Mem CA Cpl - Memory Request received CA Completion.	RWS	1b
18	Mem CTO - Memory Request Completion Timeout.	RWS	1b

7.9.15.8 RP PIO Severity Register (Offset 14h)

该寄存器仅在支持 RP Extensions for DPC 的 Root Port 中实现。请参阅 Section 6.2.10.3 。

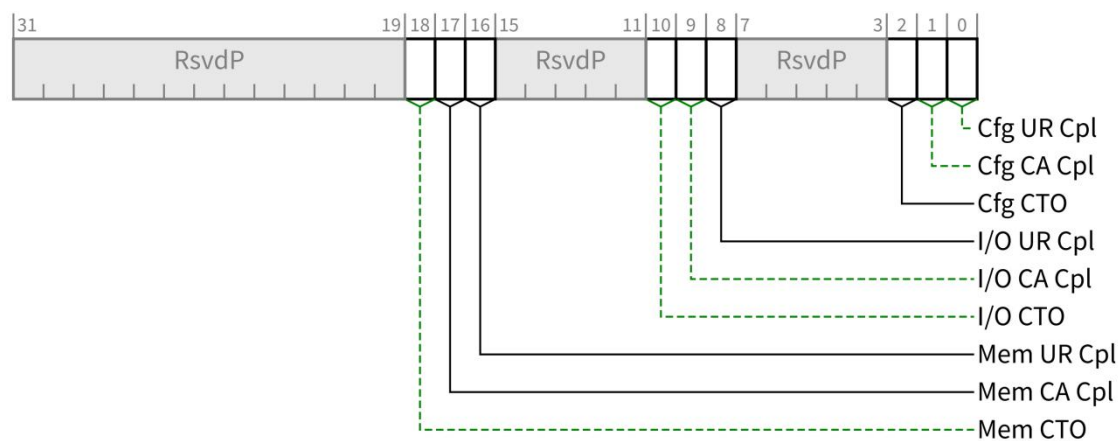


Figure 7-257 RP PIO Severity Register

Bit Location	Register Description	Attributes	default
0	Cfg UR Cpl - Configuration Request received UR Completion.	RWS	0b
1	Cfg CA Cpl - Configuration Request received CA Completion.	RWS	0b
2	Cfg CTO - Configuration Request Completion Timeout.	RWS	0b
8	I/O UR Cpl - I/O Request received UR Completion.	RWS	0b
9	I/O CA Cpl - I/O Request received CA Completion.	RWS	0b
10	I/O CTO - I/O Request Completion Timeout.	RWS	0b
16	Mem UR Cpl - Memory Request received UR Completion.	RWS	0b
17	Mem CA Cpl - Memory Request received CA Completion.	RWS	0b
18	Mem CTO - Memory Request Completion Timeout.	RWS	0b

7.9.15.9 RP PIO SysError Register (Offset 18h)

该寄存器仅在支持 RP Extensions for DPC 的 Root Port 中实现。请参阅 Section 6.2.10.3 。

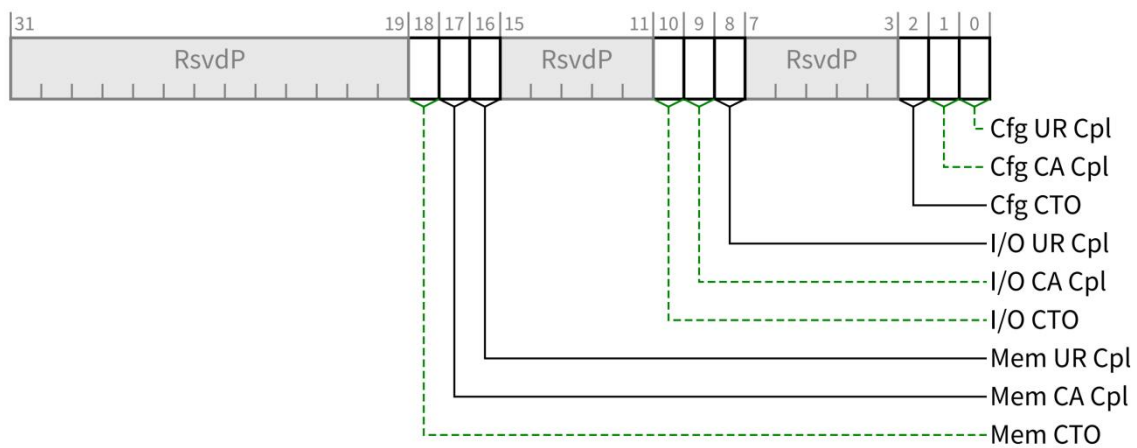


Figure 7-258 RP PIO SysError Register

Bit Location	Register Description	Attributes	default
0	Cfg UR Cpl - Configuration Request received UR Completion.	RWS	0b
1	Cfg CA Cpl - Configuration Request received CA Completion.	RWS	0b
2	Cfg CTO - Configuration Request Completion Timeout.	RWS	0b
8	I/O UR Cpl - I/O Request received UR Completion.	RWS	0b
9	I/O CA Cpl - I/O Request received CA Completion.	RWS	0b
10	I/O CTO - I/O Request Completion Timeout.	RWS	0b
16	Mem UR Cpl - Memory Request received UR Completion.	RWS	0b
17	Mem CA Cpl - Memory Request received CA Completion.	RWS	0b
18	Mem CTO - Memory Request Completion Timeout.	RWS	0b

7.9.15.10 RP PIO Exception Register (Offset 1Ch)

该寄存器仅在支持 RP Extensions for DPC 的 Root Port 中实现。请参阅 Section 6.2.10.3 。

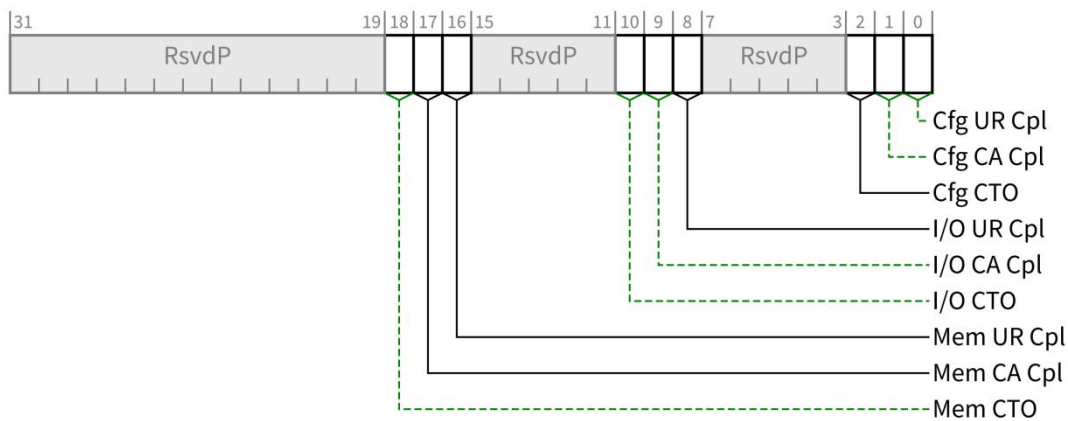


Figure 7-259 RP PIO Exception Register

Bit Location	Register Description	Attributes	default
0	Cfg UR Cpl - Configuration Request received UR Completion.	RWS	0b
1	Cfg CA Cpl - Configuration Request received CA Completion.	RWS	0b
2	Cfg CTO - Configuration Request Completion Timeout.	RWS	0b
8	I/O UR Cpl - I/O Request received UR Completion.	RWS	0b
9	I/O CA Cpl - I/O Request received CA Completion.	RWS	0b
10	I/O CTO - I/O Request Completion Timeout.	RWS	0b
16	Mem UR Cpl - Memory Request received UR Completion.	RWS	0b
17	Mem CA Cpl - Memory Request received CA Completion.	RWS	0b
18	Mem CTO - Memory Request Completion Timeout.	RWS	0b

7.9.15.11 RP PIO Header Log Register (Offset 20h)

该寄存器仅在支持 RP Extensions for DPC 的 Root Port 中实现。RP PIO Header Log Register 包含来自与记录的 RP PIO 错误相关联的 Request TLP 的报头。有关详细信息，请参阅 Section 6.2.10.3。该寄存器为 16 字节，格式与 AER 中的 Header Log Register 相同，请参阅 Section 7.8.4.8。

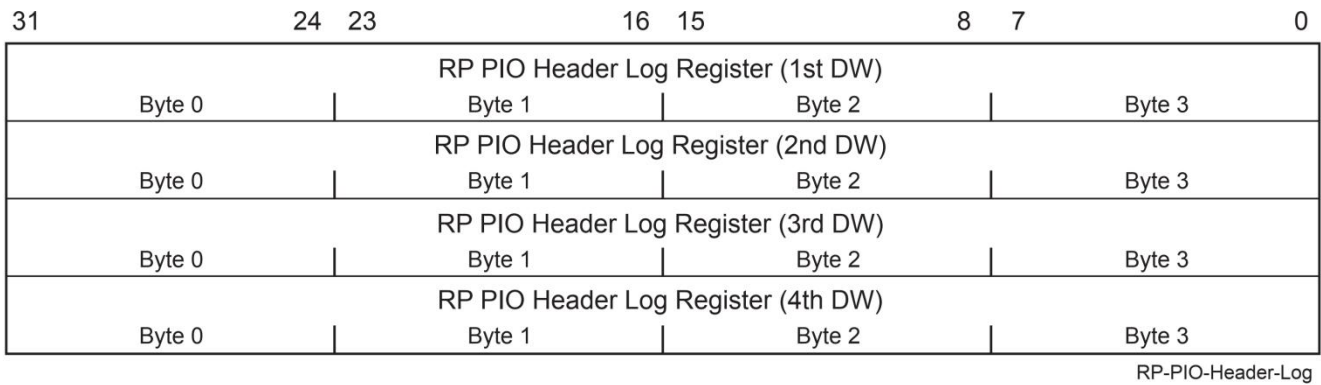


Figure 7-260 RP PIO Header Log Register

Bit Location	Register Description	Attributes	default
127:0	TLP Header - 对应出的 TLP Header。	ROS	0

7.9.15.12 RP PIO ImpSpec Log Register (Offset 30h)

该寄存器仅允许在支持 RP Extensions for DPC 的 Root Port 中实现。RP PIO ImpSpec Log Register（如果实现）包含与记录的错误相关的特定于实现的信息，例如，指示 Request TLP 的来源。如果 RP PIO Log Size 字段的值为 5 或更大，则为此寄存器分配空间。如果为寄存器分配了空间，但未实现寄存器，则这些位必须硬连线到 0b。



Figure 7-261 RP PIO ImpSpec Log Register

Bit Location	Register Description	Attributes	default
31:0	RP PIO ImpSpec Log	ROS	0

7.9.15.13 RP PIO TLP Prefix Log Register (Offset 34h)

该寄存器仅允许在支持 RP Extensions for DPC 的 Root Port 中实现。RP PIO TLP Prefix Log Register 包含来自与记录的 RP PIO 错误相对应的 TLP 的任何 End-End TLP Prefix。有关详细信息，请参阅 Section 6.2.10.3。

如果 Root Port 支持跟踪包含 End-End TLP Prefix 的 Non-Posted Request，则必须实现该寄存器，并且必须有足够的大小来记录任何跟踪请求的 End-End TLP Prefix 的最大数量。见 Section 2.9.3。如果 RP PIO Log Size 小于等于 9，或者如果 RP PIO Log Size 小于 4 大于 9，则 RP PIO TLP Prefix Log Register 的 DWORD 中分配的大小是 RP PIO Log Size 减去 5。TLP Prefix Log 必须小于或等于 Root Port 的 Max End-End TLP Prefixes 字段值。对于 Root Port 从不传输包含 End-End TLP Prefix 的 Non-Posted Request 的情况，TLP Prefix Log 的分配和实现大小允许为 0。任何已分配但未实现的 DWORD 必须硬连线为零。

该寄存器的格式与 AER 中的 TLP Prefix Log Register 的格式相同，尽管该寄存器的分配大小是可变的，而 AER 中的寄存器始终为 4 个双字。见 Section 7.8.4.12。First TLP Prefix Log Register 包含来自 TLP 的第一个 End-End TLP Prefix，Second TLP Prefix Log

Register 包含第二个 End-End TLP Prefix，依此类推。如果 TLP 包含的 TLP 前缀少于该寄存器可容纳的数量，则任何剩余的 TLP Prefix Log Register 必须包含零。

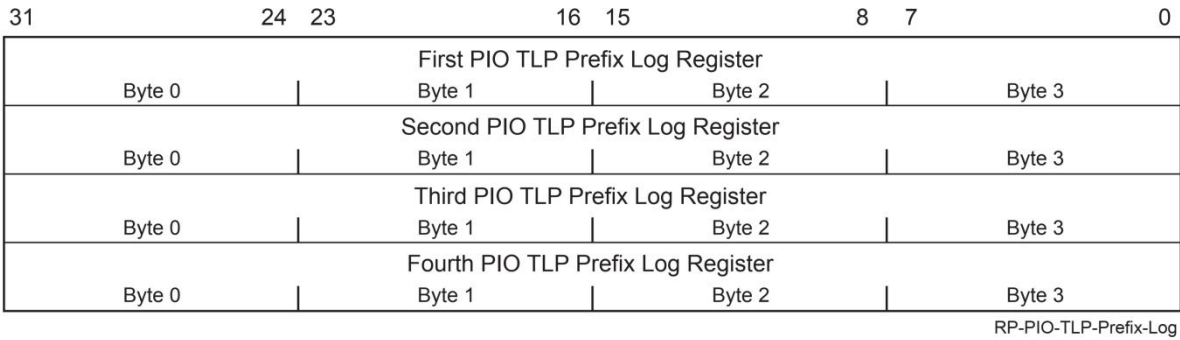


Figure 7-262 RP PIO TLP Prefix Log Register

Bit Location	Register Description	Attributes	default
127:0	RP PIO TLP Prefix Log	ROS	0

7. 9. 16 Precision Time Management Extended Capability (PTM Capability)

Precision Time Management Extended Capability 是一个可选实现的 Extended Capability，用于枚举和控制 PTM 层次结构的分布。对于 Root Complex，任何支持 PTM 的 Root Port、RCiEP 或 RCRB 都需要实现此 Capability。对于支持 PTM 的 Endpoint 和 Switch Upstream Port，该 Capability 在 Upstream Port 的一个 Function 中是必需实现的，并且该 Capability 控制与该 Upstream Port 关联的所有具有 PTM Capability 的 Function 的 PTM 行为。对于 Switch Downstream Port，PTM 行为由控制关联 Switch Upstream Port 的相同 PTM Capability 控制。Bridge、Switch Downstream Port 和 Root Complex Event Collector 中不允许实现 PTM Capability。

对于 Switch，此 Capability 的单个实例控制整个 Switch 的行为。如果 Switch 的 Upstream Port 与 MFD 相关联，则不需要控制 Function 为 Switch Upstream Port 对应的 Function。对于给定的 Switch，如果实现此 Capability，则 Switch 的所有 Downstream Port 都必须实现 Section 6.22.3.2 中定义的要求。

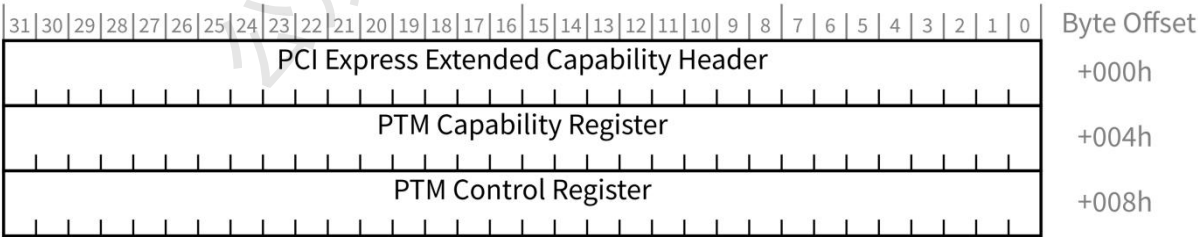


Figure 7-263 PTM Capability Structure

7. 9. 16. 1 PTM Extended Capability Header (Offset 00h)

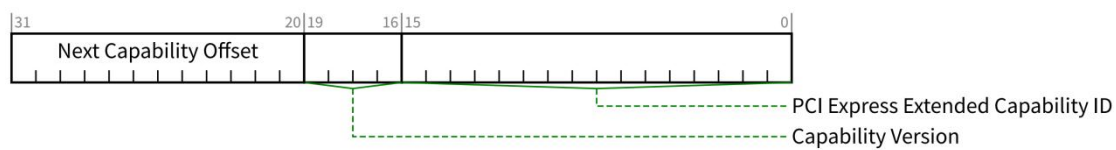


Figure 7-264 PTM Extended Capability Header

Bit Location	Register Description	Attributes
15:0	PCI Express Extended Capability ID - 该字段是 PCI-SIG 定义的 ID,用于指示扩展功能的性质和格式。 PTM Extended Capability 的 PCI Express Extended Capability ID 为 001Fh。	RO
19:16	Capability Version - 该字段是 PCI-SIG 定义版本号，指示实现的 Capability structure 的版本。 对于该版本的规范，必须为 1h。	RO
31:20	Next Capability Offset - 此字段指示到下一个 PCI Express Extended Capability structure 的偏移量； 如果在 Capability 的链接列表中不存在其他项，则为 000h。	RO

7. 9. 16. 2 PTM Capability Register (Offset 04h)

该寄存器描述了 Function 对精确时间测量的支持。并非该寄存器中的所有字段都适用于所有能够实现 PTM 的 Function。

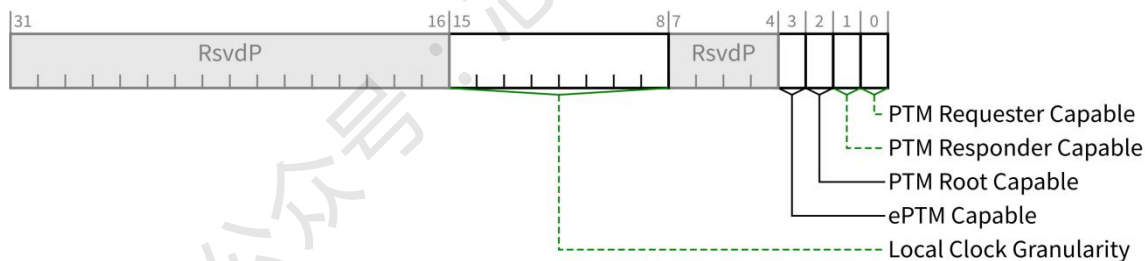


Figure 7-265 PTM Capability Register

Bit Location	Register Description	Attributes
0	PTM Requester Capable - 表示 Function 实现了 PTM Requester 角色（Section 6.22.3.1）。 允许 Endpoint 和 RCiEP 设置此比特位以指示它们实现了 PTM Requester 角色。 如果 Switch 包含以下一项或多项，则 Switch Upstream Port 必须把该比特位设置为 1： - 一个实现了 PTM Responder 角色的 Downstream Port。 - 实现 PTM Requester 角色的附加 Function。 如果设备包含多个 Upstream Port Function，则该比特位的值在所有此类 Function 中必须一致。	HwInit

1	PTM Responder Capable - Root Port 和 RCRB 并且支持 PTM 的 Switch 可以把该比特位设置为 1 表示它们实现了 PTM Responder 角色 (Section 6.22.3.2)。 如果 PTM Root Capable 被设置为 1, 那么该比特位必须被设置为 1。	HwInit
2	PTM Root Capable - 如果 Root Port、RCRB 和 Switch 能够作为 PTM Master Time 的来源, 则允许把该比特位设置为 1 (Section 6.22.1)。 所有其他 Function 必须将此位硬连线到 0b。	HwInit
3	ePTM Capable - 如果设置为 1, 则表示此设备支持 Enhanced Precision Time Management (ePTM)。 强烈建议在所有 PTM 设备中设置该位。	HwInit
15:8	Local Clock Granularity - 编码为: 00000000b Time Source 不实现本地时钟。当响应 PTM Request message 时, 它简单地传播从 PTM 层次结构中更远的上游获得的定时信息。 00000001b - 11111110b 表示该 Time Source 本地时钟的周期, 单位为 ns。 11111111b 表示该 Time Source 的本地时钟周期大于 254 ns。 如果 PTM Root Select 被设置为 1, 则该本地时钟用于提供 PTM Master Time。否则, 时间源使用该本地时钟来本地跟踪从 PTM 层次结构中的更上游接收的 PTM Master Time。 如果 PTM Root Capable 位为 0b, 则该字段为 RsvdP。	HwInit/RsvdP

7.9.16.3 PTM Control Register (Offset 08h)

该寄存器控制 Function 参与 PTM 机制。并非该寄存器中的所有字段都适用于所有能够实现 PTM 的 Function。

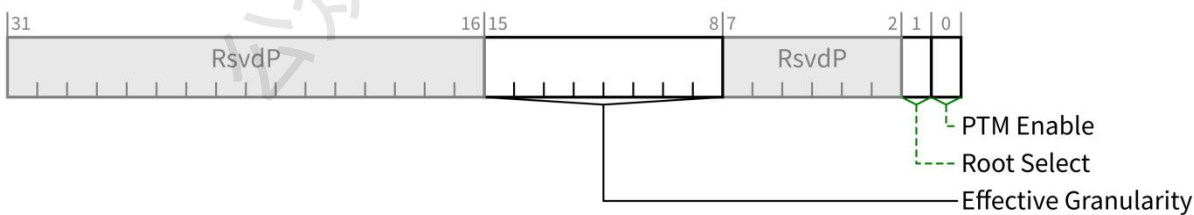


Figure 7-266 PTM Control Register

Bit Location	Register Description	Attributes
0	PTM Enable - 设置为 1 时, 此 Function 根据其选择的角色被允许参与到 PTM 机制 (Section 6.22.2)。 默认值为 0b。	RW

1

Root Select - 置 1 时，如果 PTM Enable 也置 1，则此 Time Source 为 PTM Root。

RW

在每个 PTM 层次结构中，建议系统软件仅选择最远的 Upstream Time Source 作为 PTM Root。

默认值为 0b。如果 PTM Root Capable 的值为 0b，则允许将此位硬连线到 0b。

15:8

Effective Granularity - 对于实现 PTM Requester 角色的 Function，该字段提供与 PTM 时钟预期精度相关的信息，但不影响 PTM 机制。

RW/RO

对于 Endpoint，系统软件必须将此字段编程为代表 PTM Root 和所有相关 PTM Time Source 报告的最大 Local Clock Granularity 的值。

对于 RCiEP，系统软件必须将此字段设置为相关 PTM Time Source 在 Local Clock Granularity 字段中报告的值。

允许的值为：

00000000b	未知 PTM 粒度 - 此 Function 和 PTM Root 之间的一个或多个 Switch 报告本地时钟粒度值为 0000 0000b。
00000001b - 11111110b	以 ns 为单位表示有效的 PTM 粒度。
11111111b	表示有效的 PTM 粒度大于 254 ns。

默认值为 00000b。如果 PTM Requester Capable 为 0，则允许将此字段硬连线到 0000 0000b。

7.9.17 Readiness Time Reporting Extended Capability

Readiness Time Reporting Extended Capability 提供了一种可选实现的机制，用于描述设备或 Function 变为 Configuration-Ready 所需的时间。在指定的情况下，允许软件在等待此 Function 中通告的时间后向设备或 Function 发出请求，而无需等待其他地方所需的耗时。

允许软件在以下最早时间发出请求：

- 收到 Readiness Notifications message (Section 6.23) 。
- 等待本文档或适用规范（包括 [PCI] 和 [PCI-PM]）中指定的适当时间。
- 等待此 Function 的相关字段中指示的时间。
- 等待系统软件或固件定义的时间¹⁵⁷。

Note 157：例如，使用 ACPI Table 来提供此 Capability 的等效项。

只要以相同方式运行的同一设备没有改变，允许软件缓存来自此 Capability 的值并使用这些缓存的值。

允许在所有 Function 中实现此 Capability。

如果发生以下情况则 Function 必须是 Configuration-Ready 状态：

- Immediate Readiness 清零，并且在完成 Conventional Reset 后至少经过了 Reset Time 的时间。

■ 如果 Immediate Readiness 被设置为 1，则 Reset Time 不适用，并被保留。

- 该 Function 与一个 Upstream Port 相关联，并且在该 Function 上方的 Downstream Port 报告 Data Link Layer Link Active 后至少 DL_Up 时间已经过去（Section 7.5.3.8）。
- 该 Function 支持 Function Level Reset，并且在该 Function 发出功 Function Level Reset 后至少已经过去了 FLR Time 的时间。
- Immediate_Readiness_on_Return_to_D0 清 0 并且在该 Function 从 D3Hot 定向到 D0 状态之后至少 D3Hot to D0 Time 的时间已经过去。

■ 如果 Immediate_Readiness_on_Return_to_D0 位被设置为 1，则 D3Hot to D0 Time 不适用，并且被保留。

当 Immediate_Readiness_on_Return_to_D0 为 0 时，当 Function 从 D3Hot 定向到 D0 状态后至少经过 D3Hot to D0 Time 后，该 Function 必须处于 Configuration-Ready 状态。此外，该 Function 必须处于 D0uninitialized 或 D0active 状态，需要取决于 No_Soft_Reset 的值。

Chapter 9 定义了 VF 的附加行为。

如果上述条件不适用，则 Function 行为不是由 Readiness Time Reporting Extended Capability 决定的，并且该 Function 必须按照其他地方的定义进行响应（包括例如无响应或具有 Configuration Retry Status 的响应）。

报告的时间值由特定于实现的机制确定。此 Function 中定义了一个有效位，以允许设备推迟报告时间值，例如允许通过基于驱动程序的机制进行硬件初始化。如果 Valid 比特位保持清 0 并且在设备驱动程序启动后 1 分钟过去了，则允许软件假定不会报告任何值。

Readiness Time Reporting Extended Capability 中的寄存器和字段如 Figure 7-267 所示。时间值以浮点形式编码，如 Figure 7-268 所示。实际时间值为 $Value \times Multiplier[Scale]$ 。例如，值 A1Eh 表示约 1 秒（实际为 1.006 秒），值 80Ah 表示约 10 毫秒（实际为 10.240 毫秒）。

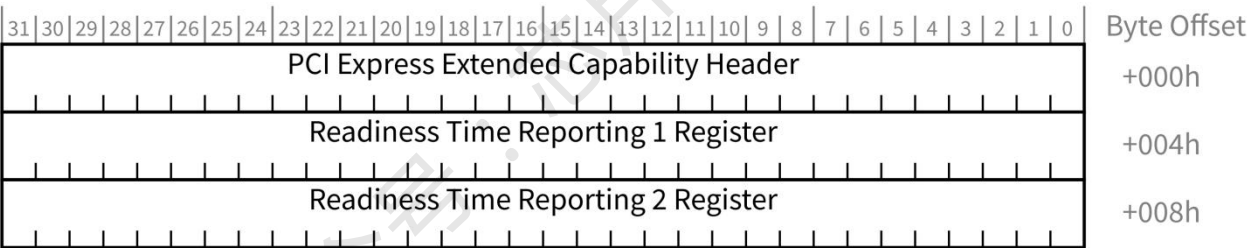


Figure 7-267 Readiness Time Reporting Extended Capability

Scale	Multiplier
0	1 ns
1	32 ns
2	1,024 ns
3	32,768 ns
4	1,048,576 ns
5	33,554,432 ns
6	Reserved
7	Reserved

Multiplier = 32^{Scale}

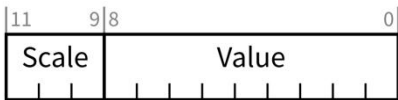


Figure 7-268 Readiness Time Encoding

7.9.17.1 Readiness Time Reporting Extended Capability Header (Offset 00h)

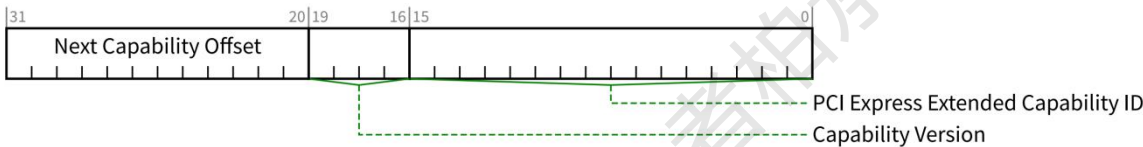


Figure 7-269 Readiness Time Reporting Extended Capability Header

Bit Location	Register Description	Attributes
15:0	PCI Express Extended Capability ID - 该字段是 PCI-SIG 定义的 ID,用于指示扩展功能的性质和格式。 Readiness Time Reporting Extended Capability 的 PCI Express Extended Capability ID 为 0022h。	RO
19:16	Capability Version - 该字段是 PCI-SIG 定义版本号，指示实现的 Capability structure 的版本。 对于该版本的规范，必须为 1h。	RO
31:20	Next Capability Offset - 此字段指示到下一个 PCI Express Extended Capability structure 的偏移量； 如果在 Capability 的链接列表中不存在其他项，则为 000h。	RO

7.9.17.2 Readiness Time Reporting 1 Register (Offset 04h)

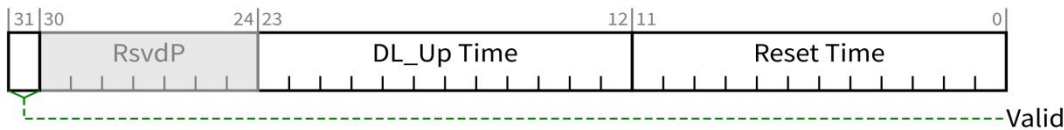


Figure 7-270 Readiness Time Reporting 1 Register

Bit Location	Register Description	Attributes
11:0	Reset Time - Reset Time 是 Function 在完成 Conventional Reset 后变为 Configuration-Ready 所需的时间。 如果 Immediate Readiness 被设置为 1，则该字段为 RsvdP。 当 Valid 比特位为 0 时，该字段未定义。 该字段必须小于或等于 A1Eh。	HwInit/RsvdP
23:12	DL_Up Time - DL_Up Time 是在 Function 上方的 Downstream Port 报告 Data Link Layer Link Active 后 Function 变为 Configuration-Ready 所需的时间。 与 Upstream Port 无关的 Function 中此字段为 RsvdP。 当 Valid 比特位为 0 时，该字段未定义。 该字段必须小于或等于 A1Eh。	HwInit/RsvdP
31	Valid - 如果设置为 1，则表示此 Function 中的所有时间值均有效。如果清 0，则表示此 Function 中的时间值尚不可用。 时间值可能取决于设备配置。可能涉及设备驱动程序的设备特定机制可能会参与确定时间值。 如果该位保持清 0 状态并且在所有相关设备驱动程序启动后 1 分钟过去了，则允许软件假定该位永远不会被设置。	HwInit

7.9.17.3 Readiness Time Reporting 2 Register (Offset 08h)

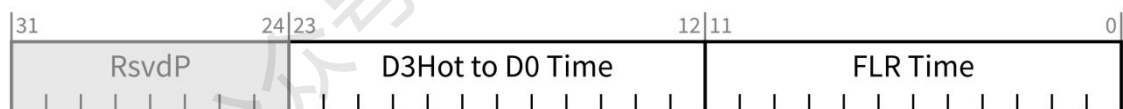


Figure 7-271 Readiness Time Reporting 2 Register

Bit Location	Register Description	Attributes
11:0	FLR Time - FLR Time 是 Function 在发出 FLR 后变为 Configuration-Ready 所需的时间。 当 Function Level Reset Capability 字段清 0 时，该字段为 RsvdP（Section 7.5.3.3）。 当 Valid 比特位为 0 时，该字段未定义。 该字段必须小于或等于 A1Eh。	HwInit/RsvdP
23:12	D3Hot to D0 Time - 如果 Immediate_Readiness_on_Return_to_D0 为 0，则 D3Hot to D0 Time 是 Function 从 D3Hot 定向到 D0 之后，在 Configuration-Ready 并返回到 D0uninitialized 或 D0active	HwInit/RsvdP

状态之前所需的时间（参阅 PCI Bus Power Management Interface Specification）。

如果 Immediate_Readiness_on_Return_to_D0 设置为 1，则该字段为 RsvdP。

7.9.18 Hierarchy ID Extended Capability

Hierarchy ID Extended Capability 提供了一种可选实现的机制，用于将唯一标识符传递给层次结构中的 Function。在一个 Function 中最多允许一个此 Capability 的实例。此 Capability 不能在 Bridge、Root Complex Event Collector 和 RCRB 中实现。

此 Capability 有三种结构：

在 Upstream Port 中：

- 任何与 Upstream Port 相关的 Function 都允许实现此 Capability。
- 此 Capability 在 Switch Upstream Port 中是可选实现的。Switch Upstream 和 Downstream Port 的支持是独立可选的。
- 此 Capability 在使用 Hierarchy ID Message 的 Function 中是强制实现的。这由 Function 的驱动程序使用。
- 除 VF 之外，Hierarchy ID Writeable 清 0 的 Function 必须报告来自最近收到的 Hierarchy ID Message 的 Message Requester ID、Hierarchy ID、System GUID Authority ID 和 System GUID 字段。
- Hierarchy ID Writeable 清 0 的所有 VF，必须报告与其关联的 PF 相同的 Hierarchy ID Valid、Message Requester ID、Hierarchy ID、System GUID Authority ID 和 System GUID 字段值。
- 如果 PF 的任何 VF 实现了此 Capability，则 PF 必须实现此 Capability。
- Hierarchy ID Writeable 设置为 1 的 Function 必须报告由软件编程的 Hierarchy ID Valid、Message Requester ID、Hierarchy ID、System GUID Authority ID 和 System GUID 字段值。

在 Downstream Port 中：

- 任何 Downstream Port 都允许实现此 Capability。建议在 Root Port 中实现。
- 当该 Capability 在 Switch Downstream Port 中实现时，此 Capability 必须在 Switch 的所有 Downstream Port 中实现。Switch Upstream 和 Downstream Port 的支持是独立可选的。
- 在 Downstream Port 中，Hierarchy ID、System GUID Authority ID 和 System GUID 字段是可读可写的并包含要在 Hierarchy ID Message 中发送的值。
- Hierarchy ID capability 不受通过相关 Downstream Port 转发的 Hierarchy ID Message 的影响。

在 RCiEP 中：

- Hierarchy ID Writeable 清 0 的 VF 必须报告与其关联的 PF 相同的 Hierarchy ID Message 的 Message Requester ID、Hierarchy ID、System GUID Authority ID 和 System GUID 值。
- 如果 PF 的任何 VF 实现了此 Capability，则 PF 必须实现此 Capability。
- 除 VF 之外，Hierarchy ID Writeable 清 0 的 Function 必须报告相同的 Hierarchy ID Valid、Message Requester ID、Hierarchy ID、System GUID Authority ID 和 System GUID 值。此信息的来源超出了本规范的范围。
- Hierarchy ID Writeable 为 1 的 Function 必须报告由软件编程的 Hierarchy ID Valid、Message Requester ID、Hierarchy ID、System GUID Authority ID 和 System GUID 值。

Figure 7-272 详细说明了 Hierarchy ID Extended Capability 的布局。

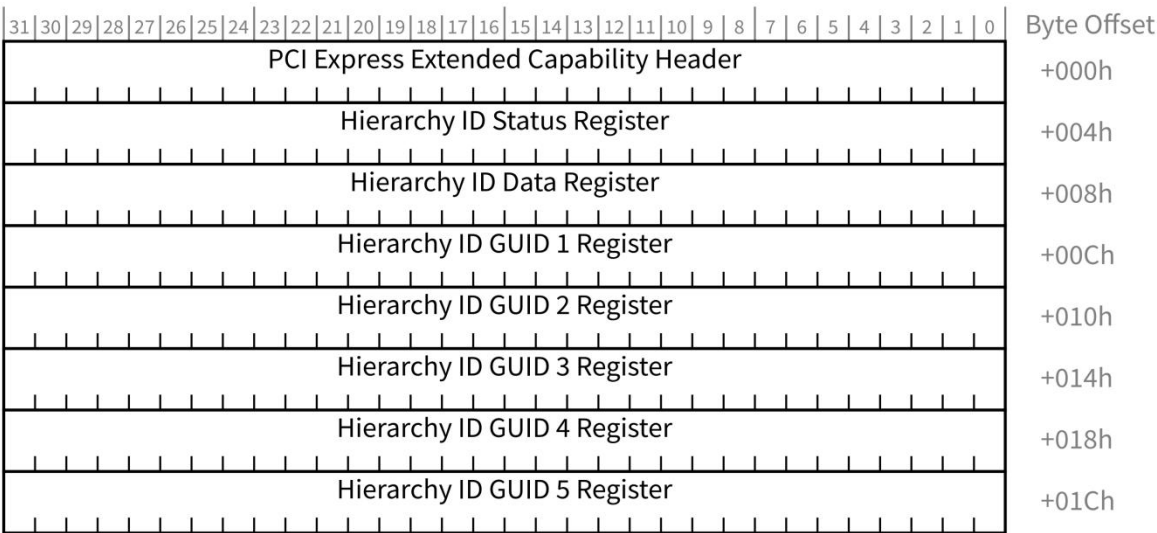


Figure 7-272 Hierarchy ID Extended Capability

7.9.18.1 Hierarchy ID Extended Capability Header (Offset 00h)

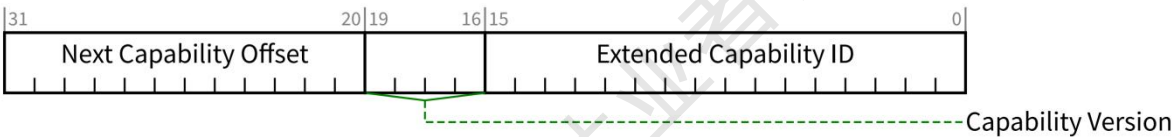


Figure 7-273 Hierarchy ID Extended Capability Header

Bit Location	Register Description	Attributes
15:0	PCI Express Extended Capability ID - 该字段是 PCI-SIG 定义的 ID,用于指示扩展功能的性质和格式。 Hierarchy ID Extended Capability 的 PCI Express Extended Capability ID 为 0028h。	RO
19:16	Capability Version - 该字段是 PCI-SIG 定义版本号, 指示实现的 Capability structure 的版本。 对于该版本的规范, 必须为 1h。	RO
31:20	Next Capability Offset - 此字段指示到下一个 PCI Express Extended Capability structure 的偏移量; 如果在 Capability 的链接列表中不存在其他项, 则为 000h。	RO

7.9.18.2 Hierarchy ID Status Register (Offset 04h)

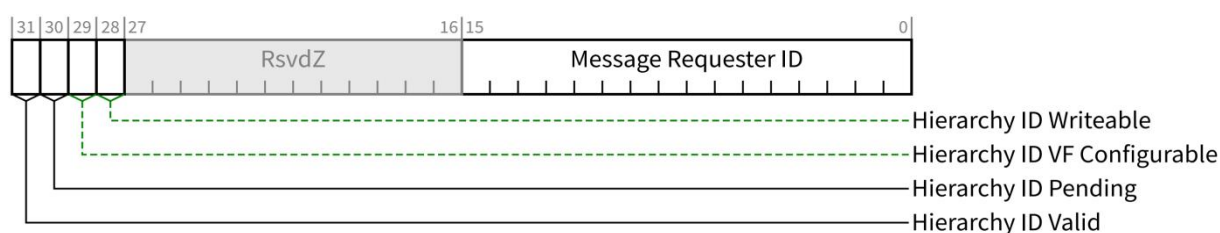


Figure 7-274 Hierarchy ID Status Register

Bit Location	Register Description	Attributes
15:0	Message Requester ID - 在一个 Upstream Port 中，该字段包含来自最近收到的 Hierarchy ID Message 的 Requester ID。仅当 Hierarchy ID Valid 为 1b 时，此字段才有意义。此值标识发送 Hierarchy ID Message 的 Downstream Port（在此层次结构内）。此信息不被视为 Hierarchy ID 的一部分，因为它可以在层次结构内变化（例如，一个 Root Complex 的不同 Root Port），但有助于在调试情况下识别 Hierarchy ID 信息的来源。 在 Downstream Port 中，该字段为 RsvdZ。 对于 RCiEP，此字段为 RsvdZ。 该字段默认为 0000h。	RO/RsvdZ
28	Hierarchy ID Writeable - 该位置 1 表示 Hierarchy ID Data and GUID Register 是 R/W 的。该位清零表示 Hierarchy ID Data and GUID Register 是只读的。 在 Downstream Port 中，该位硬连线到 1b。 在 Upstream Port 中，non-VF 的 Function 必须将此位硬连线到 0b。 non-VF 的 RCiEP 必须将此位硬连线到 0b 或 1b。	RW/RO
29	Hierarchy ID VF Configurable - 该位表示 Hierarchy ID Writable 是否可以配置。 如果 Hierarchyid Writable 实现为可读可写，则该位为 1b。否则该位为 0b。	RO
30	Hierarchy ID Pending - 在 Downstream Port 中这会发起一个 Hierarchy ID Message 的请求。设置为 1 它会根据此 Capability 中的 Hierarchy Data and GUID Register 中的信息发送消息。当传输请求成功发送或链路进入 DL_Down 时，该位被清 0。如果在此位设置为 1 时写此 Capability 中的 Hierarchy Data and GUID Register，则行为未定义。 在 Downstream Port 中，该位是可读可写的，默认为 0b。 在所有其他 Function 中，该位是 RsvdZ。	RO/RsvdZ
31	Hierarchy ID Valid - 该比特位表示此 Capability 中的其余字段是否是有意义的。 在 Downstream Port 中，该位硬连线到 1b。	RW/RO

在所有其他 Function 中，要遵循以下规则：

- 如果 Hierarchy ID Writeable 设置为 1，则该位为可读可写，默认为 0b。
- 如果 Hierarchy ID Writeable 为 0，则该位为只读，默认为 0b。
- ✧ 在 VF 中，该比特位包含与关联 PF 相同的值。
- ✧ 在与一个 Upstream Port 关联的 VF 以外的 Function 中，当接收到 Hierarchy ID Message 时，该位被设置为 1，当链路为 DL_Down 时，该位被清 0。
- ✧ 在 VF 以外的 RCIEP 中，该位包含系统提供的值。确定该值的机制超出了本规范的范围。

7.9.18.3 Hierarchy ID Data Register (Offset 08h)

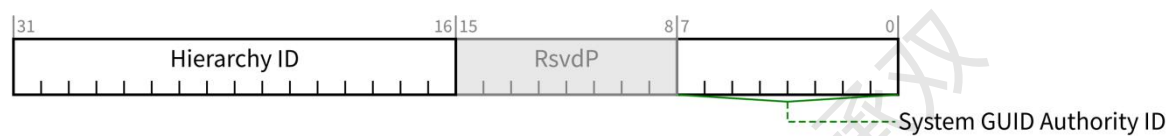


Figure 7-275 Hierarchy ID Data Register

Bit Location	Register Description	Attributes
7:0	System GUID Authority ID - 此字段对应于 Hierarchy ID Message 中的 System GUID Authority ID 字段。有关详细信息，请参阅 Section 6.26。 仅当 Hierarchy ID Valid 为 1b 时，此字段才有意义。 如果 Hierarchy ID Writeable 设置为 1，则该字段是可读写的，并包含由软件编程的值。 如果 Hierarchy ID Writeable 为 0，则此字段为只读。该值是使用 Section 7.9.18 中定义的规则确定的。 该字段默认为 00h。	RO/RW
31:16	Hierarchy ID - 该字段对应于 Hierarchy ID Message 中的 Hierarchy ID 字段。有关详细信息，请参阅 Section 6.26。 仅当 Hierarchy ID Valid 为 1b 时，此字段才有意义。 如果 Hierarchy ID Writeable 设置为 1，则该字段是可读写的，并包含由软件编程的值。 如果 Hierarchy ID Writeable 为 0，则此字段为只读。该值是使用 Section 7.9.18 中定义的规则确定的。 该字段默认为 0000h。	RO/RW

7. 9. 18. 4 Hierarchy ID GUID 1 Register (Offset 0Ch)

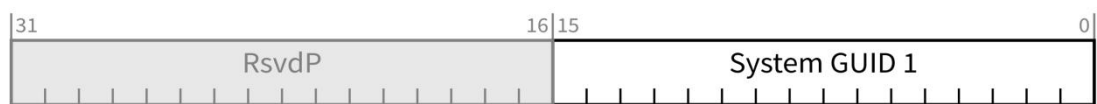


Figure 7-276 Hierarchy ID GUID 1 Register

Bit Location	Register Description	Attributes
15:0	System GUID 1 - 该字段对应于 Hierarchy ID Message 中 System GUID 的 Bit [143:128]。 有关详细信息，请参阅 Section 6.26 。 仅当 Hierarchy ID Valid 为 1b 时，此字段才有意义。 如果 Hierarchy ID Writeable 设置为 1，则该字段是可读写的，并包含由软件编程的值。 如果 Hierarchy ID Writeable 为 0，则此字段为只读。该值是使用 Section 7.9.18 中定义的规则确定的。 该字段默认为 0000h。	RO/RW

7. 9. 18. 5 Hierarchy ID GUID 2 Register (Offset 10h)

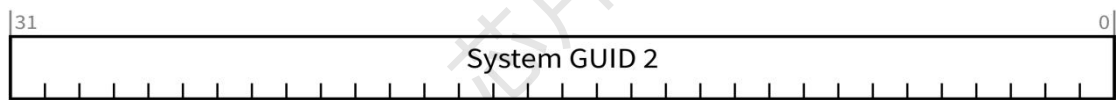


Figure 7-277 Hierarchy ID GUID 2 Register

Bit Location	Register Description	Attributes
31:0	System GUID 2 - 该字段对应于 Hierarchy ID Message 中 System GUID 的 Bit [127:96]。 有关详细信息，请参阅 Section 6.26 。 仅当 Hierarchy ID Valid 为 1b 时，此字段才有意义。 如果 Hierarchy ID Writeable 设置为 1，则该字段是可读写的，并包含由软件编程的值。 如果 Hierarchy ID Writeable 为 0，则此字段为只读。该值是使用 Section 7.9.18 中定义的规则确定的。 该字段默认为 00000000h。	RO/RW

7. 9. 18. 6 Hierarchy ID GUID 3 Register (Offset 14h)

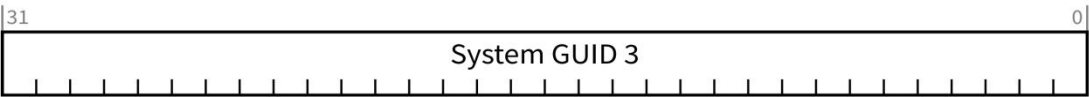


Figure 7-278 Hierarchy ID GUID 3 Register

Bit Location	Register Description	Attributes
31:0	System GUID 3 - 该字段对应于 Hierarchy ID Message 中 System GUID 的 Bit [95:64]。 有关详细信息，请参阅 Section 6.26 。 仅当 Hierarchy ID Valid 为 1b 时，此字段才有意义。 如果 Hierarchy ID Writeable 设置为 1，则该字段是可读写的，并包含由软件编程的值。 如果 Hierarchy ID Writeable 为 0，则此字段为只读。该值是使用 Section 7.9.18 中定义的规则确定的。 该字段默认为 00000000h。	RO/RW

7. 9. 18. 7 Hierarchy ID GUID 4 Register (Offset 18h)

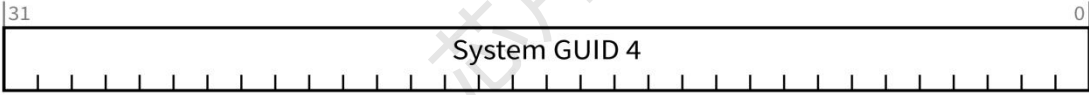


Figure 7-279 Hierarchy ID GUID 4 Register

Bit Location	Register Description	Attributes
31:0	System GUID 4 - 该字段对应于 Hierarchy ID Message 中 System GUID 的 Bit [63:32]。 有关详细信息，请参阅 Section 6.26 。 仅当 Hierarchy ID Valid 为 1b 时，此字段才有意义。 如果 Hierarchy ID Writeable 设置为 1，则该字段是可读写的，并包含由软件编程的值。 如果 Hierarchy ID Writeable 为 0，则此字段为只读。该值是使用 Section 7.9.18 中定义的规则确定的。 该字段默认为 00000000h。	RO/RW

7. 9. 18. 8 Hierarchy ID GUID 5 Register (Offset 1Ch)

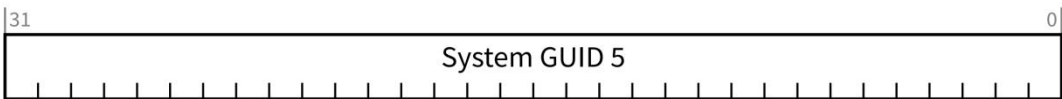


Figure 7-280 Hierarchy ID GUID 5 Register

Bit Location	Register Description	Attributes
31:0	System GUID 5 - 该字段对应于 Hierarchy ID Message 中 System GUID 的 Bit [31:0]。 有关详细信息，请参阅 Section 6.26 。 仅当 Hierarchy ID Valid 为 1b 时，此字段才有意义。 如果 Hierarchy ID Writeable 设置为 1，则该字段是可读写的，并包含由软件编程的值。 如果 Hierarchy ID Writeable 为 0，则此字段为只读。该值是使用 Section 7.9.18 中定义的规则确定的。 该字段默认为 00000000h。	RO/RW

7. 9. 19 Vital Product Data Capability (VPD Capability)

VPD 的支持是可选的。允许所有 Function 实现该 Capability。这包括与 Upstream Port 以及 RCiEP 相关联的 Multi-Function Device 的所有 Function。

重要产品数据 (VPD) 是唯一标识系统硬件和潜在软件元素的信息。VPD 可为系统提供有关各种现场可更换单元 (Field Replaceable Unit) 的信息，例如部件号 (part number)、序列号 (serial number) 和其他详细信息。从系统的角度来看，目标是使系统所有者和服务人员可以使用这些信息。VPD 通常驻留在与 Function 关联的存储设备 (例如，串行 EEPROM) 中。

VPD 数据的详细信息在 Section 6.28 中定义。

使用配置空间中的 Capabilities List 对 VPD 访问。VPD Capability structure 如 Figure 7-281 所示。

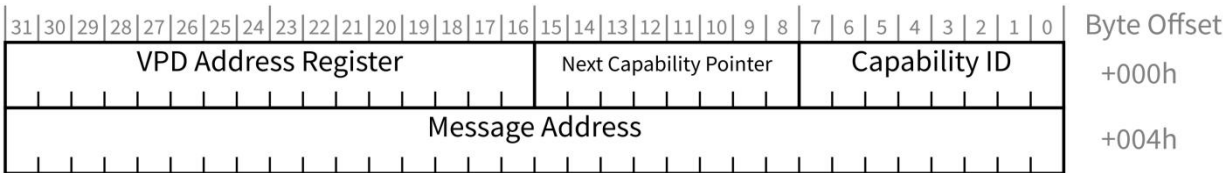


Figure 7-281 VPD Capability Structure

以下协议用于在 VPD Data 字段和 VPD 存储组件之间传输数据。

- 为了读取 VPD 信息：
 1. 向 VPD Address Register 发出单次写入，将标志位 (F) 写入 0b，并将 VPD Address 写入要读取的地址。
 2. 当来自存储组件的 4 字节数据已传输到 VPD Data 时，硬件设备会将 F 设置为 1b。

3. 软件可以监控 F，当它变成 1b 后，从 VPD Data 中读取 VPD 信息。

如果在标志位变为 1b 之前写入 VPD Address 或 VPD Data，则行为未定义。

● 为了向 VPD 空间中的可读写部分写入 VPD 信息：

1. 把数据写入 VPD Data。
2. 然后向 VPD Address Register 发出一次写入，其中 F 设置为 1b，VPD Address 设置为要存储 VPD Data 的地址。
3. 然后软件监视 F，当它设置为 0b（由设备硬件）时，VPD Data（全部 4 个字节）已从 VPD 数据传输到存储组件。

如果在 F 变为 0b 之前写入 VPD Address 或 VPD Data，对存储组件的写入操作的结果是不可预测的。

如果请求读取或写入存储组件并且 VPD Address 在存储组件的范围之外，则行为未定义。

VPD（只读项和读/写字段）是存储信息，不能直接控制任何设备操作。

7.9.19.1 VPD Address Register

VPD Address Register 用于请求读取或写入 VPD 存储组件。

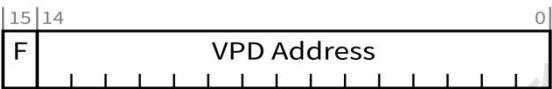


Figure 7-282 VPD Address Register

Bit Location	Register Description	Attributes
14:0	VPD Address - 要访问的 VPD 的地址, 该地址是 DWORD 对齐的。如果该字段的最低 2 位非零, 则行为未定义。该字段的最低两位必须是 RW 或值为 00b。该字段的其余位必须是 RW。 默认值是特定于实现的。	RW/RO
15	F - F 总是与 VPD Address 一起写入。F 的值表示请求的传输方向 (0b = 读取, 1b = 写入)。传输完成后, F 值发生变化以指示完成 (1b = 读取完成, 0b = 写入完成)。 默认值是特定于实现的。	RW

7.9.19.2 VPD Data Register

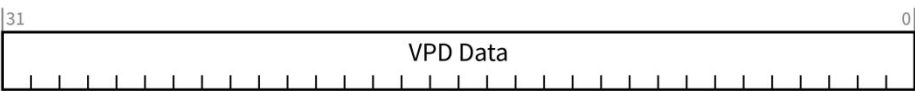


Figure 7-283 VPD Data Register

Bit Location	Register Description	Attributes
31:0	VPD Data - VPD Data 可以通过该寄存器读取。该寄存器的最低有效字节 (在此 Capability structure 中的偏移量 04h) 对应于 VPD Address 指定地址处的 VPD 字节。对于使用 1111b 以外的字节使	RW

能对该寄存器进行的任何读取或写入，行为未定义。

默认值是特定于实现的。

7. 9. 20 Native PCIe Enclosure Management Extended Capability (NPEM Extended Capability)

Native PCIe Enclosure Management Extended Capability 是一项可选实现的 Extended Capability，允许 Root Port、Switch Downstream Port 和 Endpoint 实现。

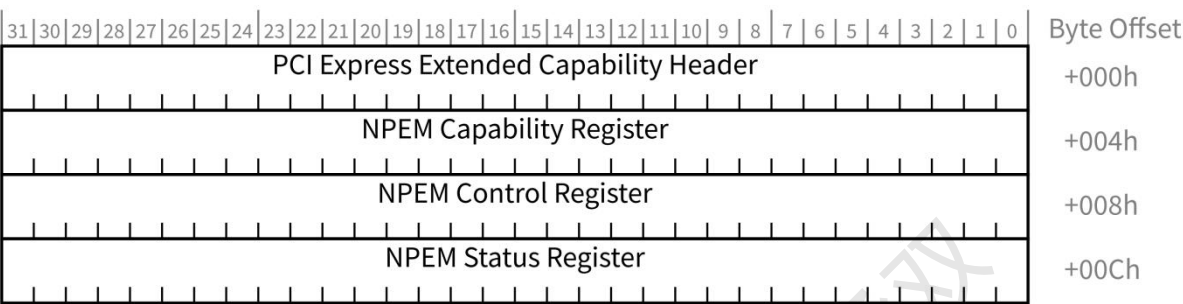


Figure 7-284 NPEM Extended Capability

7. 9. 20. 1 NPEM Extended Capability Header (Offset 00h)

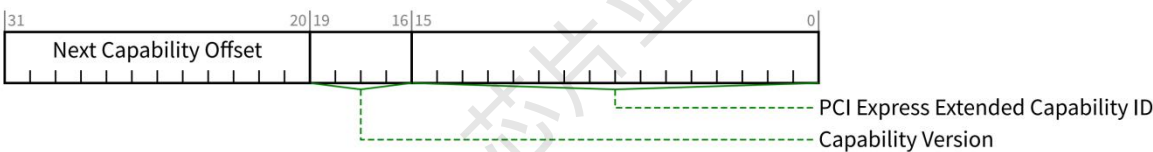


Figure 7-285 NPEM Extended Capability Header

Bit Location	Register Description	Attributes
15:0	PCI Express Extended Capability ID - 该字段是 PCI-SIG 定义的 ID,用于指示扩展功能的性质和格式。 NPEM Extended Capability 的 PCI Express Extended Capability ID 为 0029h。	RO
19:16	Capability Version - 该字段是 PCI-SIG 定义版本号，指示实现的 Capability structure 的版本。 对于该版本的规范，必须为 1h。	RO
31:20	Next Capability Offset - 此字段指示到下一个 PCI Express Extended Capability structure 的偏移量； 如果在 Capability 的链接列表中不存在其他项，则为 000h。	RO

7. 9. 20. 2 NPEM Capability Register (Offset 04h)

NPEM Capability Register 包含一个整体 NPEM Capable 位和实现中支持的状态位图。如果 NPEM Capable 设置为 1，则实现需要支

持 OK、Locate、Fail 和 Rebuild 状态。所有其他状态都是可选的。

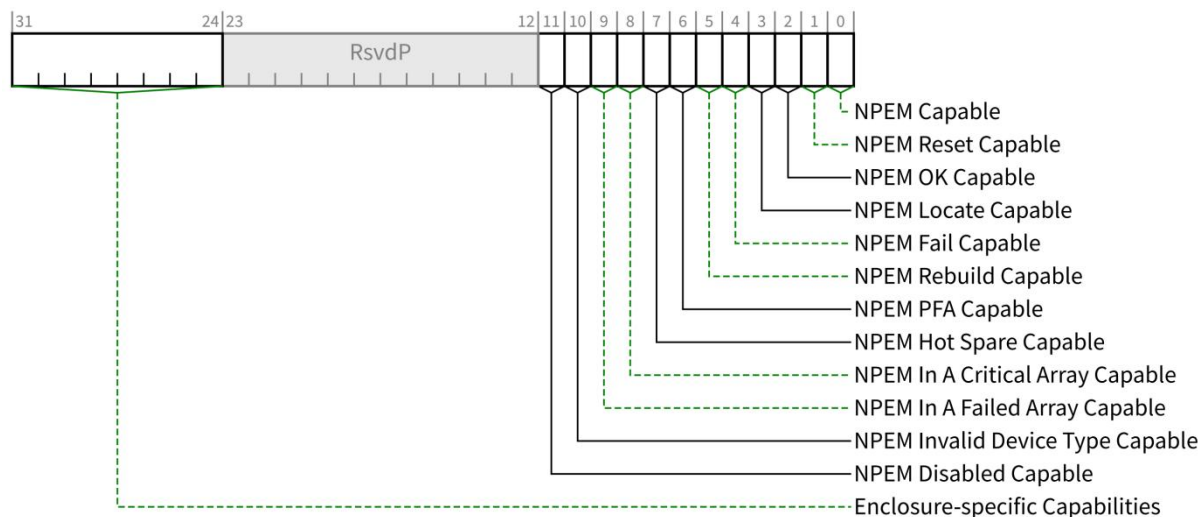


Figure 7-286 NPEM Capability Register

Bit Location	Register Description	Attributes
0	NPEM Capable - 设置为 1 时，该位表示此附件（enclosure）具有 NPEM 功能。	HwInit
1	NPEM Reset Capable - 值 1b 表示支持 Section 6.29 中描述的可选的 NPEM Reset 机制。此 capability 是独立可选的。	HwInit
2	NPEM OK Capable - 设置为 1 时，该位表示此附件能够指示 NPEM OK 状态。如果也设置了 NPEM Capable，则必须设置该位。	HwInit
3	NPEM Locate Capable - 设置为 1 时，此位表示此附件能够指示 NPEM Locate 状态。如果也设置了 NPEM Capable，则必须设置该位。	HwInit
4	NPEM Fail Capable - 设置为 1 时，此位表示此附件能够指示 NPEM Fail 状态。如果也设置了 NPEM Capable，则必须设置该位。	HwInit
5	NPEM Rebuild Capable - 设置为 1 时，该位表示此附件能够指示 NPEM Rebuild 状态。如果也设置了 NPEM Capable，则必须设置该位。	HwInit
6	NPEM PFA Capable - 设置为 1 时，该位表示此附件能够指示 NPEM PFA 状态。此 capability 是独立可选的。	HwInit
7	NPEM Hot Spare Capable - 设置为 1 后，该位表示此附件能够指示 NPEM Hot Spare 状态。此 capability 是独立可选的。	HwInit
8	NPEM In A Critical Array Capable - 设置为 1 后，此位表示此附件能够指示 NPEM In A Critical Array 状态。此 capability 是独立可选的。	HwInit

9	NPEM In A Failed Array Capable - 设置为 1 后, 此位表示此附件能够指示 NPEM In A Failed Array 状态。此 capability 是独立可选的。	HwInit
10	NPEM Invalid Device Type Capable - 设置为 1 时, 该位表示此附件能够指示 NPEM_Invalid_Device_Type 状态。此 capability 是独立可选的。	HwInit
11	NPEM Disabled Capable - 设置为 1 时, 该位表示此附件能够指示 NPEM_Disabled 状态。此 capability 是独立可选的。	HwInit
31:24	Enclosure-specific Capabilities - 此字段是 enclosure-specific, 其定义超出了本规范的范围。	HwInit

7.9.20.3 NPEM Control Register (Offset 08h)

NPEM Control Register 包含一个整体 NPEM Enable 和一个软件控制的状态位图。

Enclosure-specific 的比特位的使用超出了本规范的范围。

对该寄存器的所有写操作, 包括不改变寄存器值的写操作, 都是 NPEM 命令, 最终应在 NPEM Status Register 中产生命令完成指示。

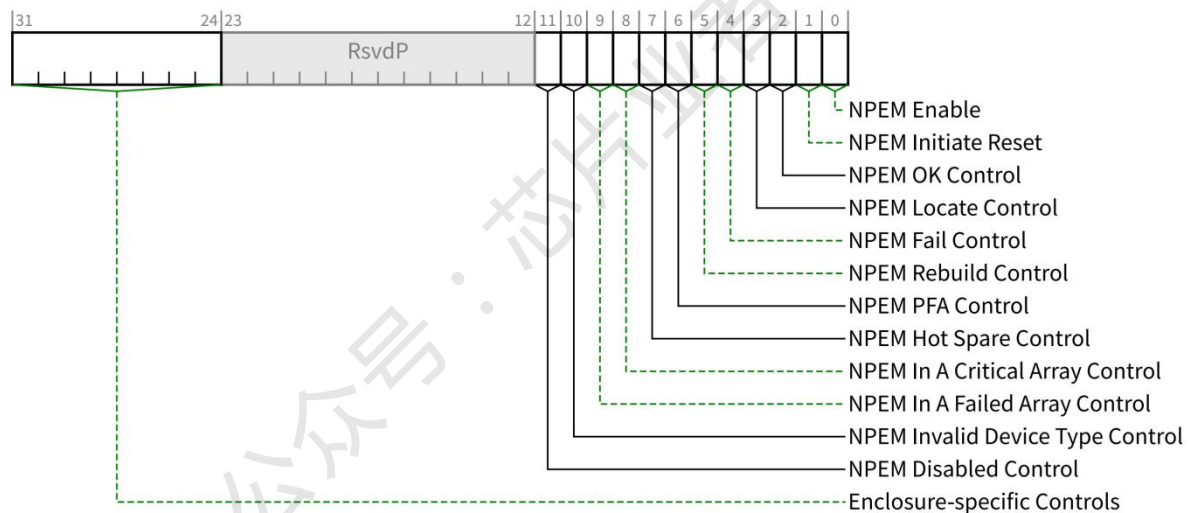


Figure 7-287 NPEM Control Register

Bit Location	Register Description	Attributes
0	NPEM Enable - 置 1 时使能 NPEM capability。清 0 时禁用 NPEM capability。 该位的默认值为 0b。 启用后, 此 capability 按本规范中的定义运行。禁用时, 此 capability 中的其他位不起作用, 任何相关指示均超出本规范的范围。	RW
1	NPEM Initiate Reset - 如果 NPEM Reset Capable 为 1b, 则向该位写入 1b 会启动 NPEM Reset。	RW/RO

如果 NPEM Reset Capable 为 0b, 则该位被允许为只读, 值为 0b。

软件从该位读取的值必须始终为 0b。

- | | | |
|---|--|-------|
| 2 | NPEM OK Control - 置 1 时, 该位指定 NPEM OK 指示位开启。清 0 时, 该位指定关闭 NPEM OK 指示。 | RW/RO |
|---|--|-------|

如果 NPEM Capability Register 中的 NPEM OK Capable 位为 0b, 则该位被允许为只读, 值为 0b。

该位的默认值为 0b。

- | | | |
|---|---|-------|
| 3 | NPEM Locate Control - 置 1 时, 该位指定 NPEM Locate 指示开启。清 0 时, 该位指定 NPEM Locate 指示关闭。 | RW/RO |
|---|---|-------|

如果 NPEM Capability Register 中的 NPEM Locate Capable 位为 0b, 则该位被允许为只读, 值为 0b。

该位的默认值为 0b。

- | | | |
|---|---|-------|
| 4 | NPEM Fail Control - 置 1 时, 该位指定 NPEM Fail 指示打开。清 0 时, 该位指定关闭 NPEM Fail 指示。 | RW/RO |
|---|---|-------|

如果 NPEM Capability Register 中的 NPEM Fail Capable 位为 0b, 则允许该位为只读, 值为 0b。

该位的默认值为 0b。

- | | | |
|---|--|-------|
| 5 | NPEM Rebuild Control - 置 1 时, 该位指定 NPEM Rebuild 指示开启。清 0 时, 该位指定 NPEM Rebuild 指示关闭。 | RW/RO |
|---|--|-------|

如果 NPEM Capability Register 中的 NPEM Rebuild Capable 为 0b, 则该位被允许为只读, 值为 0b。

该位的默认值为 0b。

- | | | |
|---|--|-------|
| 6 | NPEM PFA Control - 置 1 时, 该位指定 NPEM PFA 指示开启。清 0 时, 该位指定 NPEM PFA 指示关闭。 | RW/RO |
|---|--|-------|

如果 NPEM Capability Register 中的 NPEM PFA Capable 为 0b, 则该位允许为只读, 值为 0b。

该位的默认值为 0b。

- | | | |
|---|--|-------|
| 7 | NPEM Hot Spare Control - 置 1 时, 该位指定 NPEM Hot Spare 指示开启。清 0 时, 该位指定 NPEM Hot Spare 指示关闭。 | RW/RO |
|---|--|-------|

如果 NPEM Capability Register 中的 NPEM Hot Spare Capable 为 0b, 则该位允许为只读, 值为 0b。

该位的默认值为 0b。

- | | | |
|---|--|-------|
| 8 | NPEM In A Critical Array Control - 置 1 时, 该位指定 NPEM In A Critical Array 指示开启。清 0 时, 该位指定 NPEM In A Critical Array 指示关闭。 | RW/RO |
|---|--|-------|

如果 NPEM Capability Register 中的 NPEM In A Critical Array Capable 为 0b, 则该位允许为只读, 值为 0b。

该位的默认值为 0b。

9	NPEM In A Failed Array Control - 置 1 时, 该位指定 NPEM In A Failed Array 指示开启。清 0 时, 该位指定 NPEM In A Failed Array 指示关闭。 如果 NPEM Capability Register 中的 NPEM In A Failed Array Capable 为 0b, 则该位允许为只读, 值为 0b。 该位的默认值为 0b。	RW/RO
10	NPEM Invalid Device Type Control - 置 1 时, 该位指定 NPEM Invalid Device Type 指示开启。清 0 时, 该位指定 NPEM Invalid Device Type 指示关闭。 如果 NPEM Capability Register 中的 NPEM Invalid Device Type Capable 为 0b, 则该位允许为只读, 值为 0b。 该位的默认值为 0b。	RW/RO
11	NPEM Disabled Control - 置 1 时, 该位指定 NPEM Disabled 指示开启。清 0 时, 该位指定 NPEM Disabled 指示关闭。 如果 NPEM Capability Register 中的 NPEM Disabled Capable 为 0b, 则该位允许为只读, 值为 0b。 该位的默认值为 0b。	RW/RO
31:24	Enclosure-specific Controls - 此 enclosure-specific 的比特位的定义超出了本规范的范围。允许 Enclosure-specific software 更改此字段的值。其他软件在写入该寄存器时必须保留现有值。 该字段的默认值为 00h。	RW/RO

7. 9. 20. 4 NPEM Status Register (Offset 0Ch)

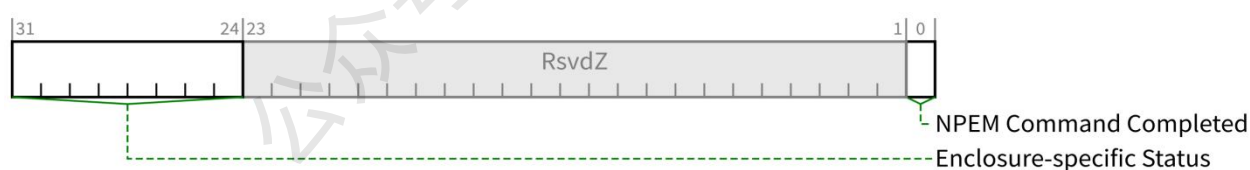


Figure 7-288 NPEM Status Register

Bit Location	Register Description	Attributes
0	NPEM Command Completed - 当 NPEM 命令完成且 NPEM 控制器准备好接受后续命令时, 该位被设置为 1。 如果附件能够接受更新 NPEM Control Register 的任何部分的写入, 且在连续写入之间没有任何延迟, 则允许将此位硬连线到 1b。 该位的默认值为 0b。 在发出下一个 NPEM 命令之前, 软件必须等待 NPEM 命令完成。但是, 如果该位未在命令执	RW1C/RO

行的 1 秒限制内设置为 1, 则允许软件重发 NPEM 命令或发出下一个 NPEM 命令。如果软件在端口完成前一个命令的处理之前和 1 秒时间限制到期之前发出写入, 则允许端口接受或放弃写入。此类写入被视为编程错误, 并可能导致 NPEM Control Register 和附件元件状态之间出现差异。要从此类编程错误中恢复并将附件恢复到一致状态, 软件必须向 NPEM Control Register 发出写入, 该写入符合 NPEM 命令的完成规则。

31:24 **Enclosure-specific Status** - 此 enclosure-specific 的比特位的定义超出了本规范的范围。允许 Enclosure-specific software 向此字段写非 0 值。其他软件在写入该寄存器时必须保留现有值。
该字段的默认值为 00h。 RsvdZ/RO/RW1C

7. 9. 21 **Alternate Protocol Extended Capability**

Alternate Protocol Extended Capability structure 是可选实现的。它只允许在以下组件中实现：

- 与 Downstream Port 关联的 Function。
- 与 Upstream Port 关联的设备的 Function 0（且只能是 Function 0）。

Figure 7-289 详细说明了 Alternate Protocol Extended Capability structure 中寄存器字段的分配。

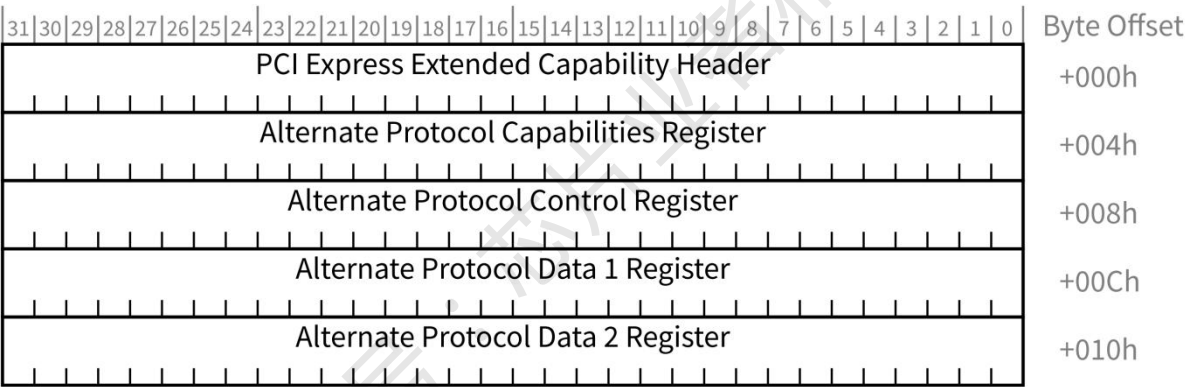


Figure 7-289 Alternate Protocol Extended Capability

7. 9. 21. 1 **Alternate Protocol Extended Capability Header (Offset 00h)**



Figure 7-290 Alternate Protocol Extended Capability Header

Bit Location	Register Description	Attributes
15:0	PCI Express Extended Capability ID - 该字段是 PCI-SIG 定义的 ID,用于指示扩展功能的性质和格式。	RO

Alternate Protocol Extended Capability 的 PCI Express Extended Capability ID 为 002Bh。

19:16	Capability Version - 该字段是 PCI-SIG 定义版本号，指示实现的 Capability structure 的版本。 对于该版本的规范，必须为 1h。	RO
31:20	Next Capability Offset - 此字段指示到下一个 PCI Express Extended Capability structure 的偏移量； 如果在 Capability 的链接列表中不存在其他项，则为 000h。	RO

7.9.21.2 Alternate Protocol Capabilities Register (Offset 04h)

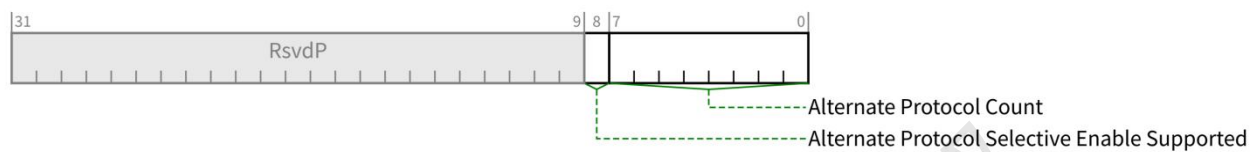


Figure 7-291 Alternate Protocol Capabilities Register

Bit Location	Register Description	Attributes
7:0	Alternate Protocol Count - 指示此链路的一个或多个 Lane 支持的 Alternate Protocol 的数量。 由于对 PCI Express 的支持是强制性的，因此该字段的值必须大于或等于 1。	HwInit
8	Alternate Protocol Selective Enable Supported - 如果设置为 1，则实现了 Alternate Protocol Selective Enable Mask Register。如果清 0，则 Alternate Protocol Selective Enable Mask Register 不存在，Alternate Protocol Negotiation 仅由 Alternate Protocol Negotiation Global Enable 控制。 在 Upstream Port 中，该位硬连线到 0b。 在 Downstream Port 中，该位是 HwInit，具有特定于实现的默认值。	RO/HwInit

7.9.21.3 Alternate Protocol Control Register (Offset 08h)

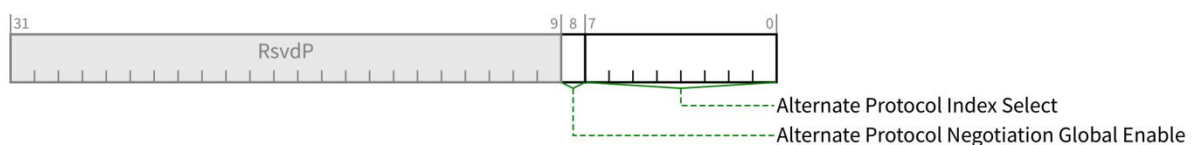


Figure 7-292 Alternate Protocol Control Register

Bit Location	Register Description	Attributes
7:0	Alternate Protocol Index Select - 该字段确定哪个 Lane 和该 Lane 的哪个 Alternate Protocol 在 Alternate Protocol Data 1 Register 和 Alternate Protocol Data 2 Register 中可见。	RW

该字段的默认值为 00h。该字段中未使用的位允许硬连线到 0b。

如果 Alternate Protocol Count 为 01h，则允许将此字段硬连线为 00h。

如果此字段大于 Alternate Protocol Count 值，则行为未定义。

允许禁用特定的 Alternate Protocol Index Select 值而无需重新编号其他协议索引值。禁用的条目返回一个值为 FFFFh 的 Alternate Protocol Vendor ID。

8	Alternate Protocol Negotiation Global Enable - 当该位被设置为 1 时，该链路的 Alternate Protocol Negotiation 被启用。当该位清 0 时，该链路的 Alternate Protocol Negotiation 被禁用。默认值为 0b。	RW
---	---	----

7.9.21.4 Alternate Protocol Data 1 Register (Offset 0Ch)

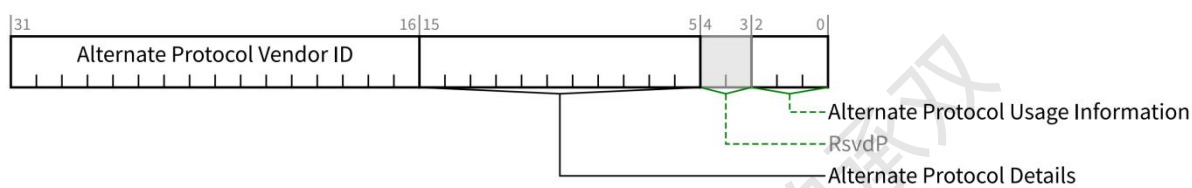


Figure 7-293 Alternate Protocol Data 1 Register

Bit Location	Register Description	Attributes
2:0	Alternate Protocol Usage Information - 该字段包含与 Alternate Protocol Index Select 值相关联的 Modified TS Usage 相关的替代协议。 如果 Alternate Protocol Vendor ID 是 FFFFh，则该字段的值未定义。	RO
15:5	Alternate Protocol Details - 该字段包含与 Alternate Protocol Index Select 值相关联的备用协议相关的 Alternate Protocol Details。 如果 Alternate Protocol Vendor ID 是 FFFFh，则该字段的值未定义。	RO
31:16	Alternate Protocol Vendor ID - 该字段包含与 Alternate Protocol Index Select 值相关联的 Vendor ID 相关的备用协议。 该字段的 Bit 7:0 包含 Vendor ID (Symbol 10)的 Bit 7:0。 该字段的 Bit 15:8 包含 Vendor ID (Symbol 11)的 Bit 15:8。 如果 Alternate Protocol Index Select 大于或等于 Alternate Protocol Count，则该字段包含 FFFFh。 如果 Alternate Protocol Index Select 与禁用的备用协议相关联，则该字段包含 FFFFh。	RO

7. 9. 21. 5 Alternate Protocol Data 2 Register (Offset 10h)

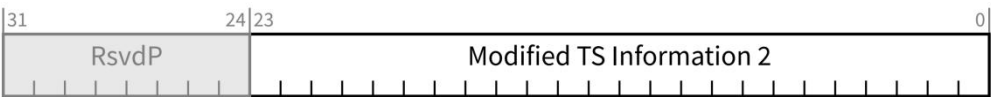


Figure 7-294 Alternate Protocol Data 2 Register

Bit Location	Register Description	Attributes
23:0	Modified TS Information 2 - 该字段包含与 Alternate Protocol Index Select 值相关联的备用协议的 Symbol 12 到 14 的值。 如果 Alternate Protocol Vendor ID 是 FFFFh，则该字段的值未定义。 Bit 7:0 包含 Symbol 12 的值。 Bit 16:8 包含 Symbol 13 的值。 Bit 23:16 包含 Symbol 14 的值。	RO

7. 9. 21. 6 Alternate Protocol Selective Enable Mask Register (Offset 14h)

如果 Alternate Protocol Selective Enable Supported 被设置为 1，则该寄存器存在。

该寄存器是由 Alternate Protocol Count 个比特位组成的掩码。每个比特位对应一个有效的 Alternate Protocol Index Select 值。该寄存器的大小是整数个 DWORD。

当 Alternate Protocol Negotiation Global Enable 被设置为 1，该寄存器中的特定比特位被设置为 1，并且相应的备用协议未被禁用（参见备用协议索引选择）时，允许下一个备用协议协商考虑使用该备用协议。当该寄存器中的特定比特位清零时，不允许下一个备用协议协商考虑使用相应的备用协议。

对该字段的更改将影响下一次备用协议协商，并且不会影响链路的当前操作（无论当前协议如何）。

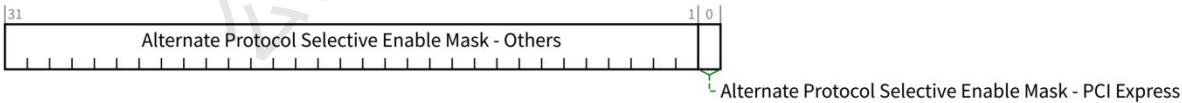


Figure 7-295 Alternate Protocol Selective Enable Mask Register

Bit Location	Register Description	Attributes
0	Alternate Protocol Selective Enable Mask - PCI Express - PCI Express 协议索引总是 00h。该位的默认值为 1b（即，默认情况下始终启用 PCI Express）。该位可以硬连线为 1b。	RWS
31:1	Alternate Protocol Selective Enable Mask - Others - 该寄存器中的其他比特位代表 PCI Express 以外的协议。这些比特位的默认值是特定于实现的。	RWS

该字段的宽度在此处显示为 32 位。实际宽度取决于 Alternate Protocol Count。

该字段中对应于 Alternate Protocol Index 值的比特位被允许硬连线到 0b。

该字段中对应于 Alternate Protocol Index Select 值高于 Alternate Protocol Count 的比特位被允许硬连线到 0b。

7. 9. 22 Conventional PCI Advanced Features Capability (AF)

此 Capability 是可选实现的。此 Capability 只允许在 Root Complex 中集成的 Conventional PCI Function 中实现。一个 Function 最多可以实现此 Capability 的一个实例。

Figure 7-296 给出了此 Capability 的布局。

注意：由于文档制作限制，此图显示了 8 字节的能力，而实际能力只有 6 字节长。图中的 Byte 6 和 7 不是此 Capability 的一部分。

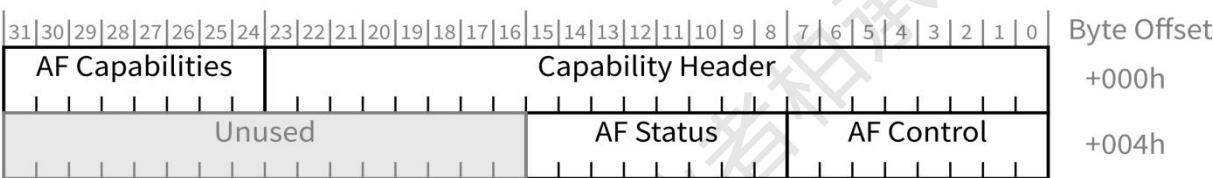


Figure 7-296 Conventional PCI Advanced Features Capability (AF)

7. 9. 22. 1 Advanced Features Capability Header (Offset 00h)

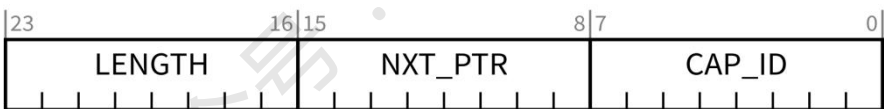


Figure 7-297 Advanced Features Capability Header

Bit Location	Register Description	Attributes
7:0	CAP_ID - Advanced Features Capability 的 Capability ID 为 13h。	RO
15:8	NXT_PTR - 指向下个 Capability 的指针。如果此 Capability 是 capability list 的最后一项则为 00h。	RO
23:16	LENGTH - AF structure 的 Length。此值应为 06h。	RO

7. 9. 22. 2 AF Capabilities Register (Offset 03h)

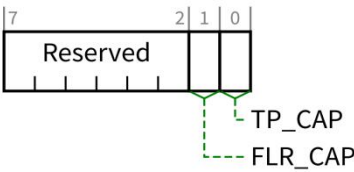


Figure 7-298 AF Capabilities Register

Bit Location	Register Description	Attributes
0	TP_CAP - 设置为 1 表示对 Transactions Pending (TP) 比特位的支持。如果 FLR_CAP 设置为 1，则必须把 TP_CAP 设置为 1。	HwInit
1	FLR_CAP - 设置为 1 表示支持 Function Level Reset (INITIATE_FLR)。	HwInit
7:2	Reserved - 应实现为只读，返回值 00 0000b。	RO

7. 9. 22. 3 Conventional PCI Advanced Features Control Register (Offset 04h)



Figure 7-299 Conventional PCI Advanced Features Control Register

Bit Location	Register Description	Attributes
0	Function Level Reset (INITIATE_FLR) - 此字段写 1b 会发起 Function Level Reset (FLR)。不适用于 Conventional PCI 的寄存器和状态信息不受本规范中 FLR 要求的约束 (Section 6.6.2)。软件从该位读取的值应始终为 0b。	RW
7:1	Reserved - 应实现为只读，返回值 000 0000b。	RO

7. 9. 22. 4 AF Status Register (Offset 05h)

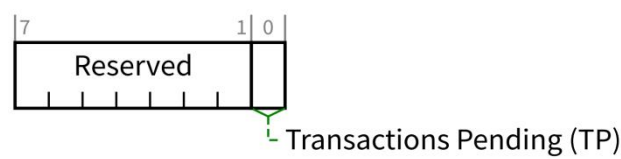


Figure 7-300 AF Status Register

Bit Location	Register Description	Attributes
0	Transactions Pending (TP) - 值 1b 表示该 Function 已发出一个或多个尚未完成的 non-posted transaction，这包括目标已被 Retry 终止的 non-posted transaction。 值 0b 表示所有 non-posted transaction 已完成。	RO
7:1	Reserved - 应实现为只读，返回值 000 0000b。	RO

7. 9. 23 SFI Extended Capability

SFI (System Firmware Intermediary) Extended Capability 是一种可选实现的 Capability，它为系统固件提供对主要热插拔机制的增强控制，并使系统固件能够作为某些事件和操作系统之间的中介 (Section 6.7.4)。此 Capability 可以在 Root Port 或 Switch Downstream Port 中实现。其他任何 Device/Port type 不能实现此 Capability。

如果 Downstream Port 实现了 SFI Extended Capability，则该端口必须支持 ERR_COR Subclass capability，并通过把 Device Capabilities Register 中的 ERR_COR Subclass Capable 比特位设置为 1 来指示。请参阅 Section 7.5.3.3。

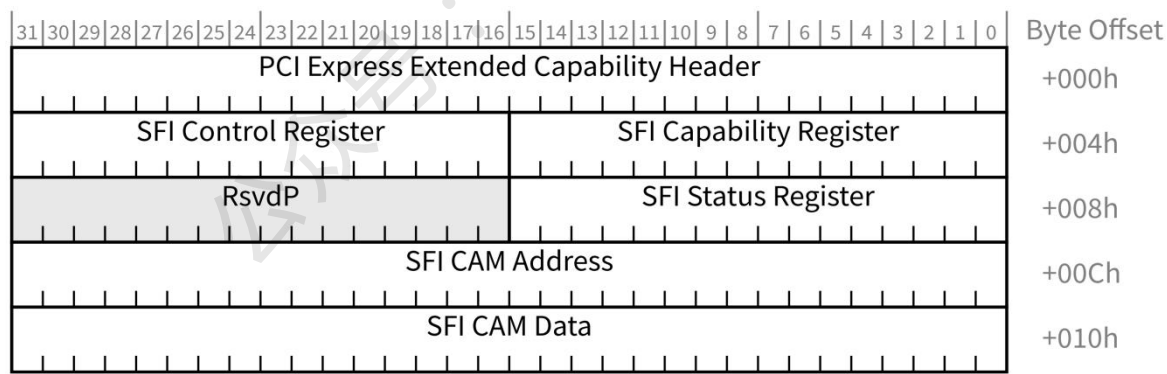


Figure 7-301 SFI Extended Capability

7. 9. 23. 1 SFI Extended Capability Header (Offset 00h)

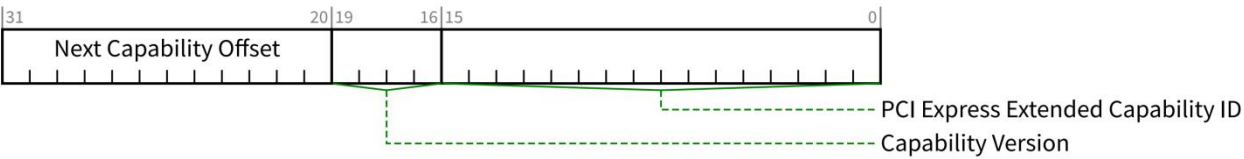


Figure 7-302 SFI Extended Capability Header

Bit Location	Register Description	Attributes
15:0	PCI Express Extended Capability ID - 该字段是 PCI-SIG 定义的 ID,用于指示扩展功能的性质和格式。 SFI Extended Capability 的 PCI Express Extended Capability ID 为 002Ch。	RO
19:16	Capability Version - 该字段是 PCI-SIG 定义版本号，指示实现的 Capability structure 的版本。 对于该版本的规范，必须为 1h。	RO
31:20	Next Capability Offset - 此字段指示到下一个 PCI Express Extended Capability structure 的偏移量； 如果在 Capability 的链接列表中不存在其他项，则为 000h。	RO

7. 9. 23. 2 SFI Capability Register (Offset 04h)

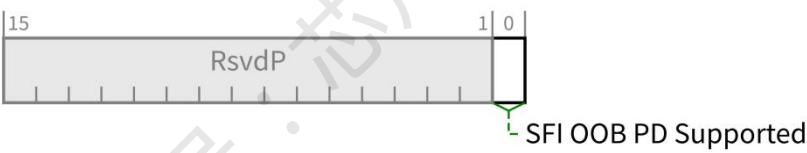


Figure 7-303 SFI Capability Register

Bit Location	Register Description	Attributes
0	SFI OOB PD Supported - 置 1 时，该比特位表示该插槽支持报告带外的 presence detect state。如果该 Downstream Port 没有实现插槽（由 PCI Express Capabilities Register 中的 Slot Implemented 指示），则该位的值必须为 0b。	HwInit

7.9.23.3 SFI Control Register (Offset 06h)

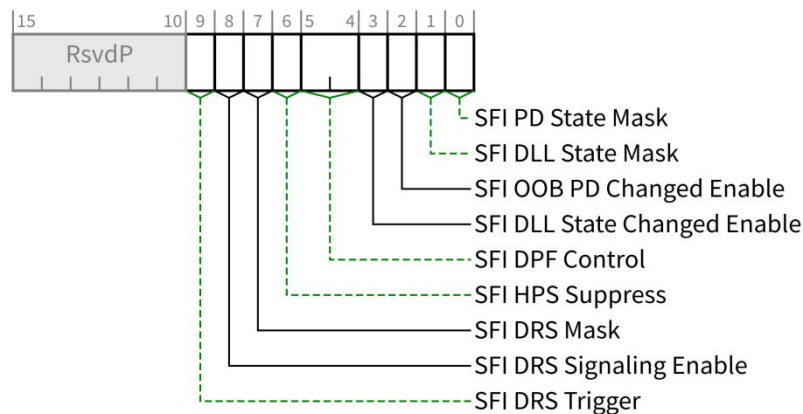


Figure 7-304 SFI Control Register

Bit Location	Register Description	Attributes
0	SFI PD State Mask - 置 1 时，无论实际存在检测状态如何，该位屏蔽 Slot Status Register 中的 Presence Detect State，这导致 Presence Detect State 的值为 0b。否则，其值指示实际状态。 如果 SFI PD State Mask 的值变化时 Presence Detect State 的值发生变化，则必定会导致一个 Presence Detect Changed event（请参阅 Section 6.7.3）。 该位的默认值为 0b。	RW
1	SFI DLL State Mask - 置 1 时，无论实际数据链路层状态如何，该位屏蔽 Link Status Register 中的 Data Link Layer Link Active State 比特位，使其值为 0b。否则，其值指示实际状态。 如果 SFI DLL State Mask 值变化时 Data Link Layer Link Active State 的值发生变化，则必定会导致一个 Data Link Layer State Changed event（Section 6.7.3）。 该位的默认值为 0b。	RW
2	SFI OOB PD Changed Enable - 置 1 时，表示可以为 SFI OOB PD Changed 事件发送 ERR_COR Message。其他必要条件见 Section 6.7.4.1。 如果 SFI OOB PD Supported 设置为 1, 该位必须实现为 RW; 否则, 允许硬连线到 0b。如果 SFI OOB PD Supported 为 0 并且软件把该比特位设置为 1, 则行为未定义。 该位的默认值为 0b。	RW/RO
3	SFI DLL State Changed Enable - 置 1 时，表示可以为 SFI DLL State Changed 事件发送 ERR_COR Message。其他必要条件见 Section 6.7.4.1。 该位的默认值为 0b。	RW
5:4	SFI DPF Control - 该字段控制在 Downstream Port 上启用的 Downstream Port Filtering (DPF) 的级别, 控制哪些针对 Downstream Component 的 Request TLP 被过滤; 也就是说, 就像链路在 DL_Down	RW

中一样处理。请参阅 Section 6.7.4.2 。

定义的编码为：

00b	Disabled
01b	Filter all Request TLPs
10b	Filter only Configuration Request TLPs
11b	Reserved

默认值为 00b。

- 6 **SFI HPS Suppress** - 设置为 1 时, 该比特位强制 Slot Capabilities Register 中的 Hot-Plug Surprise (HPS) 比特位清零并禁用相关的 Hot-Plug Surprise 功能。见 Section 6.7.4.4 。

RW

该位的默认值为 0b。

- 7 **SFI DRS Mask** - 置 1 时, 不管实际的 DRS Message Received 如何, 该位屏蔽 Link Status 2 Register 中的 DRS Message Received 比特位, 使其值为 0b。否则, 其值指示实际状态。

RW

如果在 SFI DRS Mask 被清 0 时 DRS Message Received 比特位的值从 0 变为 1, 这一定会触发由 Link Control Register 中的 DRS Signaling Control 字段启用的任何通知 (参见 Section 7.5.3.7) 。

该位的默认值为 0b。

- 8 **SFI DRS Signaling Enable** - 置 1 时, 表示可以为 SFI DRS Received 事件发送 ERR_COR Message。其他必要条件见 Section 6.7.4.1 。

RW

该位的默认值为 0b。

- 9 **SFI DRS Trigger** - 如果 SFI DRS Maskbite 位清零, 当软件向该位写入 1b 时, Downstream Port 必须表现得如同接收到 DRS Message 一样。否则, 软件向该位写入 1b 无效。

RW

允许将 1b 写入该位, 同时将更新值写入该寄存器中的其他字段, 特别是 SFI DRS Mask 比特位。对于这种情况, SFI DRS Trigger 的语义基于 SFI DRS Mask 比特位的更新值。

该位在读取时总是返回 0b。

7. 9. 23. 4 SFI Status Register (Offset 08h)

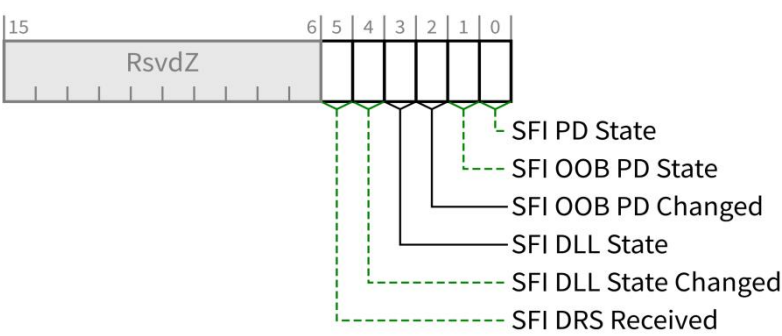


Figure 7-305 SFI Status Register

Bit Location	Register Description	Attributes
0	SFI PD State - 该位始终指示与 Slot Status Register 中的 Presence Detect State 比特位相关联的实际存在检测状态，即使该位的值被 SFI PD State Mask 屏蔽。	RO
1	SFI OOB PD State - 该位指示带外存在检测状态，与带内存在检测状态无关。 如果 SFI OOB PD Supported 比特位被设置为 1，则必须实现该位；否则，允许硬连线到 0b。	RO
2	SFI OOB PD Changed - 当 SFI OOB PD State 比特位报告的值改变时，该位被设置为 1。	RW1C
3	SFI DLL State - 该位始终指示与 Link Status Register 中的 Data Link Layer Link Active 比特位相关联的实际链路状态，即使该位的值被 SFI DLL State Mask 屏蔽。	RO
4	SFI DLL State Changed - 当 SFI DLL State 比特位报告的值改变时，该位被设置为 1。	RW1C
5	SFI DRS Received - 该位始终指示与 Link Status 2 Register 中的 DRS Message Received 比特位相关联的实际状态，即使该位的值被 SFI PD State Mask 屏蔽。 向 SFI DRS Received 写 1b 会把该比特位清 0，同时一定会导致与 DRS Message Received 比特位相关联的实际状态被清除。	RW1C

7. 9. 23. 5 SFI CAM Address Register (Offset 0Ch)



Figure 7-306 SFI CAM Address Register

Bit Location	Register Description	Attributes
--------------	----------------------	------------

27:0	SFI CAM Address - 此字段以 Table 7-1 指定的格式指定目标 BusNumber、Device Number 和 Function Number，以及 Extended Register Number and Register Number。	RW
------	--	----

7. 9. 23. 6 SFI CAM Data Register (Offset 10h)

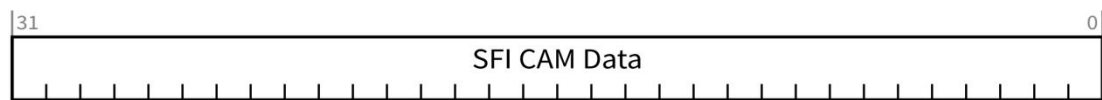


Figure 7-307 SFI CAM Data Register

Bit Location	Register Description	Attributes
31:0	SFI CAM Data - 当读该字段时，SFI CAM 会在此端口下方的链路上生成并发送配 Configuration Read Request。当写该字段时，SFI CAM 在该端口下方的链路上生成并发送 Configuration Write Request。在这两种情况下，Configuration Request 的目标都是由 SFI CAM Address Register 的值决定的。见 Section 6.7.4.3。	RW

7. 9. 24 Subsystem ID and Sybsystem Vendor ID Capability

Subsystem ID and Sybsystem Vendor ID Capability 是一项可选实现的 Capability，用于唯一标识 PCI 设备所在的附加卡 (add-in card) 或子系统。它为附加卡供应商提供了一种机制来区分他们的附加卡，即使附加卡上可能具有相同的 PCI 桥（因此，具有相同的 Vendor ID 和 Device ID）。此 Capability 的格式如 Figure 7-308 所示。其各个字段在 Table 7-250 中描述。

此 Capability 仅允许在 Type 1 Configuration Space Header 中实现。

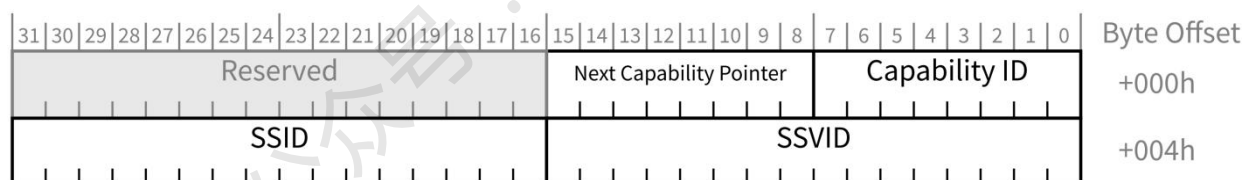


Figure 7-308 Subsystem ID and Sybsystem Vendor ID Capability

Bit Location	Register Description	Attributes
DWORD0 7:0	Capability ID - 该字段必须返回 0Dh 的 Capability ID，表明这是一个 Vendor-Specific Capability structure。	RO
DWORD0 15:8	Next Capability Pointer - 该字段表示到下一个 PCI Capability structure 的偏移量；如果 Capabilities 链表中不存在其他项，则为 00h。	RO
DWORD1	SSVID - SSVID 标识附加卡或子系统的制造商。SSVID 由 PCI-SIG 分配以确保唯一性 (Vendor ID 也	HwInit

15:0	用作 SSVID) 。该字段是只读的。	
DWORD1	SSID - SSID 标识特定的附加卡或子系统并由供应商分配。该字段是只读的。	HwInit
31:16		

公众号：芯片业者柏承双

8 Electrical Sub-Block

物理层电气规范要从两个方面理解：一是考虑在电气物理层设计的时候怎样满足规范参数的要求；二是给测试人员提供了电气参数的测试规范。

8.1 Electrical Specification Introduction

PCIe 3.0 规范的电气特性主要描述四个内容：transmitter、receiver、channel、和 Refclk。PCIe3.0 因为有较大变化，各速率可能不一致，所以其内容能会跟 PCIe2.0 和 PCIe1.0 分开描述。

电气规范的主要特征有：

- 对 2.5、5.0、8.0、16.0 和 32.0 GT/s 数据速率的支持。
- 对 Common Reference Clock 和 Independent Reference Clock 架构的支持。
- 对扩频时钟（SSC）的支持。
- 用于支持低功耗操作的 Reduced Swing mode 。
- 带内接收器检测电路和电气空闲检测电路。
- 信道一致性方法论。
- 自适应的 TX 均衡和相应的 RX 均衡用以支持 8.0、16.0 和 32.0 GT/s 的眼图。
- Lane margining 。
- AC 耦合信道。

PCI Express 电气规范的 4.0 版本分为 Transmitter、Receiver、Channel 和 Refclk 单独的部分。在此版本中，大多数参数已经规范化，因此可以使用一组通用的参数来定义所有数据速率下的一致性。

8.2 Interoperability Criteria

8.2.1 Data Rates

设备必须支持 2.5 GT/s，并且不允许跳过对 2.5 GT/s 和最高支持速率之间的任何数据速率的支持。

8.2.2 Refclk Architectures

PCIe 支持两种 Refclk 结构：Common Refclk 和 Independent Refclk。这将在 Section 8.6 中详细描述。PCIe 设备可以支持这些架构中的一种或多种。

8.3 Transmitter Specification

8.3.1 Measurement Setup for Characterizing Transmitters

PCI Express 电气规范将所有测量值引用到设备的引脚。但是，通常无法访问被测设备（DUT）的引脚，最接近的可访问点通常是一对微波型同轴连接器，与 DUT 引脚之间相隔几英寸的 PCB 走线，这在测试板上称为 Breakout Channel。在具有多个 Lane 的测试板上，最小的分支 Lane 长度受到布线到大量同轴连接器的需求的限制。通常，此限制对于 Tx 和 Rx 引脚均成立。Figure 8-2 给出了与 DUT 的典型测试连接，并显示了一个 Tx Lane Breakout Channel。

当芯片支持使用外部参考时钟时，将使用低抖动 Refclk 源，以便 DUT 的抖动测量仅包括来自发送器的贡献。

在测试发送器时，希望有尽可能多的其他 PCI Express 通道发送或接收 Compliance Pattern。同样，如果设备支持其他 I/O，则它也应该在这些接口上发送或接收。目的是使 Tx 测试环境尽可能接近真实系统中的副本。

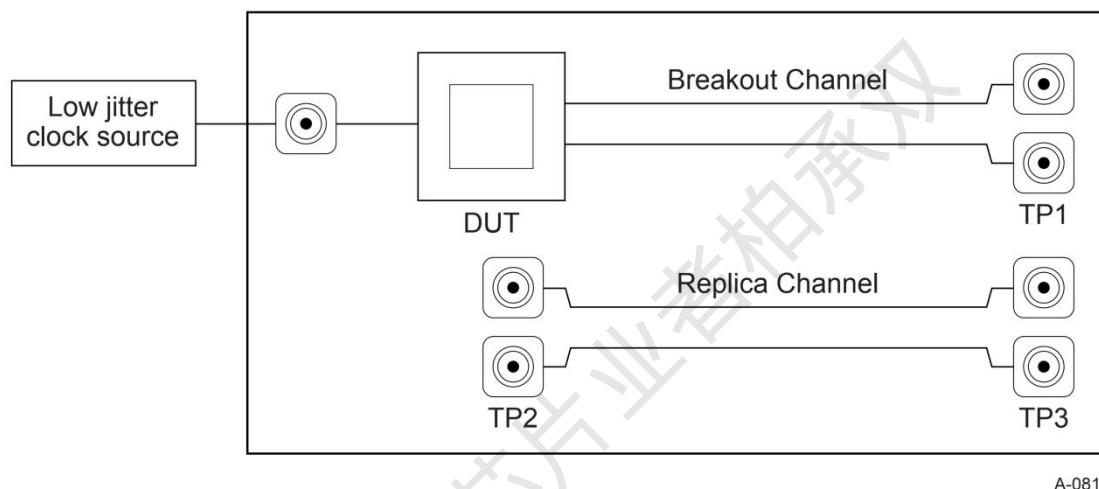


Figure 8-1 Tx Test Board for Non-Embedded Refclk

Tx 规范的 4.0 版本还包括对使用嵌入式 Refclk 的发送器的明确支持。在这种情况下，被测 Tx 并非由低抖动时钟源驱动，并且必须通过 2 端口测量同时对 Tx data 和 Tx Refclk out 进行采样。有关更多详细信息，请参见 Section 8.3.5.3 节。测试针对 Independent Reference Clock 结构的实现时，非嵌入式和嵌入式参考时钟情况都只对数据进行采样。

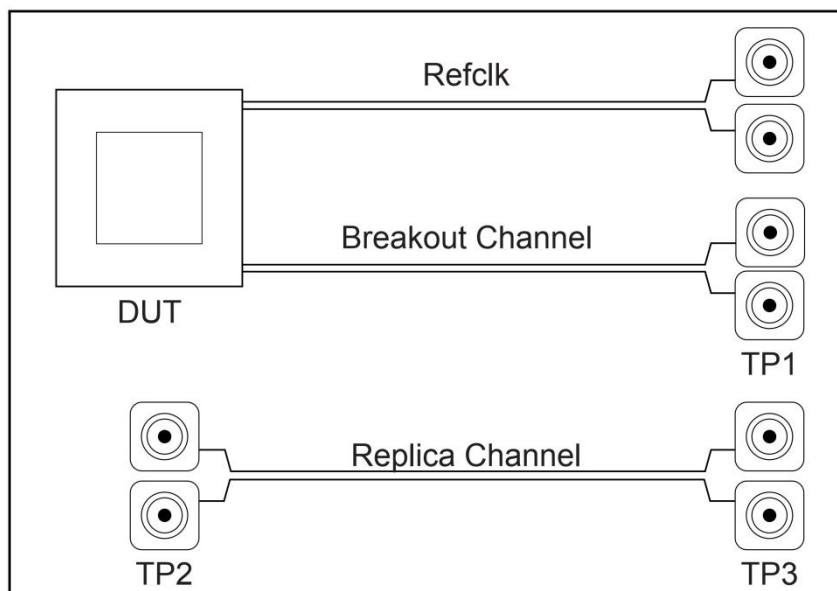


Figure 8-2 Tx Test board for Embedded Refclk

8.3.1.1 Breakout and Replica Channels

为了定义具有统一的 Tx 参数集的发送器，必须在 TP1 处可测量的值与引脚上相应的 Tx 电压或抖动之间建立一一对应的关系。这可以通过分支信道（Breakout Channel）和副本信道（Replica Channel）来实现。副本信道尽可能接近地再现分支信道的电特性，匹配其长度，层转换等，从而可以将 Tx 测量反嵌入到 DUT 的引脚。除非另有说明，否则所有电压参数均已嵌入到引脚。尽管该规范未定义副本信道和分支信道的精确电气特性，但建议遵循以下准则：

- 每个通道的分支信道长度应相同，并在尽可能少的层上布线，从而减少需要构建和测量的副本信道的数量。
- 测试板上的每个布线层都应具有一个单独的分支信道，各个层上的分支信道和副本信道的通孔和焊盘结构应尽可能紧密地匹配。
- 分支信道和副本信道的设计应在信号速率的奈奎斯特频率处具有小于 2 dB 的插入损耗（如果最大信号速率为 16.0 GT/s 或 32.0 GT/s，则在奈奎斯特频率处的插入损耗应小于 4 dB），并且当从 TP2 或 TP3 测量时，对奈奎斯特的回波损耗大于 15 dB，这可能需要使用低损耗电介质，宽信号迹线和通孔的反向钻孔或使用微通孔技术。
- 分支通道的阻抗目标是 100Ω 差分 和 50Ω 单端。为了获得最佳精度，实际的分支信道阻抗应在这些值的 ±5% 之内。对于较大的偏差，可能需要更复杂的 de-embedding 技术。

8.3.2 Voltage Level Definitions

差分电压（或者叫差动电压）定义为两个导体（D+和 D-）上的电压差。两个导体相对于地的电压分别是 V_{D+} 和 V_{D-} 。则差动电压定义为 V_{D+} 和 V_{D-} 的电压差值 $V_{DIFF} = (V_{D+} - V_{D-})$ ；共模电压定义为 V_{D+} 和 V_{D-} 的电压平均值 $V_{CM} = [V_{D+} + V_{D-}] / 2$ 。本文档的电气规格通常指的是共模峰峰值测量或峰值测量，它们由以下方程式定义。

$V_{DIFFp-p} = (2 * \max | V_{D+} - V_{D-} |)$ ，这个公式用于对称差分电压摆幅的场景。对称差分电压指的是两根信号上的电压变化相

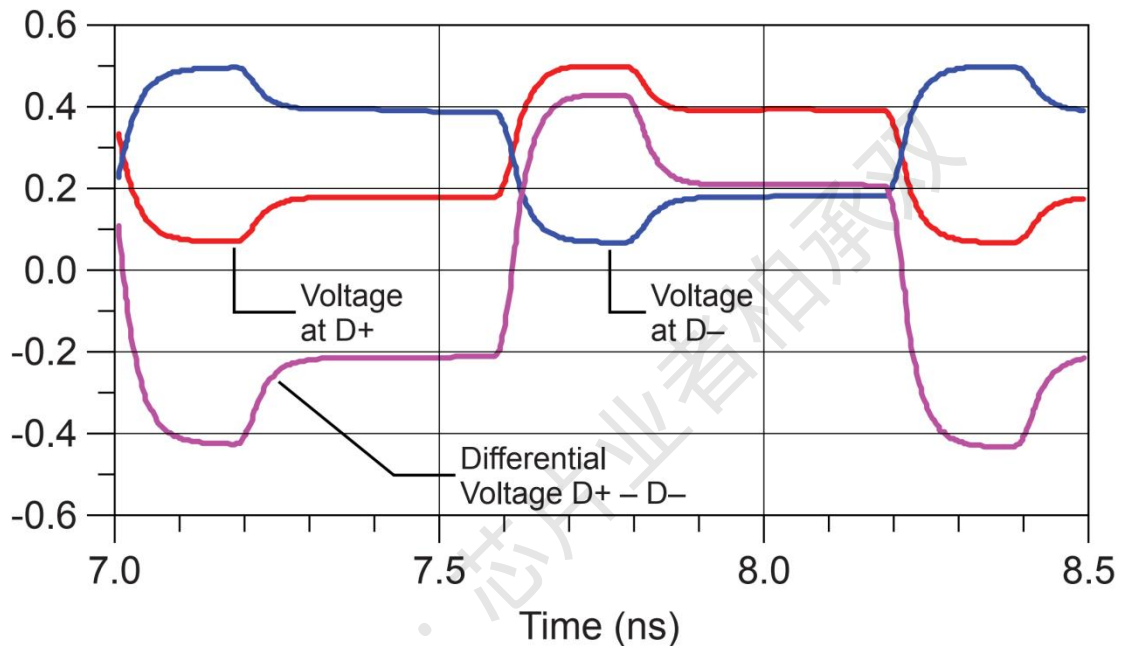
对于共模电压严格对称。

$V_{TX-AC-CM-PP} = \max(V_{D+} + V_{D-})/2 - \min(V_{D+} + V_{D-})/2$, 从这个公式来看, $V_{TX-AC-CM-PP}$ 好像定义了共模电压的最大变化范围。

注意: 最大值是在每个单位间隔评估中计算得出的, 单位间隔边界由 behavioral CDR 确定。上述的最大函数对于所有峰峰值共模方程和峰值共模方程都是隐式的, 并贯穿本章其余部分。

在本节中, DC 定义为 $F_{DC} = 30 \text{ kHz}$ 以下的所有频率分量。AC 定义为 $F_{DC} = 30 \text{ kHz}$ 或以上的所有频率分量。这些定义适用于所有电压和电流规格。

示例波形如图 Figure 8-3 所示。在该波形中, 差分电压 (定义为 $D+ - D-$) 约为 800 mVPP , 而 $D+$ 和 $D-$ 的单端电压均约为 400 mVPP 。请注意, 尽管 $D+$ 和 $D-$ 的中心交叉点标称值为 200 mV , 但差分电压的相应交叉点为 0.0V 。



A-0547

Figure 8-3 Single-ended and Differential Levels

8.3.3 Tx Voltage Parameters

Tx 电压参数包括均衡系数、均衡预设和最小/最大电压摆幅。

8.3.3.1 2.5 and 5.0 GT/s Transmitter Equalization

2.5 GT/s 和 5.0 GT/s 的 Tx 均衡只是去加重。在 2.5 GT/s 和 5.0 GT/s 下的 Tx 均衡去加重值是使用 500 次重复的一致性模式在 0.5 UI 位置处的平均过渡幅度与非过渡平均眼振幅之比测量的。

8.3.3.2 8.0, 16.0, and 32.0 GT/s Transmitter Equalization

8.0、16.0 和 32.0 GT/s 下的 Tx 电压摆幅和均衡预设值是通过 Compliance Pattern 内的低频码型进行测量的。这由 64 个 0 和 64 个 1 的序列组成, 此 Pattern 可以精确测量电压, 因为 ISI 效应将衰减并且信号将达到稳定状态。8.0、16.0 和 32.0 GT/s 发送器必须

实现基于系数的均衡模式，以支持对 Tx 均衡分辨率的精细控制。此外，发送器必须支持指定数量的预设，以便对 Tx 均衡分辨率进行更粗略的控制。系数空间和预设空间都可以通过来自接收器的消息通过均衡过程来控制。均衡过程在与普通信令相同的物理路径上执行，并通过对现有协议链路层的扩展来实现。

所有 8.0、16.0 和 32.0 GT/s 发送器都必须实现对均衡过程的支持，而 8.0 GT/s、16.0 GT/s 和 32.0 GT/s 接收器可以有选择地利用 Link partner 对发送器的请求来更新发送器均衡。有关均衡过程的详细信息，请参见 Physical Layer Logical Block 章节。

Tx 均衡系数基于以下 FIR 滤波器关系，如 Figure 8-4 所示。均衡系数受到约束，将其最大摆幅限制为 ± 1 ，其中 c_{-1} 和 c_{+1} 为零或负。包含统一条件意味着只需指定三个系数中的两个即可完全定义 v_{out_n} 。在本规范中，指定的两个系数为 c_{-1} 和 c_{+1} ，其中隐含 c_0 。注意，系数幅度与 Tx 电压摆幅幅度不同。

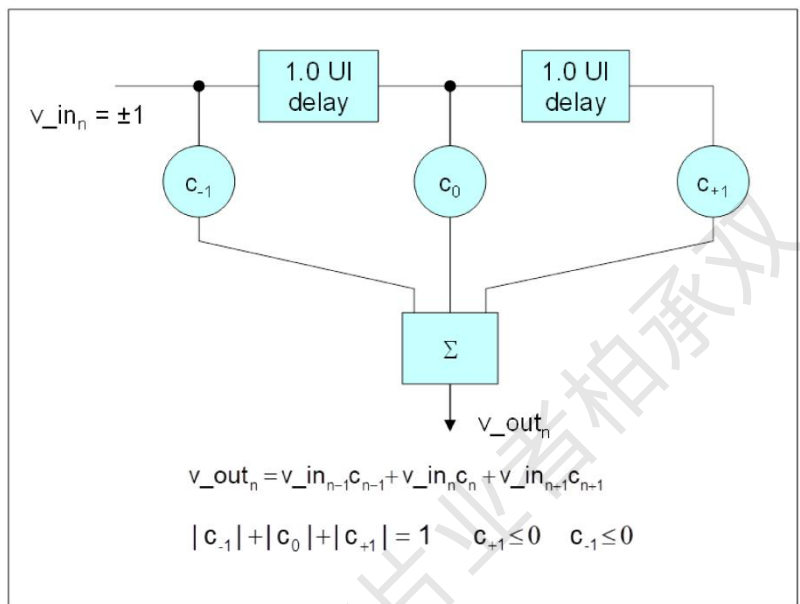
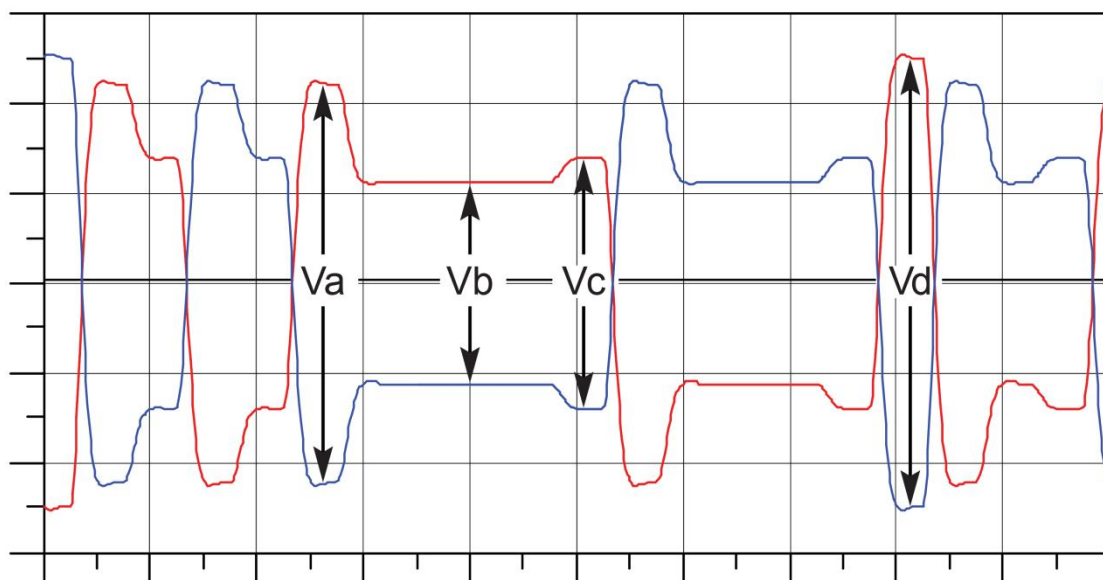


Figure 8-4 Tx Equalization FIR Representation

8.3.3.3 Tx Equalization Presets

8.0 GT/s、16.0 GT/s 和 32.0 GT/s PCIe 信令必须支持 Table 8-1 中给出的所有预设范围。预设是根据比率定义的，该比率与 pre-cursor 和 post-cursor 均衡电压相关。pre-cursor (V_c) 称为 pre-shoot，而 post-cursor (V_b) 则称为 de-emphasis。该约定允许规范保留用于 Tx 均衡的现有 2.5 GT/s 和 5.0 GT/s 定义，其中仅定义了去加重，并且允许定义 pre-shoot 和 de-emphasis，以便彼此独立。Table 8-1 中的容差也适用于 2.5 和 5.0 GT/s 的去加重。最大摆幅 V_d 也表明，当 c_{+1} 和 c_{-1} 都不为零时， V_a 的摆幅没有达到 V_d 定义的最大值。Figure 8-5 所示为发送器均衡的示例，但这并非表示实际信号，它只出于测量目的。PCIe 信令的高频特性使得单个 UI 脉冲高度的测量不切实际。因此，所有幅度测量都是通过低频波形进行的，如 Figure 8-6 和 Figure 8-7 所示。

Table 8-1 和 Table 8-2 中定义的预设已编号，以匹配 Table 4-4 中的名称。



$$\text{De-emphasis} = 20\log_{10} V_b/V_a$$

$$\text{Preshoot} = 20\log_{10} V_c/V_b$$

$$\text{Boost} = 20\log_{10} V_d/V_b$$

A-0813

Figure 8-5 Definition of Tx Voltage Levels and Equalization Ratios

Table 8-1 列出了预设值；8.0 GT/s，16.0 GT/s 和 32.0 GT/s 的所有预设值必须支持 Full Swing 信令。

Table 8-1 Tx Preset Ratios and Corresponding Coefficient Values

Preset #	Preshoot (dB)	De-emphasis (dB)	C ₋₁	C ₊₁	V _a /V _d	V _b /V _d	V _c /V _d
P4	0.0	0.0	0.000	0.000	1.000	1.000	1.000
P1	0.0	-3.5 ± 1 dB	0.000	-0.167	1.000	0.668	0.668
P0	0.0	-6.0 ± 1.5 dB	0.000	-0.250	1.000	0.500	0.500
P9	3.5 ± 1 dB	0.0	-0.166	0.000	0.668	0.668	1.000
P8	3.5 ± 1 dB	-3.5 ± 1 dB	-0.125	-0.125	0.750	0.500	0.750
P7	3.5 ± 1 dB	-6.0 ± 1.5 dB	-0.100	-0.200	0.800	0.400	0.600
P5	1.9 ± 1 dB	0.0	-0.100	0.000	0.800	0.800	1.000
P6	2.5 ± 1 dB	0.0	-0.125	0.000	0.750	0.750	1.000

Preset #	Preshoot (dB)	De-emphasis (dB)	C ₋₁	C ₊₁	V _a /V _d	V _b /V _d	V _c /V _d
P3	0.0	-2.5 ± 1 dB	0.000	-0.125	1.000	0.750	0.750
P2	0.0	-4.4 ± 1.5 dB	0.000	-0.200	1.000	0.600	0.600
P10	0.0	Note 2.	0.000	Note 2.	1.000	Note 2.	Note 2.

Notes:

1. Reduced Swing 信令必须实现预设 P4，P1，P9，P5，P6 和 P3。Full Swing 信令必须实现上述所有预设。
2. P10 提升极限不是固定的，因为它的去加重级别是 Tx 在训练期间通告的 LF 电平的函数。P10 用于测试 Full Swing 时发送器的升压极限。P1 用于测试在 Reduced Swing 的情况下测试发送器的升压极限。

8.3.3.4 Measuring Tx Equalization for 2.5 GT/s and 5.0 GT/s

在 2.5 GT/s 和 5.0 GT/s 下的 Tx 均衡去加重值是使用 500 次重复的 Compliance Pattern 在 0.5 UI 位置处的平均过渡幅度与非过渡平均眼振幅之比测量的。

8.3.3.5 Measuring Presets at 8.0 GT/s, 16.0 GT/s, and 32.0 GT/s

Figure 8-6 和 Figure 8-7 展示了使用作为 Compliance Pattern 一部分的 64 位 0/64 位 1 序列测量预设时观察到的波形。根据预设是否执行 de-emphasis、pre-shoot 还是两者都执行，相应的波形将有所不同。下面说明的两种情况显示了 pre-shoot 和 de-emphasis，这可以通过观察均衡是发生在沿变化之前还是之后来观察。对于同时存在去加重和预冲的情况，在每个沿切换之前和之后都会发生升压。在所有情况下，感兴趣的电压都在波形的平坦部分（ V_b 处）产生，可以不受高频影响精确地测量。 V_b 的测量是使用超过 500 次重复的 Compliance Pattern 在所有 64 个 0 和 64 个 1 的序列中从 UI 57 到 62 的平均电压进行的。

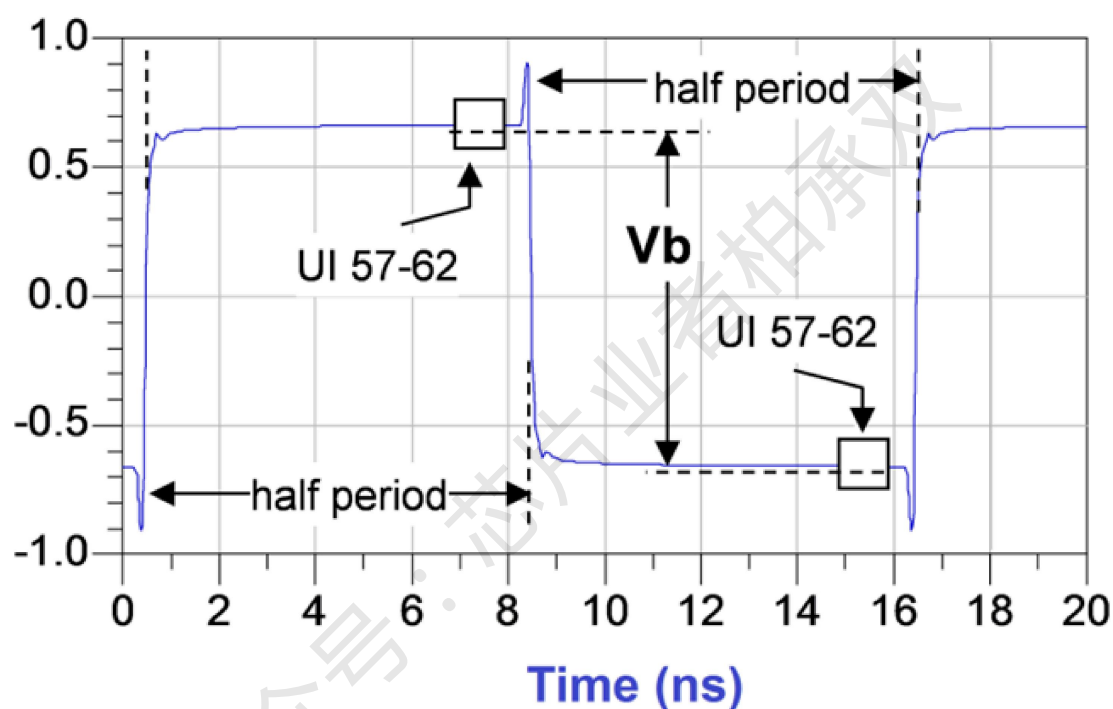


Figure 8-6 Waveform Measurement Points for Pre-shoot

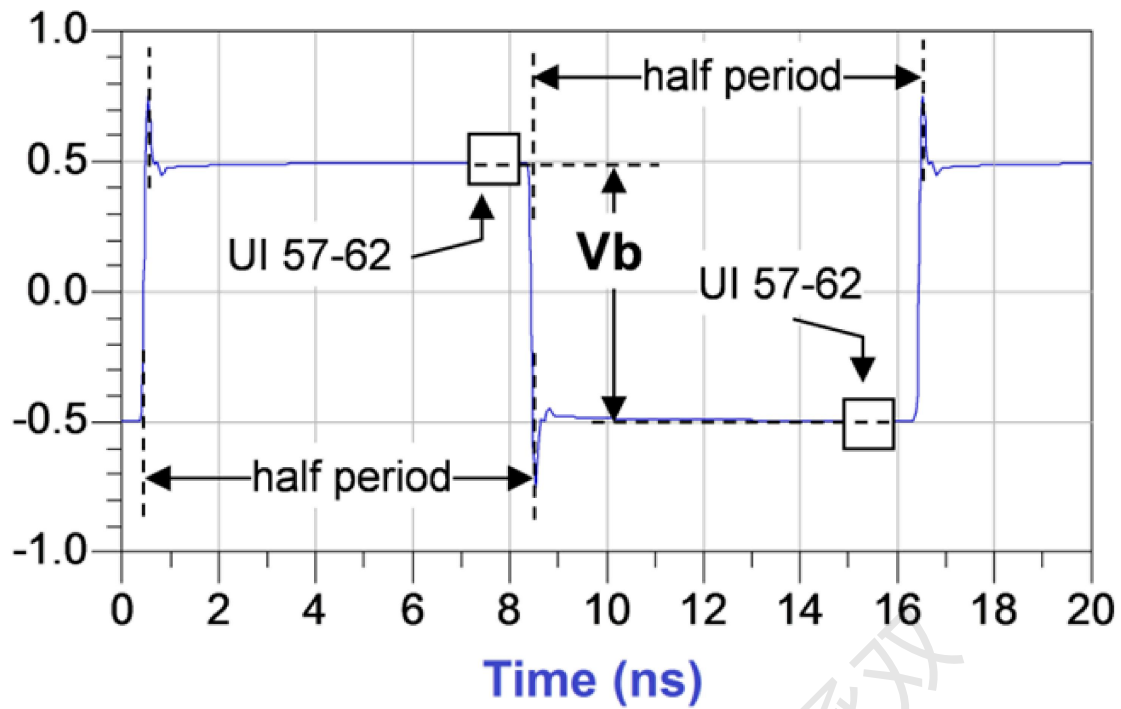


Figure 8-7 Waveform Measurement Points for De-emphasis

除 P4（预冲和去加重均为 0.0 dB）之外，无法直接测量 V_a 和 V_c ，因为波形的这些部分为 1 UI 宽，因此受到封装和漏极通道的衰减。相反， V_a 和 V_c 值是通过将 DUT 设置为不同的预设值获得的，其中前者的 V_a 或 V_c 电压出现在后者的 V_b 间隔期间。Table 8-2 列出了测量 V_a 和 V_c 值所需的预设值，可以从所示预设的 V_b 值的比率中得出它们的预充或去加重值。

Table 8-2 Preset Measurement Cross Reference Table

Preset Number	De-emphasis (dB) $20 \log_{10} (V_b(i)/V_b(j))$	Preshoot (dB) $20 \log_{10} (V_b(i)/V_b(j))$
<u>P4</u>	N/A	N/A
<u>P1</u>	<u>P1</u> / <u>P4</u>	N/A
<u>P0</u>	<u>P0</u> / <u>P4</u>	N/A
<u>P9</u>	N/A	<u>P4</u> / <u>P9</u>
<u>P8</u>	<u>P8</u> / <u>P6</u>	<u>P3</u> / <u>P8</u>
<u>P7</u>	<u>P7</u> / <u>P5</u>	<u>P2</u> / <u>P7</u>
<u>P5</u>	N/A	<u>P4</u> / <u>P5</u>

Preset Number	De-emphasis (dB) $20 \log_{10} (V_b(i)/V_b(j))$	Preshoot (dB) $20 \log_{10} (V_b(i)/V_b(j))$
<u>P6</u>	N/A	<u>P4</u> / <u>P6</u>
<u>P3</u>	<u>P3</u> / <u>P4</u>	N/A
<u>P2</u>	<u>P2</u> / <u>P4</u>	N/A
<u>P10</u>	<u>P10</u> / <u>P4</u>	N/A

8.3.3.6 Method for Measuring VTX-DIFF-PP at 2.5 GT/s and 5.0 GT/s

在 2.5 GT/s 和 5.0 GT/s 下的 $V_{TX-DIFF-PP}$ ($V_{TX-DIFF-PP-LOW}$ 用于 Reduced Swing) 使用 0.5 UI 位置处的平均过渡眼振幅测量, 这需要重复 500 次的 Compliance Pattern。

8.3.3.7 Method for Measuring VTX-DIFF-PP at 8.0 GT/s, 16.0 GT/s, and 32.0 GT/s

无均衡的发送器输出电压摆幅 (由 V_d 指定) 的范围由 $V_{TX-DIFF-PP}$ ($V_{TX-DIFF-PP-LOW}$ 用于 Reduced Swing) 定义, 通过将 c_{-1} 和 c_{+1} 设置为零并测量 Compliance Pattern 的 64 个 1/64 个 0 序列上的峰值电压来获得。产生的信号有效地测量了裸芯焊盘, 减去了任何低频封装损耗。通过将测量电压的曲线部分限制在每个半周期的最后几个 UI, 可以将 ISI 和开关效应最小化, 如 Figure 8-8 所示。通过对 Compliance Pattern 进行 500 次以上的重复, 可以减轻平均高频噪声。

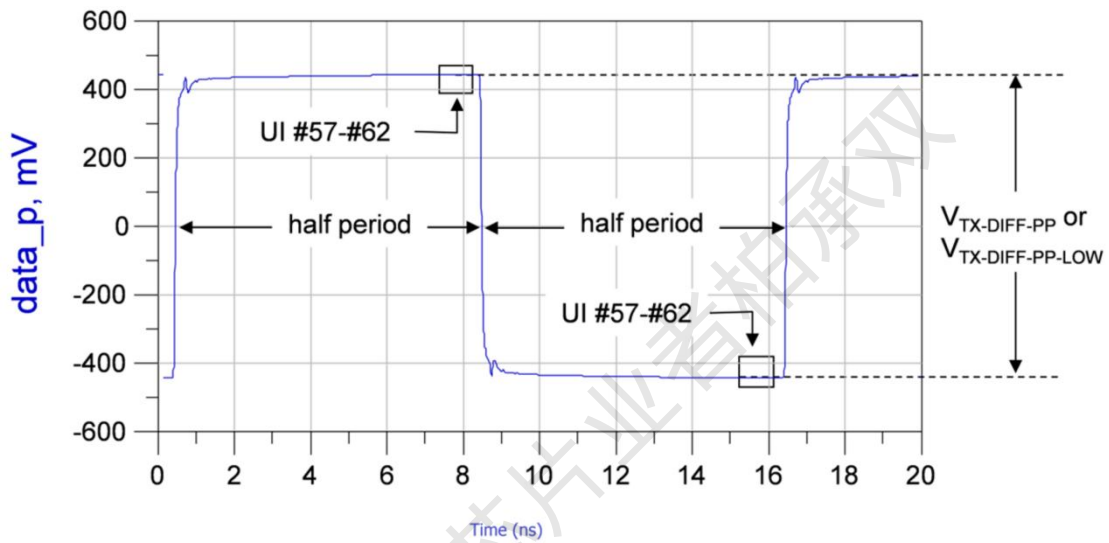


Figure 8-8 $V_{TX-DIFF-PP}$ and $V_{TX-DIFF-PP-LOW}$ Measurement

8.3.3.8 Coefficient Range and Tolerance

8.0GT/s、16.0GT/s 和 32.0GT/s 设备需要通知接收器其 TxEQ 系数范围和容限, TxEQ 系数范围和容限的约束描述如下。

- 系数必须支持 Table 8-2 中的所有 11 个 preset 值相关的限定。
- 所有的发送器必须满足 Full Swing 信令的 $V_{TX-EIEOS-FS}$ 的限制。
- 所有发送器要可选的满足 $V_{TX-EIEOS-RS}$ 的限制。
- 所有发送器必须满足 Table 8-6 定义的 boost 和 resolution ($V_{TX-BOOST-FS}$, $V_{TX-BOOST-RS}$ 和 $E_{QTX-COEFF-RES}$) 的限制。

如果满足了以上限制, 则系数空间的结果会映射到一个三角矩阵上, 如 Figure 8-9 所示。该矩阵解释如下: Pre-shoot 和 De-emphasis 分别映射到 Y 轴和 X 轴, 以 1/24 为步长。每个矩阵单元的值对应的是 Pre-shoot (PS)、De-emphasis (DE) 和 BOOST 的实际值。对角线元素由最大升压比定义。蓝色的单元支持 Reduced Swing, 而以蓝色或橙色表示的单元代表支持 Full Swing 信令的 preset。注意, 该图仅提供一些有意义的信息, 并不意味着 Tx 实现一定要这样实现。



A-0816

Figure 8-9 Transmit Equalization Coefficient Space Triangular Matrix Example

8.3.3.9 EIEOS and VTX-EIEOS-FS and VTX-EIEOS-RS Limits

EIEOS 只为 5.0 GT/s、8.0 GT/s、16.0 GT/s 和 32.0 GT/s 数据速率定义。在 5.0GT/s 速率下用 K28.7 符号实现。在 8.0 GT/s、16.0 GT/s 和 32.0 GT/s 速率下， $V_{TX-EIEOS-FS}$ 和 $V_{TX-EIEOS-RS}$ 使用包含在 Compliance Pattern 中的 EIEOS 序列进行测量。在 8.0 GT/s 速率下，此序列由 8 连 1 后跟 8 连 0 构成，但是此序列要重复总共 128 个 UI。在 16.0 GT/s 速率下，此序列由 16 连 1 后跟 16 连 0 构成，此序列要重复总共 128 个 UI。在 32.0 GT/s 速率下，此序列由 32 连 1 后跟 32 连 0 构成，此序列要重复总共 128 个 UI。在 32.0 GT/s 速率下此 Pattern 重复了两个连续的 Block。

发送器发送 EIEOS 导致接收器退出电气空闲状态。这种 Pattern 保证了接收器将通过静噪退出检测电路正确地检测到 EI 退出条件，这是加扰数据无法保证的。Tx EIEOS 发射电压由定义 Full Swing 的 $V_{TX-EIEOS-FS}$ 和定义 Reduced Swing 的 $V_{TX-EIEOS-RS}$ 描述。 $V_{TX-EIEOS-RS}$ 小于 $V_{TX-EIEOS-FS}$ 反映出以下事实：通常仅在 EIEOS 信令速率下衰减较小的较低损耗信道中才支持 Reduced Swing。

Full Swing 信令的 $V_{TX-EIEOS-FS}$ 使用预设编号 P10 进行测量。这等效于 9.5 dB 的最大标称升压，表示在系数空间中可获得的最大升压。当考虑到 ± 1.5 dB 的容差时，这会在 Table 8-6 中给出 8.0 dB 的最小升压极限。Reduced Swing 信令的 $V_{TX-EIEOS-RS}$ 使用预设的 P1 进行测量。

并非总是允许发送器产生上述最大升压电平。尤其是，一个无法驱动超过 800 mVPP 的发送器会受到满足 $V_{TX-EIEOS-FS}$ 的需求的限制。Tx 必须拒绝对其预设或系数的任何调整，这些调整会违反 $V_{TX-EIEOS-FS}$ 或 $V_{TX-EIEOS-RS}$ 的限制。施加 EIEOS 电压限制是为了确保 Rx 引脚上的 EIEOS 阈值为 175 mVPP。

Figure 8-10 说明了在 Tx 引脚处观察到的 $V_{TX-EIEOS-FS}$ 的去加重峰值。在无损信道的远端，去加重峰值将被衰减。这就是为什么测量间隔在 8.0 GT/s 速率下仅包括中间五个 UI，在 16.0 GT/s 下包括第 5-14 个 UI，在 32.0 GT/s 下包括第 9-28 个 UI 的原因。在 Compliance Pattern 的 500 次重复中，波形的负半部和正半部均在此间隔内对电压进行平均。 $V_{TX-EIEOS-FS}$ 和 $V_{TX-EIEOS-RS}$ 定义为负波形段平均值和正波形段平均值之间的差。UI 边界是相对于恢复的数据时钟的边沿定义的。

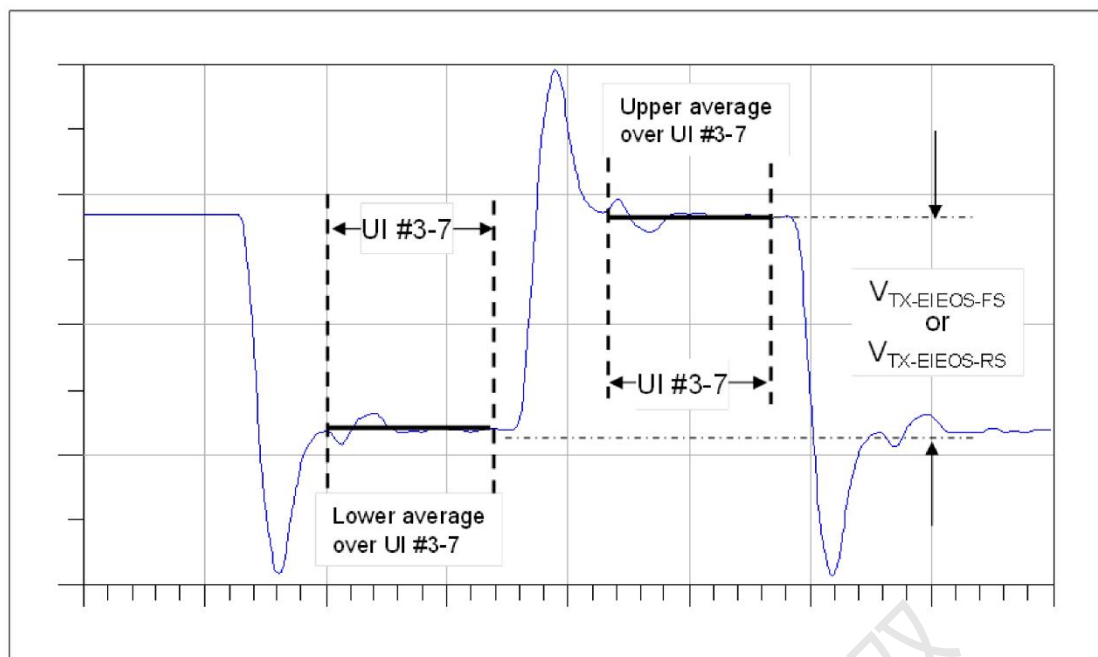


Figure 8-10 Measuring $V_{TX-EIEOS-FS}$ and $V_{TX-EIEOS-RS}$ at 8.0 GT/s

8.3.3.10 Reduced Swing Signaling

PCI Express 发送器可以选择支持 Reduced Swing 信令。其余的实现选项是定义最大 Reduced Swing 的电压值 $V_{TX-DIFF-PP-LOW}$ ，直到最大 Full Swing 电压。 $V_{TX-DIFF-PP-LOW}$ 的最小值是由 $V_{TX-EIEOS-RS}$ 施加的约束间接捕获的，因此无需为 $V_{TX-DIFF-PP-LOW}$ 定义单独的最小值限制。 Reduced Swing 限制了预设范围和最大提升。 Reduced Swing 的升压必须在 Figure 8-9 所示的最大 Reduced Swing 极限和最小 Reduced Swing 升压极限之间的区域内。

根据外形规格的通道要求，允许外形规格禁止、有选择地允许或要求 Reduced Swing 信令。如果允许或要求使用 Reduced Swing，则要求外形规格提供支持互操作性所需的任何其他详细信息。

8.3.3.11 Effective Tx Package Loss at 8.0 GT/s, 16.0 GT/s and 32.0 GT/s

封装损耗（包括芯片驱动器带宽）由 $ps21_{TX}$ 参数定义。封装 IL 特性和驱动器带宽都会影响在 Tx 引脚上观察到的信号， $ps21_{TX}$ 参数可以描述这两种影响，因此我们非常容易在 TP1 探测点处进行测量以评估封装和驱动器的影响。在 Tx 规范中定义封装损耗参数是非常有必要的，因为电压摆幅参数（ $V_{TX-DIFF-PP}$ 和 $V_{TX-DIFF-PP-LOW}$ ）定义为定义为 $1/128$ UI 的等效脉冲频率，并且实现上很难捕获高频驱动器或封装损耗的影响。

假设前者通常很大并且需要，在分别为 16.0 GT/s 和 32.0 GT/s 的情况下，分别为包含 Root Ports 的软件包（Root Package）和所有其他软件包（Non-Root Package）定义了 $ps21_{TX}$ 参数。插座，而后者较小，通常不带插座。

在 16.0 GT/s 和 32.0 GT/s 时，基于以下假设，分别为包含根端口的封装和所有其他封装定义 $ps21_{TX}$ 参数：根端口的封装的外形规格往往较大，而且要考虑到插槽影响；而后者外形规格通常较小，通常不考虑插入影响。

$ps21_{TX}$ 参数对于 16.0 GT/s 根封装设备和仅支持 PCI Express 标准外形规格（即 CEM， M.2 等）的非根封装设备很有用。 $ps21_{TX}$ 参数对于所有 8.0 GT/s 和 32.0 GT/s 设备以及支持强制通道的 16.0 GT/s 非根封装设备都是标准参数。请参阅下面的 Table 8-3。

Table 8-3 Cases that the Reference Packages and ps21TX Parameter are Normative

	8.0 GT/s and 32.0 GT/s		16.0 GT/s	
	Root Package Device	Non-Root Package Device	Root Package Device	Non-Root Package Device
Device supports captive channels	Normative	Normative	Informative	Normative
Device does not support captive channels	Normative	Normative	Informative	Informative

PCI Express 标准外形规格的所有实现都必须也要满足外形规格自身的要求。如上定义的 ps21TX 参数可提供设备的信息，如果不满足 ps21TX 参数的要求，则必须提供一种封装模型以用于通道一致性。

封装损耗的测量是通过比较 64-ones/64-zeros 的电压 (V_{111}) 和 1010 序列 (V_{101}) 来获取的，其中 c_{-1} 和 c_{+1} 都要设置为 0。用于测量的 Compliance Pattern 需要重复 500 次求平均。

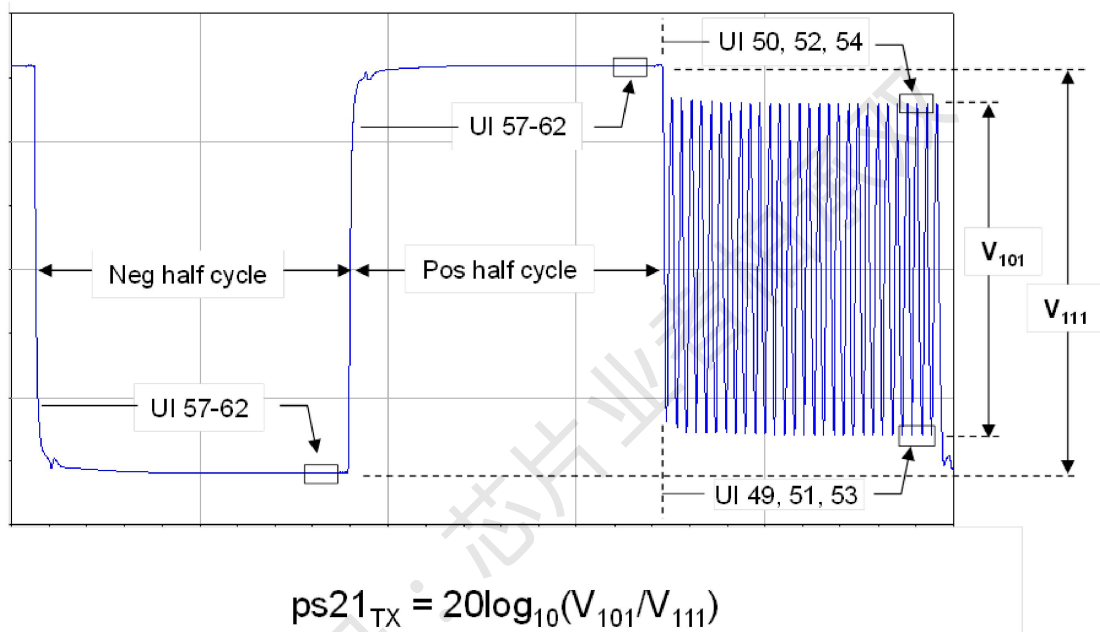


Figure 8-11 Compliance Pattern and Resulting Package Loss Test Waveform

从 Figure 8-1 可以看出， V_{101} 和 V_{111} 的测量是在每个间隔结束时进行的，以最大程度地减小 ISI 和低频影响。 V_{101} 定义为 1010 序列电压最小值与最大值之间的峰峰值电压。 V_{111} 定义为两个半周期的正负电平之间的峰峰值电压。用于测量的 Compliance Pattern 需要重复 500 次求平均。

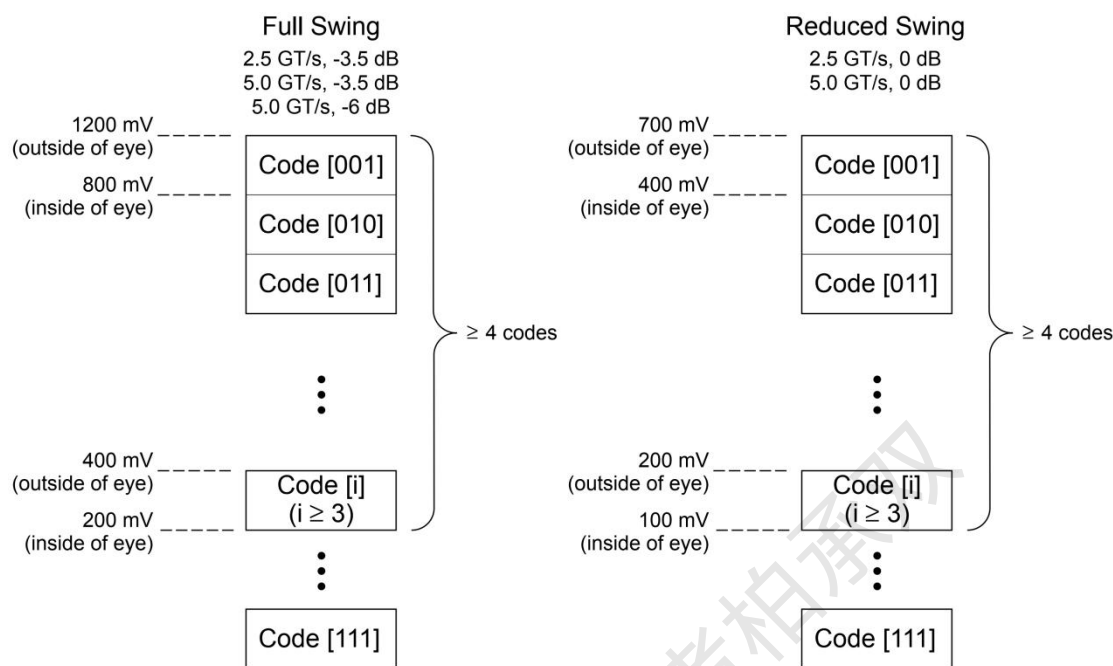
以 32.0 GT/s 的速率通过过滤通常用于 ps21TX 测量的捕获电压波形来仅计算 ps21TX 参数，如下所示：

- 从具有一阶 (20 dB/decade) 低通滤波器的滤波电压波形测量 V_{111} ，并在 1 GHz 处施加 -3 dB 的角频率。
- 从具有一阶 (20 dB/decade) 高通滤波器的滤波电压波形测量 V_{101} ，并在 7 GHz 处施加 -3 dB 的角频率。

8.3.4 Transmitter Margining

发送器应实现一个裕度调节过程，以允许调整 Tx 发射电压。可以通过对寄存器集进行编程来启用 Margining。由于发送器均衡的范围较大，因此 8.0 GT/s、16.0 GT/s 和 32.0 GT/s 的 Tx 裕量还受到其他限制：这些速度下的 Tx 裕量不需要任何系数或预设分辨率比正常运行时定义的 1/24 系数分辨率更精细，不应要求比支持正常运行所需的更高的 Tx 精度或能力。尽管不再保证正确的端到端操作，但 V_b 低于 $V_{TX-EIEOS-FS}$ 或 $V_{TX-EIEOS-RS}$ 设置的限制是可以接受的。在裕度调节过程中，不需要满足发送器均衡精度要求。在正常运行期间，无需保证发送器改变其在 TS1 有序集中发送的 FS/LF 值。

从 000b 到 111b 的发送裕量有 8 个编码值。编码 000b 代表正常工作范围。对于所有受支持的数据速率和 Tx 信令模式 (Full Swing 或 Reduced Swing)，编码 001b 必须生成符合规范限制的 $V_{TX-DIFF-PP}$ 。对于每种数据速率和 Tx Swing 模式，至少必须支持至少三种具有 $V_{TX-DIFF-PP}$ 单调递减值的额外编码。对于 Full Swing 信令，必须至少有一个索引为 100b 或更高的编码，以产生 200 至 400 mV 之间的 $V_{TX-DIFF-PP}$ 。对于 Reduced Swing 信令，必须至少生成一个值 100b 或更高的编码，以产生介于 100 和 200 mV 之间的 $V_{TX-DIFF-PP}$ 。



A-0574A

Figure 8-12 2.5 and 5.0 GT/s Transmitter Margining Voltage Levels and Codes

8.3.5 Tx Jitter Parameters

对于所有数据速率，抖动限制的定义都是相同的，尽管它们各自的值会随数据速率而变化。抖动是使用 Compliance Pattern 在零交叉点以 Full Speed 测量的。在测量特定的 Tx 通道时，有必要确保所有其他 PCI Express 通道都在传输 Compliance Pattern，以便捕获 Tx 芯片和封装的串扰效应。在测量 Tx 抖动时，DUT 需要驱动其输出，其输出应与系统环境中正常工作期间产生的输出一样。测量抖动时，应选择产生最低抖动值的 Preset 值。

8.3.5.1 Post Processing Steps to Extract Jitter

测得的 Tx 抖动以 Tx 引脚为参考，并取决于要测量的抖动类型和测试的参考时钟架构，随后参考恢复的数据时钟，与数据同时捕获的嵌入式参考时钟或数据边沿。在 TP1 上捕获的数据需要进行后期处理，以消除 Breakout Channel 的影响并重新生成数据时钟（当嵌入式参考时钟未与数据同时捕获时）。

8.3.5.2 Applying CTLE or De-embedding

直接探测发射器的引脚通常是不可行的，因此，数据应在 Breakout Channel 的 TP1 处进行测量。采用 Replica Channel 的方法，可以确定 Breakout Channel 的损耗与频率特性，并对该通道去嵌 (de-embedding)，从而得到有效参考 DUT 引脚的测量结果。注意，由于去嵌会放大 HF 噪声，因此对去嵌存在实际的频率截止限制。由于去嵌会放大 HF 信道和测量噪声，因此必须根据 Table 8-4 所示的数据速率将 HF 截止限值应用于去嵌。

Table 8-4 Recommended De-embedding Cutoff Frequency

Data Rate	HF Cutoff limit for de-embedding
8.0 GT/s	8 GHz - 12 GHz
16.0 GT/s	20 GHz
32.0 GT/s	33 GHz

抖动被分解为数据相关的抖动和不相关抖动。该分离过程有效地将由封装效应引起的抖动与由信号完整性效应引起的抖动分开。结果，不相关的抖动定义了将在 PAD 上出现的抖动。

作为以 16.0 GT/s 的速度去嵌的替代方法，可以将参考均衡器中的 -12 dB CTLE 应用于 TP1 处测量的数据，以测量所有不相关的抖动参数（not DDJ）。

建议将用于去嵌的 s 参数测量为至少奈奎斯特频率的 3 倍。

作为以 32.0 GT/s 去嵌的替代方法，可以将参考均衡器中的任何 CTLE 曲线应用于 TP1 处测量的数据，以测量所有不相关的抖动参数（not DDJ）。使用给出 $T_{TX-UPW-TJ}$ 最低结果的 CTLE 曲线。

如果同时使用去嵌和 CTLE 方法并给出不同的结果，则仅使用不相关的抖动参数的较低值。

8.3.5.3 Independent Refclk Measurement and Post Processing

发送器可以在独立 Refclk（IR）模式下运行，在这种情况下，发送器可能不提供 Refclk 输出。在这种情况下，需要进行单端口抖动测量。后处理算法必须为要测试的参考时钟架构采用适当模型的 CDR。

8.3.5.4 Embedded and Non Embedded Refclk Measurement and Post Processing

当正在发送的 PCIe 设备从外部源驱动其 Refclk 引脚时，它允许使用干净的 Refclk 驱动被测 Tx，如 Figure 8-1 所示。

该规范现在明确支持 Refclk 选项的完整矩阵，包括 Refclk 嵌入的位置，外部参考时钟的位置，在 DUT 的引脚上可用的参考时钟以及在 DUT 的引脚上不可用的参考时钟。Table 8-5 列出了四种可能组合中每种组合的后处理要求。DUT 引脚上带有 Refclk 的 Embedded Refclk 代表一种特殊情况，必须通过两端口测量来消除 Refclk 和数据共同的任何抖动。

如果 DUT 支持多种 Refclk 模式，如 Table 8-5 中所述，则需要在其支持的每种 Refclk 模式下测试 Tx。

Table 8-5 Tx Measurement and Post Processing For Different Refclks

	Embedded Refclk	Non-Embedded Refclk
Refclk available at DUT pin and not testing SRIS mode	2-port measurement, CC CDR, PLL ¹ and 10 ns transport delay ²	1-port measurement, CC CDR, clean external Refclk
Refclk not available at DUT pin or testing SRIS mode	1-port measurement, SRIS CDR	1-port measurement, CC CDR, clean external Refclk

Notes:

1. 在 Refclk 部分为每个数据速率定义了 PLL 特性。
2. 有关传输延迟的讨论，请参见 Section 8.6.6。

8.3.5.5 Behavioral CDR Characteristics

Behavioral CDR 滤波器用于抑制通常由接收器中的 CDR 跟踪的低频抖动。这样，Behavioral CDR 代表实际 CDR 实现的限制功能。Behavioral CDR 的滚降特性取决于相应的 DUT 是否支持嵌入式与非嵌入式 Refclk，工作于 CC 还是 IR 模式，以及 Refclk 引脚是否可用于探测（请参见 Table 8-5）。在所有情况下，Behavioral CDR 代表高通滤波器功能，其中角频率取决于 Tx 数据速率。Figure 8-13 显示了 f_{3dB} 的 1.5 MHz、5.0 MHz 和 10 MHz 的 CC 一阶 CDR 传递函数，分别对应于 2.5 GT/s、5.0 GT/s 和 8.0 GT/s。10 MHz Behavioral CDR 还可用于 16.0 GT/s 的 CC 发送器和 CC 参考时钟测试，并且在不支持 32.0 GT/s 的情况下，也可用于接收器压力眼校准。

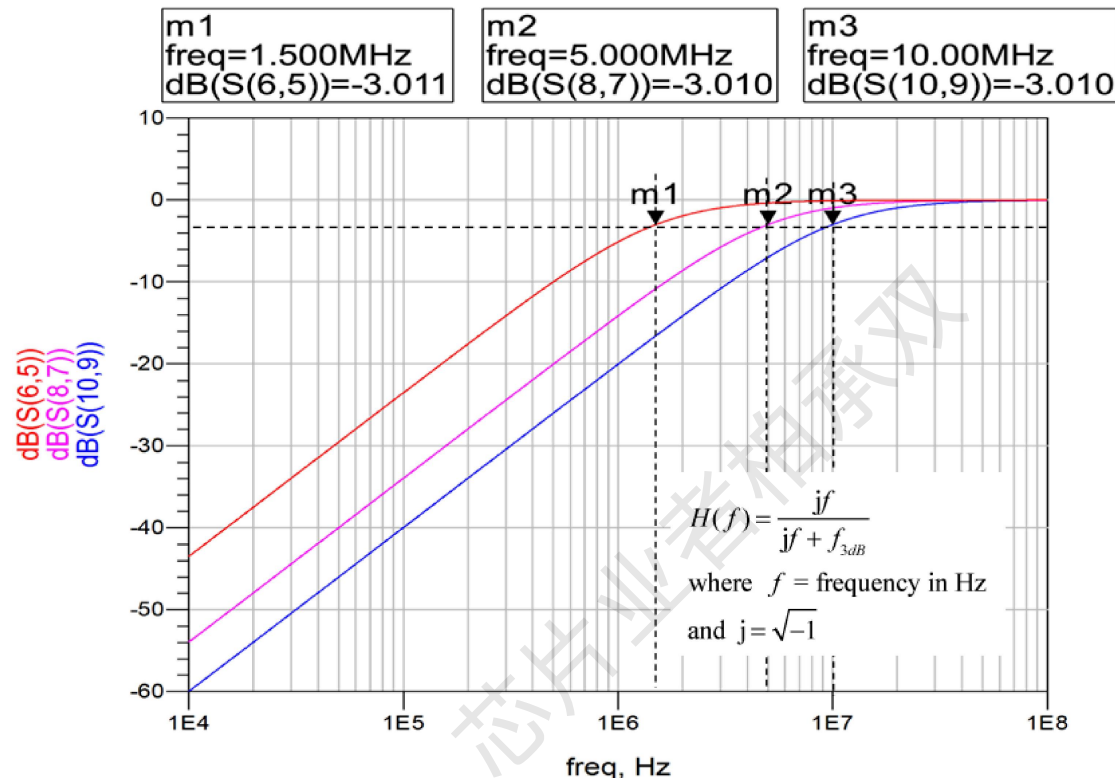


Figure 8-13 First Order CC Behavioral CDR Transfer Functions

Figure 8-14 说明了对应于 2.5 GT/s 和 5.0 GT/s 的二阶 CDR 传递函数。这些函数分别由 0.707 的 ζ 和 1.5 MHz 和 5.0 MHz 的 f_{3dB} 定义。8.0 GT/s、16.0 GT/s 和 32.0 GT/s 的行为传递函数近似于 Section 8.4.2.2.1 中所示的分段线性正弦抖动 (Sj) 掩码。具有 SRIS 功能的发送器必须使用这些行为传递函数进行评估。

注意：Common Clock (CC) 和 Independent Reference Clock (IR) 架构不可互操作——尽管可以设计满足两个电气要求的单个接收器。

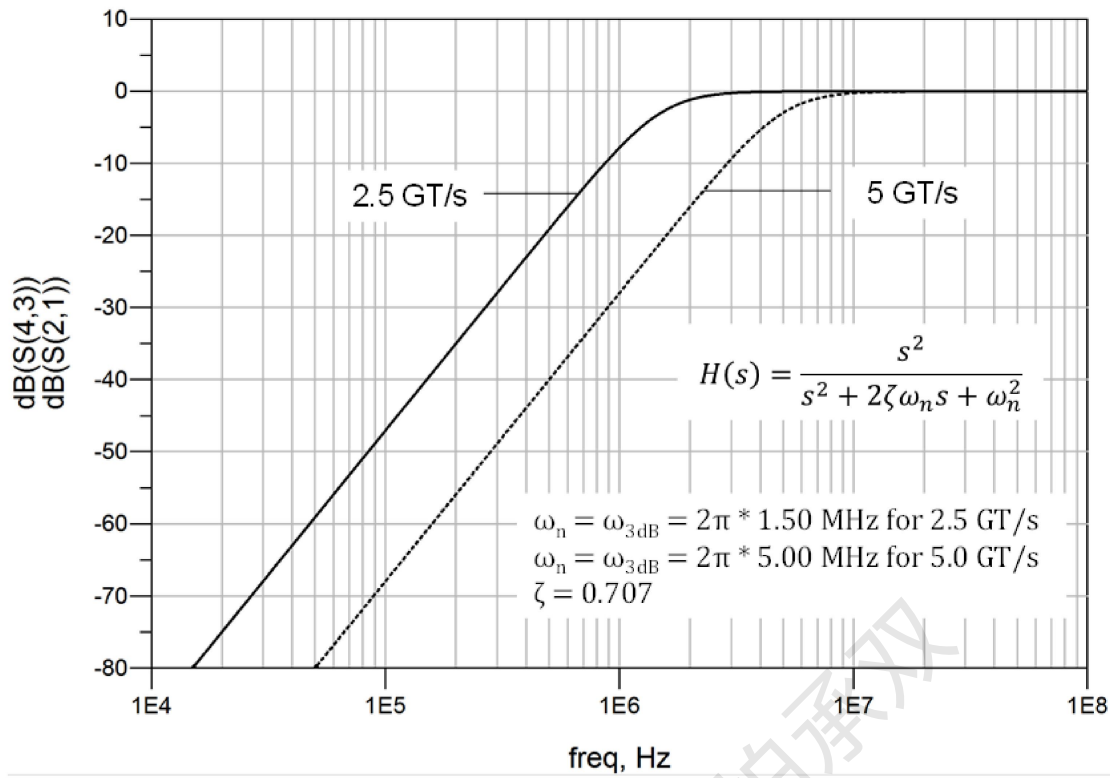


Figure 8-14 2nd Order Behavioral SRIS CDR Transfer Functions for 2.5 GT/s and 5.0 GT/s

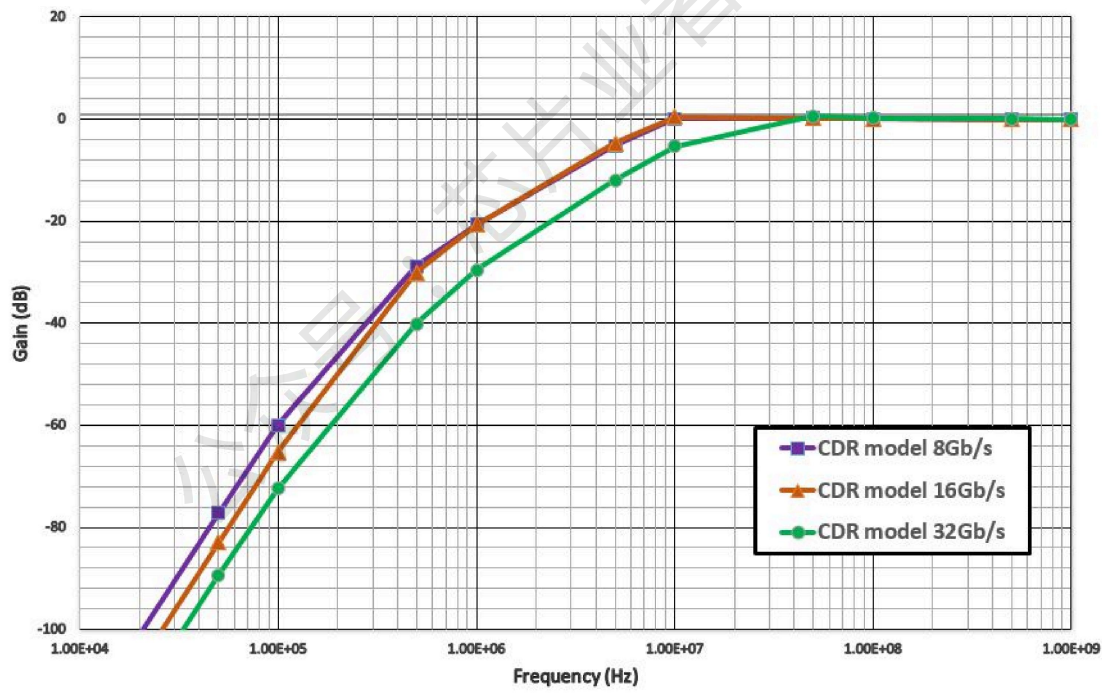


Figure 8-15 Behavioral SRIS CDR Function for 8.0 GT/s and SRIS and CC CDR for 16.0 GT/s

$$H(s) = \frac{s^2}{s^2 + sA + B} \times \frac{s^2 + 2\zeta_2\omega_0s + \omega_0^2}{s^2 + 2\zeta_1\omega_0s + \omega_0^2} \times \frac{s}{s + \omega_1}$$

$$\zeta_1 = \frac{1}{\sqrt{2}}$$

$$\zeta_2 = 1$$

$$\omega_0 = 10^7 \times 2\pi$$

$$\omega_1 = 4 \times 10^5 \times 2\pi$$

Equation 8-3 Behavioral SRIS CDR at 8.0 GT/s and SRIS and CC Behavioral CDR at 16.0 GT/s

$$A = 10^7 \times 2\pi$$

$$B = 2.2 \times 10^{12} \times (2\pi)^2$$

Equation 8-4 SRIS Behavioral CDR Parameters at 8.0 GT/s

$$A = 9.5 \times 10^6 \times 2\pi$$

$$B = 4.36 \times 10^{12} \times (2\pi)^2$$

Equation 8-5 SRIS and CC Behavioral CDR Parameters at 16.0 GT/s

$$H(s) = \frac{s^2}{(s + \omega_0) \times (s + \omega_1)} \times \frac{s^2 + 2\zeta_2\omega_0s + \omega_0^2}{s^2 + 2\zeta_1\omega_0s + \omega_0^2} \times \frac{s}{s + \omega_{LF}}$$

$$\zeta_1 = \frac{1}{\sqrt{2}}$$

$$\zeta_2 = 1$$

$$\omega_0 = 20 \times 10^6 \times 2\pi$$

$$\omega_1 = 1.1 \times 10^6 \times 2\pi$$

$$\omega_{LF} = 160 \times 10^3 \times 2\pi$$

Equation 8-6 SRIS and CC Behavioral CDR Parameters at 32.0 GT/s

8.3.5.6 Data Dependent and Uncorrelated Jitter

发送器的抖动在 TP1 处测量，然后反嵌到引脚中，它既包含数据相关的成分，又包含不相关的成分。数据相关组件的出现主要是由于封装损耗和反射所致。不相关的抖动源包括 PLL 抖动、电源噪声和串扰。该规范将抖动分为不相关的和与数据相关的引脚，因为这种分离与 Tx 和 Rx 均衡功能非常匹配。Tx 或 Rx 均衡无法缓解不相关的抖动，抖动表示无法通过均衡恢复的时序裕量。重要的是，不要将通过均衡（取决于数据）可恢复的裕量计算为不可恢复的抖动。

一旦从 Tx 测量中消除了与数据有关的抖动，便有可能将其余的抖动分解为 Tj 和确定性抖动（Dual Dirac Model, DJDD）分量。高频抖动（在通道中会受到抖动放大的影响）由单独的 $T_{TX-UPW-DJDD}$ 和 $T_{TX-UPW-TJ}$ 参数处理。

8.3.5.7 Data Dependent Jitter

虽然 DDJ 在规范中未明确定义为参数，但有必要将 DDJ 分开以消除封装损耗影响，并参考 Tx 芯片 PAD 的相关抖动参数。可以通过平均技术将抖动分离为数据相关和不相关的分量；例如，通过让 Tx 重复驱动作为重复模式的 Compliance Test Pattern。

Figure 8-16 说明了 Tx 数据、恢复时钟和数据的 PDF（抖动分布柱状图）之间的关系。与数据相关的抖动定义为每个零交叉点的 PDF 平均值与相应的恢复时钟沿之间的时间增量。必须积累足够数量的重复模式才能为每个过渡生成稳定的平均值和 PDF 轮廓。然后利用这些 PDF 提取不相关的抖动参数。

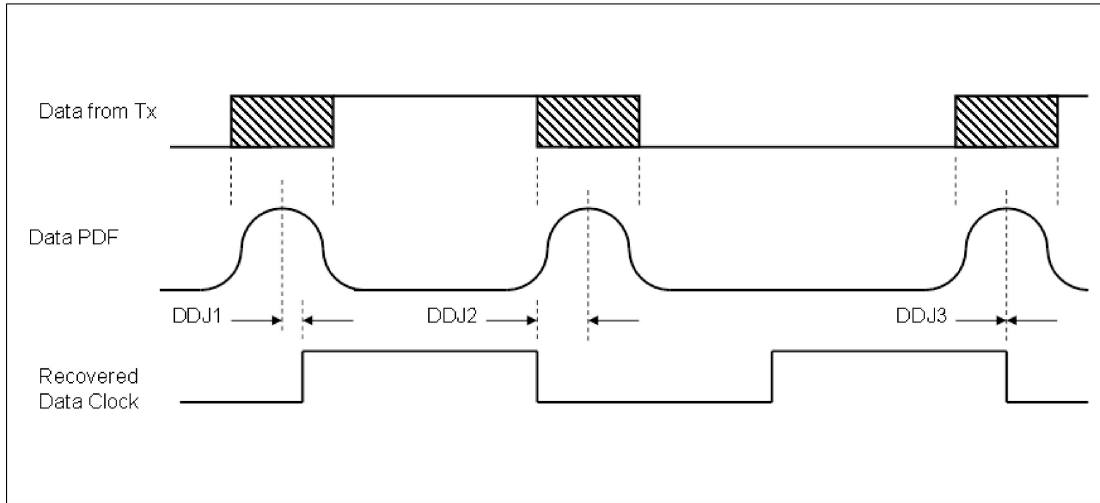


Figure 8-16 Relation Between Data Edge PDFs and Recovered Data Clock

8.3.5.8 Uncorrelated Total Jitter and Deterministic Jitter (Dual Dirac Model) (T_{TX-UTJ} and $T_{TX-UDJDD}$)

Uncorrelated Total Jitter (UTJ) 和 Uncorrelated Deterministic Jitter (Dual Dirac Model) (UDJDD) 参考通过 CDR 跟踪功能生成的恢复数据时钟。从每个 PDF 中删除 DDJ 分量并组合了 Pattern 中所有边沿的 PDF 后, 可以推导出不相关的抖动。通过将 PDF 适当地转换为 Q 比例, 可以获得 Figure 8-17 所示的图形关系, 从中可以导出 T_{TX-UTJ} 和 $T_{TX-UDJDD}$ 。注意, 在 Figure 8-17 中, 两条 PDF 曲线是相同的, 但是由 $1/RJ_{LH}$ 和 $1/RJ_{RH}$ 定义的拟合斜率可能不同。

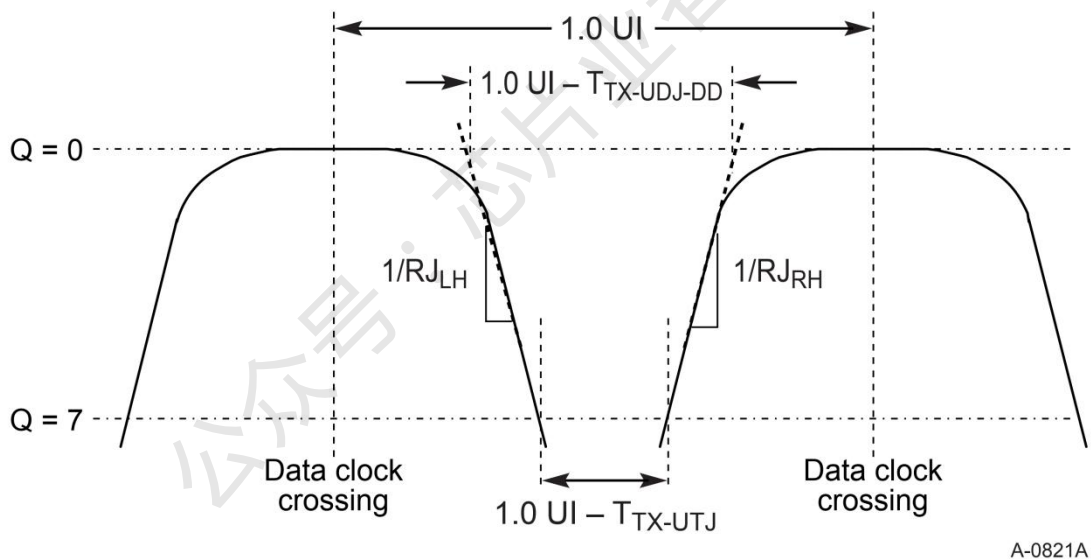


Figure 8-17 Derivation of T_{TX-UTJ} and $T_{TX-UDJDD}$

8.3.5.9 Random Jitter (T_{TX-RJ}) (informative)

随机抖动与依赖数据的抖动无关。可以通过从 T_{TX-UTJ} 中减去 $T_{TX-UDJDD}$ 来获得 T_{TX-RJ} , 并且在规范中仅将 T_{TX-RJ} 作为信息性参数而包括在内。它通常用作表征 PLL 性能的基准。

8.3.5.10 Uncorrelated Total and Deterministic PWJ ($T_{TX-UPW-TJ}$ and $T_{TX-UPW-DJDD}$)

脉宽抖动 (PWJ, Pulse Width Jitter) 定义为相隔 1.0 UI 的连续边沿上的沿到沿的偏差。Figure 8-18 说明了 PWJ 的定义方式, 表明

了它通常出现在连续 UI 的两个数据边沿上。为了准确地量化 PWJ ，首先必须消除 ISI 对 PWJ 的贡献。未抖动边沿任一侧的阴影区域表示该边沿周围的最大抖动量。注意，一个边沿的抖动被认为与另一边无关。

PWJ 的等效描述可以通过参考固定的前沿获得，并且两个边沿的抖动贡献都出现在后沿。这种方法产生一个 PDF，如下所示。Pattern 中的每个 1 UI 宽脉冲都会因 ISI 和 $F/2$ 抖动而导致此 PDF 具有不同的中值。计算 Pattern 中奇数和偶数 UI 编号下 1 个 UI 宽脉冲的中位数平均值，并将奇数和偶数 PDF 标准化为适当的中位数平均值，并相加以形成奇数 UI PDF 和偶数 UI PDF。最终 PDF 是根据 UI PDF 的奇数和偶数之和得出的。这里的关键思想是，不相关的 PWJ 的最终 PDF 应包含 $F/2$ 或奇/偶 UI 抖动。

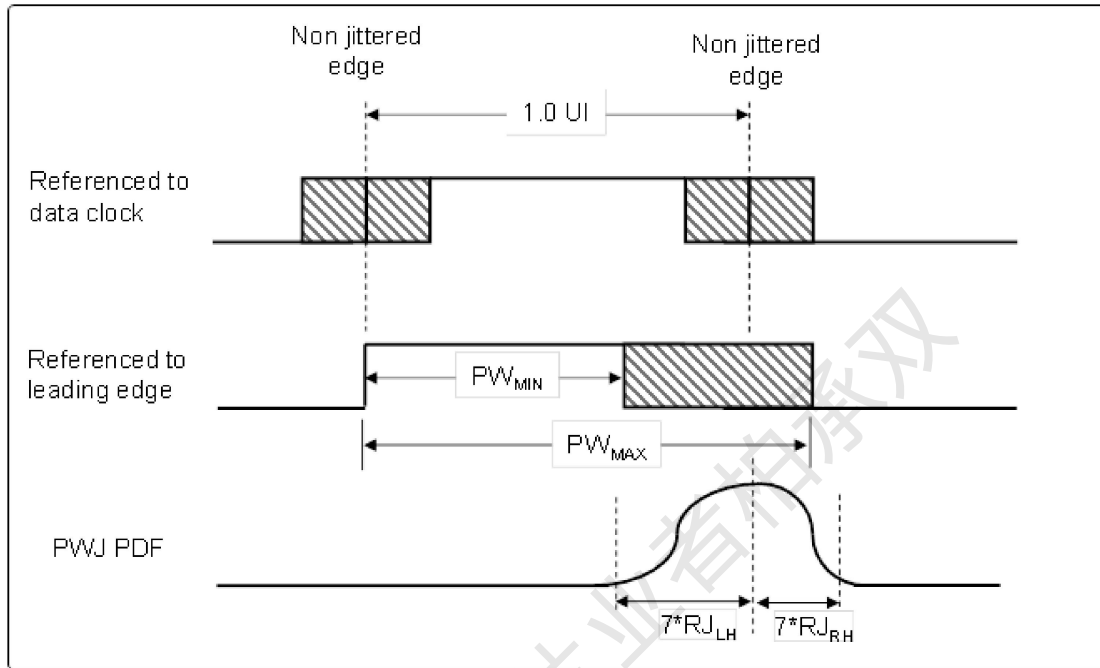


Figure 8-18 PWJ Relative to Consecutive Edges 1 UI Apart

可以将每个非抖动边沿周围的抖动 PDF 转换为 Q-scale（请参见 Figure 8-19），从中可以以类似于 T_{TX-UTJ} 和 $T_{TX-UJDJDD}$ 的方式导出 $T_{TX-UPW-TJ}$ 和 $T_{TX-UPW-DJDD}$ 。请注意，PDF 可能不是对称的，而且感兴趣的尾部是 RJ_{LH} ，因为它表示脉冲压缩。

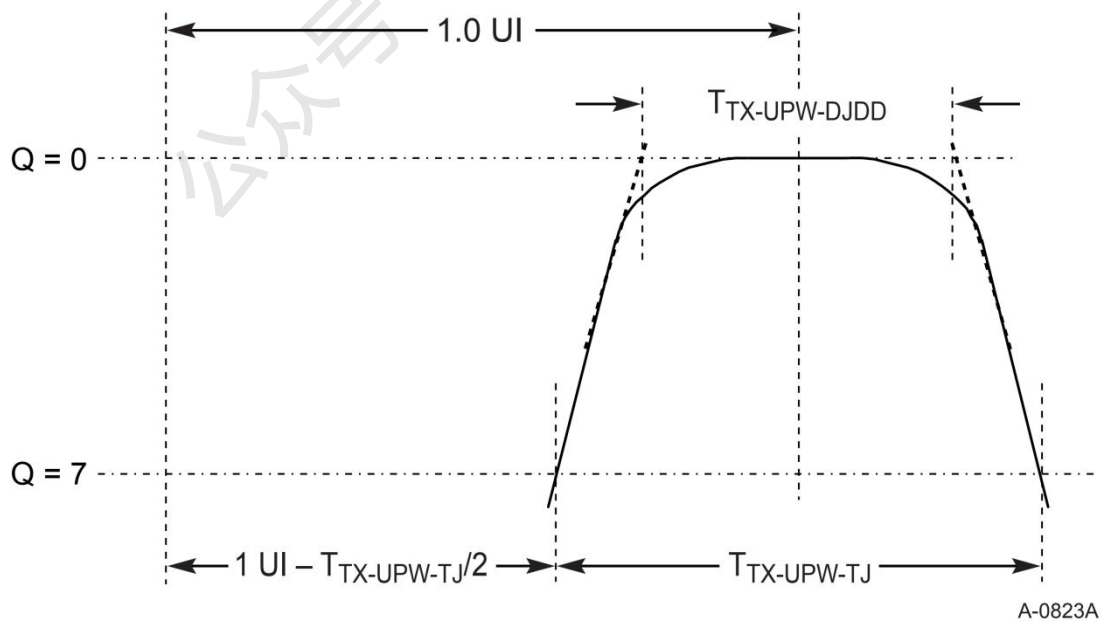


Figure 8-19 Definition of $T_{TX-UPW-DJDD}$ and $T_{TX-UPW-TJ}$ Data Rate Dependent Transmitter Parameters

8.3.6 Data Rate Dependent Parameters

注意：之前在设备引脚上定义了 2.5 GT/s 和 5.0 GT/s 的抖动裕量。对于 2.5 GT/s，通过单个参数定义抖动，该参数将 DDJ, UDJDD, UTJ, PWJ-DDJ 和 PWJ-TJ 集为一个数量。因此，有必要首先去除 DDJ 抖动分量。由于没有先前的 UDJ-UTJ 分离，因此将 T_{TX-UTJ} 和 $T_{TX-UDJDD}$ 设置为彼此相等。同样，没有 UTJ-PWJ 分离，因此有必要假设整个不相关的抖动都是 PWJ，它在 1 UI 宽脉冲的连续边沿相反地发生。

对于 5.0 GT/s，必须执行类似的 DDJ 去除操作以获得 UTJ。但是，用于 5.0 GT/s 的[PCIe-3.0]确实指定了 Rj，因此可以获得 $T_{TX-UDJDD}$ 的不同值。类似地，对于 5.0 GT/s 的[PCIe-3.0]定义了最小脉冲宽度，假定为 100%Dj，可以从中导出 $T_{TX-UPW-TJ}$ 和 $T_{TX-UPW-DJDD}$ 。

Table 8-6 Data Rate Dependent Transmitter Parameters

Symbol	Parameter description	2.5 GT/s	5.0 GT/s	8.0 GT/s	16.0 GT/s	32.0 GT/s	Units	Notes
UI (Tx)	Unit Interval	(min) 399.88 (max) 400.12 (300 PPM)	(min) 199.94 (max) 200.06 (300 PPM)	(min) 124.9625 (max) 125.0375 (300 PPM)	(min) 62.48125 (max) 62.51875 (300 PPM)	(min) 31.246875 (max) 31.253125 (100 PPM)	ps	Does not include SSC variations
BW_{TX-PKG-PLL1}	Tx PLL bandwidth corresponding to PKG _{TX-PLL1}	(min) 1.5 (max) 22.0	(min) 8.0 (max) 16.0	(min) 0.5 (max) 4.0	(min) 0.5 (max) 4.0	(min) 0.5 (max) 1.8	MHz	Second order PLL jitter transfer bounding function. Notes 1, 2, 9.

Symbol	Parameter description	2.5 GT/s	5.0 GT/s	8.0 GT/s	16.0 GT/s	32.0 GT/s	Units	Notes
<i>BW_{TX-PKG-PLL2}</i>	Tx PLL bandwidth corresponding to <u>PKG_{TX-PLL2}</u>	N/A	(min) 5.0 (max) 16.0	(min) 0.5 (max) 5.0	(min) 0.5 (max) 5.0	N/A	MHz	2.5 and 32.0 GT/s specify only one combination of PLL BW and jitter. Notes 1, 2, 9.
<i>PKG_{TX-PLL1}</i>	Tx PLL peaking corresponding to <u>BW_{TX-PKG-PLL1}</u>	(max) 3.0	(max) 3.0	(max) 2.0	(max) 2.0	(max) 2.0	dB	Second order PLL jitter transfer bounding function. Notes 1, 2.
<i>PKG_{TX-PLL2}</i>	Tx PLL peaking corresponding to <u>BW_{TX-PKG-PLL2}</u>	N/A	1.0 (min)	(max) 1.0	(max) 1.0	N/A	dB	2.5 and 32.0 GT/s specify only one combination of PLL BW and jitter. Notes 1, 2.
<i>V_{TX-DIFF-PP}</i>	Differential peak-peak Tx voltage swing for full swing operation	800 (max) 1200	800 (max) 1200	800 (max) 1300	800 (max) 1300	800 (max) 1300	mVPP	As measured with compliance test load. Defined as $2 \times V_{TXD+} - V_{TXD-} $. Note 3.
<i>V_{TX-DIFF-PP-LOW}</i>	Differential peak-peak Tx voltage swing for low swing operation	(min) 400 (max) 1200	400 1200	(min) 400 (max) 1300	(min) 400 (max) 1300	(min) 400 (max) 1300	mVPP	As measured with compliance test load. Defined as $2 \times V_{TXD+} - V_{TXD-} $. Note 3.
<i>V_{TX-EIEOS-FS}</i>	Minimum voltage swing during EIEOS for full swing signaling	N/A	N/A	250 (min)	250 (min)	250 (min)	mVPP	Note 4
<i>V_{TX-EIEOS-RS}</i>	Minimum voltage swing during EIEOS for reduced swing signaling	N/A	N/A	232 (min)	232 (min)	232 (min)	mVPP	Note 4
<i>ps21_{TX-ROOT-DEVICE}</i>	Pseudo package loss of a device containing root ports	N/A	N/A	(max) 3.0	(max) 5.0	(max) 8.5	dB	Note 5.
<i>ps21_{TX-NON-ROOT-DEVICE}</i>	Pseudo package loss for all devices not containing root ports	N/A	N/A	(max) 3.0	(max) 3.0	(max) 3.7	dB	Note 5.

Symbol	Parameter description	2.5 GT/s	5.0 GT/s	8.0 GT/s	16.0 GT/s	32.0 GT/s	Units	Notes
<i>ILfitTX-ROOT-DEVICE</i>	Fitted insertion loss at Nyquist	N/A	N/A	N/A	N/A	(max) 9.0	dB	Note 8
<i>ILfitTX-NON-ROOT-DEVICE</i>	Fitted insertion loss at Nyquist	N/A	N/A	N/A	N/A	(max) 4.0	dB	Note 8
<i>VTX-BOOST-FS</i>	Maximum nominal Tx boost ratio for full swing	N/A	N/A	8.0	8.0 (min)	8.0 (min)	dB	Nominal boost beyond 8.0 dB is limited to guarantee that ps21TX limits are satisfied.
<i>VTX-BOOST-RS</i>	Maximum nominal Tx boost ratio for reduced swing	N/A	N/A	2.5	~2.5 (min)	~2.5 (min)	dB	Assumes ±1.0 dB tolerance from diagonal elements in Figure 8-9.
<i>EQTX-COEFF-RES</i>	Tx coefficient resolution	N/A	N/A	1/(min) 63 1/(max) 24	1/(min) 63 1/(max) 24	1/(min) 63 1/(max) 24	N/A	
<i>VTX-DE-RATIO-3.5dB</i>	Tx de-emphasis ratio for 2.5 and 5.0 GT/s	(min) 2.5 (max) 4.5	(min) 2.5 (max) 4.5	N/A	N/A	N/A	dB	
<i>VTX-DE-RATIO-6dB</i>	Tx de-emphasis ratio for 5.0 GT/s	N/A	(min) 4.5 (max) 7.5	N/A	N/A	N/A	dB	
<i>TTX-UTJ</i>	Tx uncorrelated total jitter	(max) 100	(max) 50	(max) 27.55	(max) 11.8	(max) 6.25	ps PP at 10 ⁻¹²	See Section 8.3.5.8 for details. Note 9
<i>TTX-UTJ-SRIS</i>	Tx uncorrelated total jitter when testing for the IR clock mode with SSC	(max) 100	(max) 66.51	(max) 33.83	(max) 15.85	(max) 7.15	ps PP at 10 ⁻¹²	See Section 8.3.5.8 for details.
<i>TTX-UDJDD</i>	Tx uncorrelated Dj for non-embedded Refclk	(max) 100	(max) 30	(max) 12	(max) 6.25	(max) 3.125	ps PP	See Section 8.3.5.8 for details.
<i>TTX-UPW-TJ</i>	Total uncorrelated pulse width jitter	N/A	(max) 40	(max) 24	(max) 12.5	(max) 6.25	ps PP at 10 ⁻¹²	See Section 8.3.5.10 for details
<i>TTX-UPW-DJDD</i>	Deterministic DjDD	N/A	(max) 40	(max) 10	(max) 5	(max) 2.5	ps PP	See Section 8.3.5.10 for details

Symbol	Parameter description	2.5 GT/s	5.0 GT/s	8.0 GT/s	16.0 GT/s	32.0 GT/s	Units	Notes
	uncorrelated pulse width jitter							
<i>T_{TX-RJ}</i>	Tx Random jitter	N/A	1.4 - 3.6	1.17 - 1.97	0.40 - 0.84	0.23 - 0.45	ps RMS	Informative parameter only. Range of Rj possible with zero to maximum allowed <u>T_{TX-UJD}</u> . Note 9
<i>L_{TX-SKEW}</i>	Lane-to-Lane Output Skew	(max) 2.5	(max) 2.0	(max) 1.5	(max) 1.25	(max) 1.25	ns	Between any two Lanes within a single Transmitter.
<i>RL_{TX-DIFF}</i>	Tx package plus die differential return loss	See Figure 8-20					dB	Note 6
<i>RL_{TX-CM}</i>	Tx package plus die common mode return loss	See Figure 8-21					dB	Note 6

Notes:

1. 为 2.5 和 32.0 GT/s 的实现指定了 PLL BW 和峰值的单一组合。对于其他数据速率，指定了 PLL BW 和峰值的两种组合，以允许设计人员在两个参数之间进行权衡。
2. Tx PLL 带宽必须位于上表中给出的最小和最大范围之间。PLL 峰值必须低于上面列出的值。注意：PLL B/W 从零开始扩展到上表中指定的值。PLL BW 定义在其传递函数与-3dB 交叉的点。
3. 参阅 Section 8.3.3.6 和 Section 8.3.3.7 获取测量信息。
4. $V_{TX-EIEOS-FS}$ 和 $V_{TX-EIEOS-RS}$ 在设备引脚处进行测量，并包括封装损耗。电压限制包括 Full Swing 和 Reduced Swing 模式。发送器必须在 TS1 期间以 8.0、16.0 和 32.0 GT/s 的速度通告 LF 值，以确保满足这些参数。
5. 上面的数字考虑了测量误差。对于某些 Tx 封装/驱动器组合，ps21TX 可能大于 0 dB。2.5 和 5.0 GT/s 的通道一致性方法采用 8.0 GT/s 封装模型。
6. DUT 必须加电且直流隔离，并且其 data +/-data-输出必须处于低 Z 状态且为静态值。
7. 所有参数在 2.5 和 5.0 GT/s 下的参考平面是封装引脚。
8. 这些是设计参数要求——未定义针对它们的特定测试方法。
9. 对于不支持 32.0 GT/s 的 PCIe 5.0 设备，对于 8.0 和 16.0 GT/s，可以选择使用 2 MHz 作为 $BW_{TX-PKG-PLL1}$ 和 $BW_{TX-PKG-PLL2}$ 的最小值。相应的 T_{TX-UJT} 最大值在 8.0 GT/s 时为 31.25 ps，在 16.0 GT/s 时为 12.5 ps。 T_{TX-RJ} 的范围在 8.0 GT/s 时为 1.4-2.2 ps，在 16.0 GT/s 时为 0.45-0.89 ps。此类设备还可以选择使用 1 阶 10 MHz CDR 滤波器来测试 Tx，参考时钟和 CC Rx。

8.3.7 Tx and Rx Return Loss

Tx 和 Rx 的回波损耗测量结果基本相同，因此在发送器里测量就可以。回波损耗的测量是在各个 Breakout Channel 的末端进行的，并且要把 Breakout Channel 对 RL (Return Loss) 的贡献进行去嵌，从而使回波损耗与 Tx 或 Rx 引脚相关联。回波损耗的测量是使用 50 欧姆的参考阻抗进行的。Figure 8-20 定义了差分回波损耗的 pass/fail mask。差模和共模均在 50 MHz 至 16.0 GHz 的频率范围内定义。

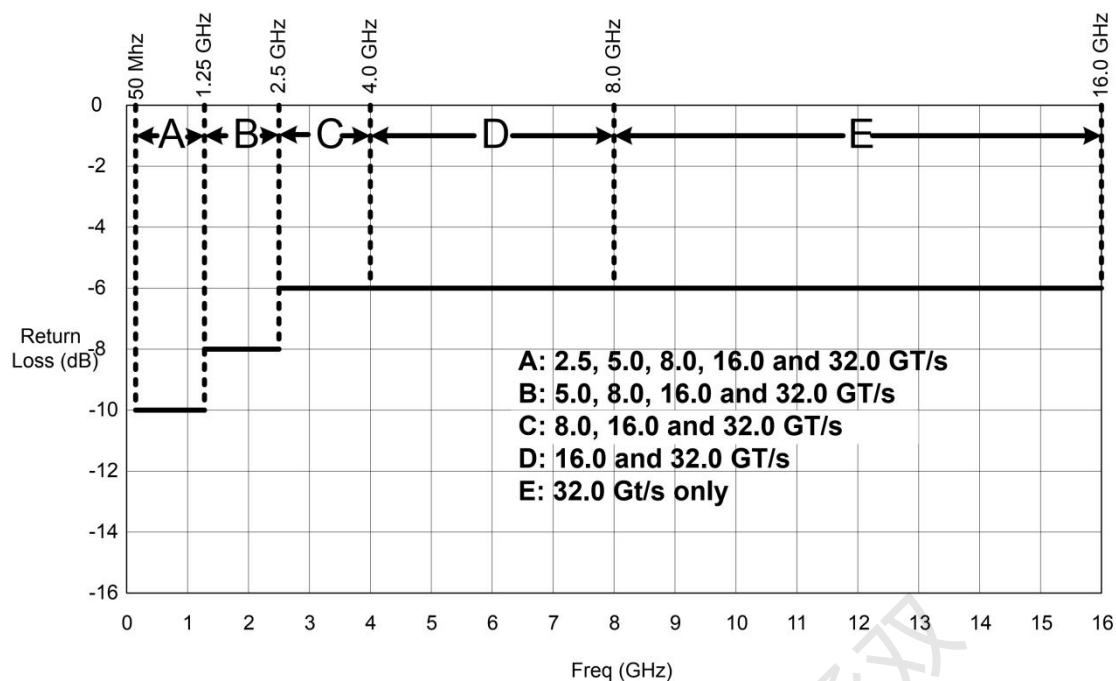


Figure 8-20 Tx, Rx Differential Return Loss Mask with 50 Ohm Reference

共模回波损耗的 pass/fail mask 如 Figure 8-21 所示。回波损耗测量要求 Tx 和 Rx 都上电，并且必须启用它们各自的终端电路。

可能需要对封装进行微探测以准确测量 RL。

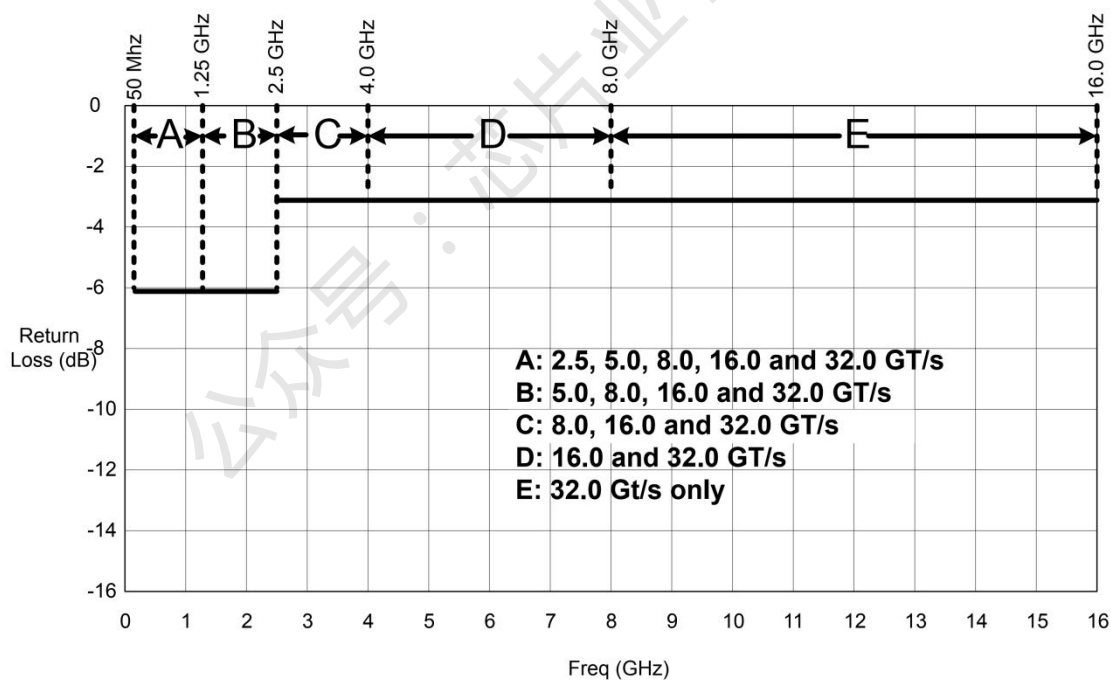


Figure 8-21 Tx, Rx Common Mode Return Loss Mask with 50 Ohm Reference

8.3.8 Transmitter PLL Bandwidth and Peaking

8.3.8.1 2.5 GT/s and 5.0 GT/s Tx PLL Bandwidth and Peaking

为发送器和接收器都定义了 PLL 带宽和峰值，以便对传播到发送数据和 CDR 的 Refclk 抖动量设置上限。在使用 Common Refclk Rx 架构的系统中，定义 PLL BW 和峰值限制还可以确保最低程度的 Tx/Rx 抖动跟踪。

2.5 GT/s PLL 特性已从 3.0 CEM 规范更改为电气基础规范。给出了 1.5 至 22 MHz 的单个 PLL 带宽范围，与 CEM 规范中定义的范围相同。CEM 规范中没有针对 2.5 GT/s PLL 给出峰值范围。但是，对于电气基础规范，现在定义了 0.01 dB 至 3 dB 的峰值范围。有必要在峰值上设置一个非零的下限，以定义拐角情况，并保持 PLL 传递函数在 ω_n 和 ζ 方面的通用数学表达式。

为 5.0 GT/s 定义了两组带宽和峰值：峰值为 3 dB 的 8-16 MHz 和峰值为 1 dB 的 5.0-16.0 MHz。这使设计人员可以选择在低峰值 PLL 设计与低带宽设计之间进行权衡。对于 2.5 GT/s，单个 PLL 带宽和峰值范围指定为 1.5-22 MHz，峰值为 0.01 至 3.0 dB。

8.3.8.2 8.0 GT/s, 16.0 GT/s and 32.0 GT/s Tx PLL Bandwidth and Peaking

8.0 和 16.0 GT/s 的 Tx 和 Rx PLL 带宽为 0.5-5 MHz（峰值为 1.0 dB）或 0.5-4 MHz（峰值为 2.0 dB）。32.0 GT/s 的 Tx 和 Rx PLL 带宽为 0.5 至 1.8 MHz，峰值为 2.0 dB。8.0 GT/s 的 PLL BW 范围大大低于为 5.0 GT/s 或 2.5 GT/s 指定的 PLL 带宽，以减少接收器采样锁存器的 Refclk 抖动量。峰值的下限给出了 0.01 dB 的非零值，以定义所有峰值的拐角。

8.3.8.3 Series Capacitors

PCI Express 需要使用串联电容器来在 Tx 和 Rx 之间提供一个 DC 模块。最小/最大电容分布已从 2.5 和 5.0 GT/s 标准减小，而最大值已略有增加。由于在 8.0 GT/s，16.0 GT/s 和 32.0 GT/s 下实现了数据加扰，此更改对于最小化 DC 漂移效应是必要的。请注意，2.5 GT/s 和 5.0 GT/s 信令也必须通过这些大值的电容器传播，但是电容器尺寸的小幅增加对 2.5 GT/s 或 5.0 GT/s 信令或低频带内信令（例如接收机检测）没有不利影响。

8. 3. 9 Data Rate Independent Tx Parameters

Table 8-7 Data Rate Independent Tx Parameters

Symbol	Parameter Description	Value	Units	Notes
$V_{TX-AC-CM-PP}$	Tx AC peak-peak common mode voltage	(max) 150	mVPP	Over the 0.03-500 MHz range: no more than 100 mVPP at 5.0 GT/s, and no more than 50 mVPP at 8.0, 16.0, or 32.0 GT/s. Note 1.
$V_{TX-DC-CM}$	Tx DC peak-peak common mode voltage	(min) 0 (max) 3.6	V	Total single-ended voltage a Tx can supply under any conditions with respect to ground. See also the $I_{TX-SHORT}$. See Note 2
$V_{TX-CM-DC-ACTIVE-IDLE-DELTA}$	Absolute delta of DC Common Mode Voltage during L0 and Electrical Idle	(min) 0 (max) 100	mV	$ V_{TX-CM-DC} \text{ [during L0]} - V_{TX-CM-IDLE-DC} \text{ [during Electrical Idle]} \leq 100 \text{ mV}$ $V_{TX-CM-DC} = DC_{(avg)} \text{ of } V_{TX-D+} + V_{TX-D-} / 2$ $V_{TX-CM-IDLE-DC} = DC_{(avg)} \text{ of } V_{TX-D+} + V_{TX-D-} / 2 \text{ [Electrical Idle]}$
$V_{TX-CM-DC-LINE-DELTA}$	Absolute Delta of DC Common Mode Voltage between D+ and D-	(min) 0 (max) 25	mV	$ V_{TX-CM-DC-D+} \text{ [during L0]} - V_{TX-CM-DC-D-} \text{ [during L0]} \leq 25 \text{ mV}$ $V_{TX-CM-DC-D+} = DC_{(avg)} \text{ of } V_{TX-D+} \text{ [during L0]} $ $V_{TX-CM-DC-D-} = DC_{(avg)} \text{ of } V_{TX-D-} \text{ [during L0]} $
$V_{TX-IDLE-DIFF-AC-p}$	Electrical Idle Differential Peak Output Voltage	(min) 0 (max) 20	mV	$V_{TX-IDLE-DIFF-AC-p} = V_{TX-IDLE-D+} - V_{TX-IDLE-D-} \leq 20 \text{ mV}$. Voltage must be band pass filtered to remove any DC component and HF noise. The bandpass is constructed from two first-order filters, the high pass and low pass 3 dB bandwidths are 10 kHz and 1.25 GHz, respectively.
$V_{TX-IDLE-DIFF-DC}$	DC Electrical Idle Differential Output Voltage	(min) 0 (max) 5	mV	$V_{TX-IDLE-DIFF-DC} = V_{TX-IDLE-D+} - V_{TX-IDLE-D-} \leq 5 \text{ mV}$. Voltage must be low pass filtered to remove any AC component. The low pass filter is first-order with a 3 dB bandwidth of 10 kHz.
$V_{TX-RCV-DETECT}$	The amount of voltage change	(max) 600	mV	The total amount of voltage change in a positive direction that a Transmitter can apply to sense whether a low impedance

Symbol	Parameter Description	Value	Units	Notes
	allowed during Receiver detection			Receiver is present. Note: Receivers display substantially different impedance for $V_{IN} < 0$ vs $V_{IN} > 0$.
$T_{TX-IDLE-MIN}$	Minimum time spent in Electrical Idle	20 (min)	ns	The time a Tx must spend in Electrical Idle before transitioning to another state
$T_{TX-IDLE-SET-TO-IDLE}$	Maximum time to transition to a valid Electrical Idle after sending an EIOS	(max) 8	ns	After sending the required number of EIOSs, the Transmitter must meet all Electrical Idle specifications within this time. This is measured from the end of the last UI of the last EIOS to the Transmitter in Electrical Idle.
$T_{TX-IDLE-TO-DIFF-DATA}$	Maximum time to transition to valid diff signaling after leaving Electrical Idle	(max) 8	ns	Maximum time to transition to valid diff signaling after leaving Electrical Idle. This is considered a debounce time to the Tx.
$T_{CROSSLINK}$	Crosslink random timeout	(max) 1.0	ms	This random timeout helps resolve potential conflicts in the crosslink configuration.
C_{TX}	AC Coupling Capacitor	(min) 176 (max) 265	nF	All Transmitters shall be AC coupled. The AC coupling is required either within the media or within the transmitting component itself.
$Z_{TX-DIFF-DC}$	DC differential Tx impedance	(max) 120	Ω	Low impedance defined during signaling. The minimum value is bounded by $R_{LTX-DIFF}$.
$I_{TX-SHORT}$	Tx short circuit current	(max) 90	ma	Tx short circuit current. Note 2

Notes:

1. 在没有 de-embedding 掉 breakout channel 的情况下在 TP1 处测量 $V_{TX-AC-CM-PP}$ 。此参数仅捕获设备 CM，而无意捕获系统 CM 噪声。对于每个数据速率，data rate/2 的 -3 dB 点将应用于 LPF。
2. $I_{TX-SHORT}$ 和 $V_{TX-DC-CM}$ 规定了发送器可以产生的最大电流/电压电平，因此定义了接收器必须承受的最坏情况下的瞬变。

8.4 Receiver Specifications

8.4.1 Receiver Stressed Eye Specification

所有接收器支持的速率都通过施加在校准信道（Calibration Channel）上的压力眼进行测试，该信道近似于实际信道中遇到的最坏情况下的损耗特性。在接收器锁存器的输入处定义恢复的眼图。对于 2.5 GT/s 和 5.0 GT/s，此点等效于 Rx 引脚。对于 8.0 GT/s、16.0 GT/s 和 32.0 GT/s，这等效于应用了 behavioral Rx equalization 后 Rx 裸片 PAD 上的信号。

8.4.1.1 Breakout and Replica Channels

最接近 Rx DUT 的实际测量点是分支信道末端的同轴连接器，而感兴趣的 Rx 参考点是 Rx 的引脚。如果 DUT 是理想的终端，则通过构建与分支信道的电气特性紧密匹配的副本信道，就可以近似测量 DUT 引脚上出现的信号。Rx 分支信道和副本信道的阻抗目标为 85 Ω 差分 和 42.5 Ω 单端，并且阻抗容差应保持在 $\pm 5\%$ 或更好的范围内。请注意，Tx 测试分支信道和副本信道的阻抗目标仍然是 100 差分差分和 50 欧姆单端。

在 Figure 8-22 中，在 TP2 处观察压力眼，信号源连接到校准通道。每个数据速率都需要一个校准通道。一旦压力眼被校准，信号源就施加到 DUT 上。请注意，TP1-TP2 涵盖了信号源和 DUT 引脚等效物之间的所有组件，从而捕获由于布线和副本/分支通道（Rx 封装除外）导致的总体插入损耗中的所有非理想特性。从发生器到 TP1 的 AC 和 DC 损耗假定为零，或者必须以其他方式去嵌。如 Figure 8-22 所示，在 TP3 处校准了信号发生器的 $V_{RX-LAUNCH}$ （差分电压摆幅）和 Tx 均衡。一些信号发生器使用电缆进行出厂校准，并且尝试对这些校准去嵌到 TP1 可能会导致误差。只有从 TP3 开始的损耗才计入整个校准通道损耗。

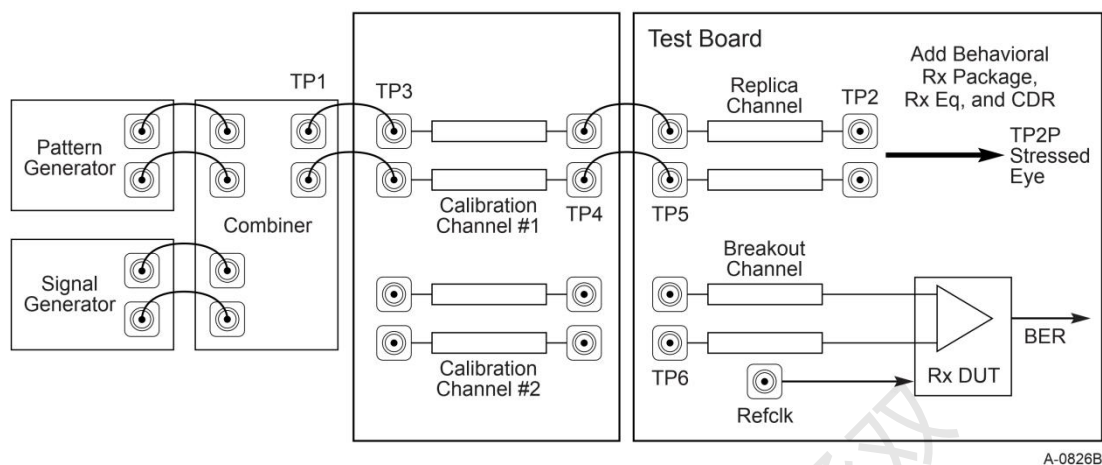


Figure 8-22 Rx Testboard Topology for 16.0 and 32.0 GT/s

8.4.1.2 Calibration Channel Insertion Loss Characteristics

校准信道的每个信道在 PCIe 支持的数据速率之下具有指定的差分插入损耗，并提供了一种生成接近最坏情况信道的规定 ISI 的方法。对于每个数据速率，通过两对高频和低频 IL 限制来定义单个校准信道损耗掩模。除了物理信道（PCB 走线，电缆，开关，小的补偿延迟等是可接受的）以外，不能通过其他方式（例如，专用滤波器）生成 IL。如 Figure 8-22 所示，校准信道需要包括 IL 掩模内 TP3 后的所有物理损耗。

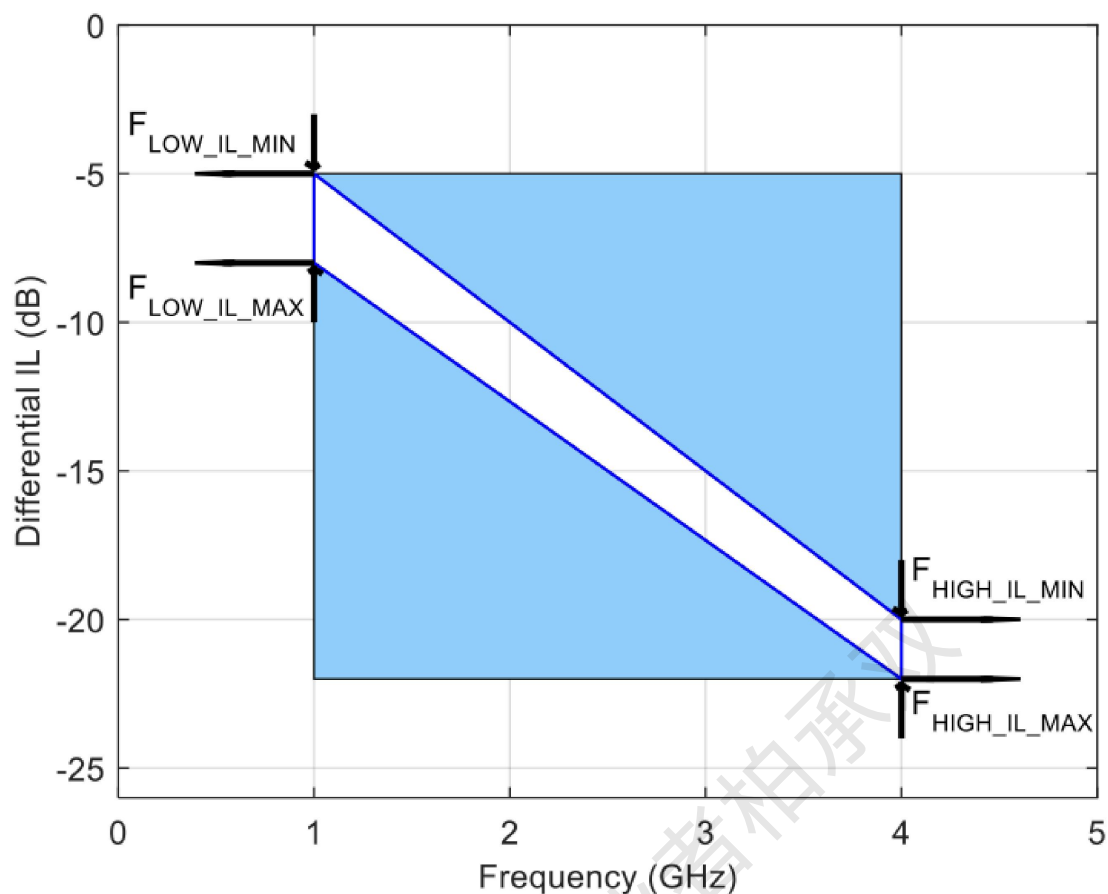


Figure 8-23 Example Calibration Channel IL Mask Excluding Rx Package for 8.0 GT/s

下表通过在两个频率极限处的四个损耗点定义了校准信道 IL 掩模，从而创建了四边形的求解区域。提供校准信道 IL 掩模作为减少反射的指导，以便该信道在接收器测试中主要代表 ISI 应力。

Table 8-8 Calibration Channel IL Limits

Data Rate	$F_{LOW-IL-MIN}$	$F_{LOW-IL-MAX}$	$F_{HIGH-IL-MIN}$	$F_{HIGH-IL-MAX}$
2.5 GT/s	4.5 dB @ 1 GHz	5.0 dB @ 1 GHz	4.7 dB @ 1.25 GHz	5.2 dB @ 1.25 GHz
5.0 GT/s	4.5 dB @ 1 GHz	5.0 dB @ 1 GHz	10.0 dB @ 2.5 GHz	11.0 dB @ 2.5 GHz
8.0 GT/s	5 dB @ 1 GHz	8 dB @ 1 GHz	20 dB @ 4 GHz	22 dB @ 4 GHz
16.0 GT/s Root Port	4.2 dB @ 1 GHz	5.2 dB @ 1 GHz	22.5 dB @ 8 GHz	23.5 dB @ 8 GHz
16.0 GT/s Non-Root Port	4.2 dB @ 1 GHz	5.2 dB @ 1 GHz	24.5 dB @ 8 GHz	25.5 dB @ 8 GHz
32.0 GT/s Root Port	3.2 dB @ 1 GHz	4.2 dB @ 1 GHz	26.5 dB @ 16 GHz	27.5 dB @ 16 GHz

Data Rate	$F_{LOW-IL-MIN}$	$F_{LOW-IL-MAX}$	$F_{HIGH-IL-MIN}$	$F_{HIGH-IL-MAX}$
32.0 GT/s Non-Root Port	3.9 dB @ 1 GHz	4.9 dB @ 1 GHz	31.5 dB @ 16 GHz	32.5 dB @ 16 GHz

Notes:

- Calibration channel plus Rx package is 28 dB nominally (informative) for 16.0 GT/s.
- Calibration channel plus Rx package is 36 dB nominally (informative) for 32.0 GT/s.
- Different reference packages are defined for devices containing Root Ports and all other device types at 16.0 GT/s and 32.0 GT/s.
- It is recommended that some validation be done with shorter channels at 16.0 GT/s and 32.0 GT/s.
- For 32.0 GT/s a material at least as good as a Megtron-6 class material with loss of approximately 1.0 dB/inch at 16 GHz at typical room conditions must be used.